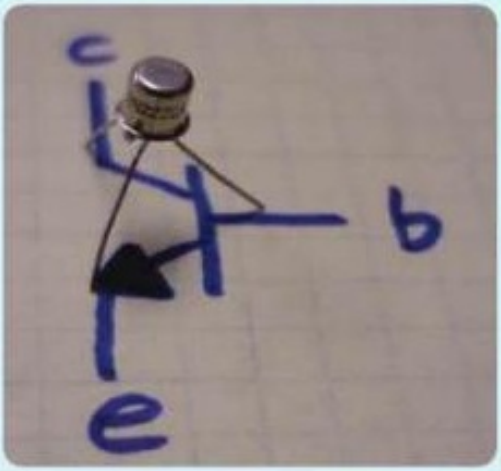
BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT THÀNH PHỐ HỒ CHÍ MINH

ISO 9001:2000

TRẦN THU HÀ *(Chủ biên)* - TRƯƠNG THỊ BÍCH NGÀ - NGUYỄN THỊ LƯỠNG
BÙI THỊ TUYẾT ĐAN - PHÙ THỊ NGỌC HIẾU - DƯƠNG THỊ CẨM TÚ



GIÁO TRÌNH

ĐIỆN TỬ CƠ BẢN

NHÀ XUẤT BẢN
ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH

****

PGS. TS TRẦN THU HÀ *(Chủ biên)* - ThS. TRƯƠNG THỊ BÍCH NGÀ
TS. NGUYỄN THỊ LƯỠNG - ThS. BÙI THỊ TUYẾT ĐAN
ThS. PHÙ THỊ NGỌC HIẾU - ThS. DƯƠNG THỊ CẨM TÚ

GIÁO TRÌNH
ĐIỆN TỬ CƠ BẢN

NHÀ XUẤT BẢN ĐẠI HỌC QUỐC GIA
THÀNH PHỐ HỒ CHÍ MINH

LỜI NÓI ĐẦU

Giáo trình Điện tử cơ bản do tập thể giáo viên bộ môn Cơ sở Kỹ thuật Điện tử, Khoa Điện - Điện tử Trường Đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh biên soạn và biên dịch dùng. Giáo trình này được sử dụng làm tài liệu học tập cho sinh viên các khối ngành kỹ thuật và các ngành có liên quan đến kỹ thuật. Nội dung giáo trình đề cập một cách có hệ thống và tổng hợp các kiến thức cơ bản và hiện đại làm nền tảng cho việc học tập các môn học chuyên ngành.

Giáo trình được biên soạn bổ sung và hiệu đính với sự hỗ trợ của các bạn đồng nghiệp và dựa trên các tài liệu tham khảo là bài giảng của cô Trương Thị Bích Ngà và thầy Nguyễn Đình Phú và sách của các trường đại học Arizona State, Ohio và các đại học khác của Mỹ. Nhà xuất bản Đại học Quốc gia TP.HCM đã khuyến khích và tạo điều kiện thuận lợi để sách ra mắt nhân dịp kỷ niệm 50 năm thành lập Trường Đại học Sư phạm Kỹ thuật TP.HCM.

Trường Đại học Sư phạm Kỹ thuật TP.HCM là trường tiên phong trong cả nước về đào tạo kỹ sư thực hành, sinh viên tốt nghiệp có kiến thức và kỹ năng làm việc tốt trong kỹ thuật công nghiệp.

Sinh viên của trường sau khi tốt nghiệp hiện đang nắm giữ các vị trí chủ chốt về quản lý, vận hành, bảo trì kỹ thuật trong các tập đoàn lớntrong và ngoài nước tại các công ty Intel, Jabil, Renesas, Mitsubishi, Toyota… Trong khi biên soạn giáo trình này, chúng tôi đã trao đổi và được sự đóng góp của các chuyên gia của doanh nghiệp, cựu sinh viên, để biết được các yếu tố cần thiết mà các tập đoàn đòi hỏi ở sinh viên và kỹ sư cần phải được trang bị trong thời gian còn là sinh viên. Chúng tôi đã hệ thống lại toàn bộ các mạch điện điện tử căn bản nhất, sắp xếp theo trình tự logic hợp lý xuyên suốt toàn bộ giáo trình, dẫn dắt sinh viên vào thế giới kỳ diệu của nguyên tử và làm quen với các cặp điện tử và lỗ trống là những phần tử bé nhỏ nhất, trừu tượng nhất, cấu hình lên những tinh thể chất rắn tạo thành những linh kiện bán dẫn, thực hiện những chức năng, tổ hợp tuyệt vời làm chuyển biến toàn nhân loại, mô phỏng các hiện tượng vật lý thông qua các mạch điện tử: mạch khuếch đại, mạch dao động tạo sóng,.., khám phá những bí mật của vũ trụ, của thiên nhiên để đáp ứng được nhu cầu ngày càng cao của xã hội.

Nội dung quyển sách được chia thành các chương như sau:

Chương 1: Vật liệu bán dẫn và chuyển tiếp P-N: PGS.TS.Trần Thu Hà đã giới thiệu cho sinh viên cấu trúc vật liệu bán dẫn là phần tử nhỏ nhất làm điều vĩ đại nhất, sự vận hành của chuyển tiếp P-N quá trình trao đổi

năng lượng và trung hòa của điện tử và lỗ trống làm nên đặc tính dẫn điện một chiều của chuyển tiếp P-N, đây là thành phần cốt lõi của các linh kiện bán dẫn.

Chương 2: Diode bán dẫn:TS. Nguyễn Thị Lưỡng giới thiệu các linh kiện bán dẫn có cấu tạo cơ bản trên chuyển tiếp P-N và các mạch ứng dụng thực tế của diode.

Chương 3, 4: Cô Bùi Thị Tuyết Đan và PGS.TS.Trần Thu Hà đã giới thiệu linh kiện bán dẫn có 3 cực tính, đó là transistor lưỡng cực và các mạch phân cực cho BJT. Đây là linh kiện bán dẫn chính của các mạch điện tử và các mạch điều khiển sau này.

Chương 5, 6: Cô Phù Thị Ngọc Hiếu đã giới thiệu linh kiện được ứng dụng rộng rãi và đặc biệt trong công nghệ chế tạo vi mạch hiện đại có kích thước nhỏ cỡ nanô mét đó là transistor trường FET. Họ linh kiện FET, MOSFET là linh kiện thống lĩnh trong công nghệ kỹ thuật số trên thế giới hiện nay.

Chương 7, 8, 9: Cô Dương Thị Cẩm Tú đã giới thiệu các mạch khuếch đại tín hiện nhỏ, các dạng ghép tầng khuếch đại cơ bản của một hệ thống khuếch đại là thành phần cốt yếu trong tất cả các hệ thống mạch khuếch đại âm tần, các hệ thống tương tự và số, các hệ thống điều khiển tự động, công nghệ viễn thông và tự động hóa.

Chương 10: Cô Trương Thị Bích Ngà giới thiệu tổ hợp của các mạch khuếch đại vi sai, mạch khuếch đại trung gian, mạch phối hợp trở kháng ngõ ra để hình thành một mạch khuếch đại thuật toán OP-AMP. Các mạch ứng dụng OP-AMP như: mạch lọc tích cực, mạch khuếch đại tạo hàm, mạch điều khiển trong các hệ thống điện tử công nghiệp, vi mạch điện tử trong y học, viễn thông…

Chương 11: Giới thiệu các chế độ khuếch đại công suất, các chế độ công suất lớp A, lớp B, lớp AB, lớp C và lớp D. Mỗi chế độ khuếch đại có những ưu điểm riêng và các ứng dụng thực tế của mạch khuếch đại công suất.

Chương 12: Giới thiệu về khối dao động tạo sóng sin, sóng vuông và sóng tam giác được ứng dụng trong các mạch đo lường, điều khiển, công nghệ truyền thông .

Chương 13: Giới thiệu cấu trúc mạch khuếch đại cộng hưởng và phương pháp thiết kế các mạch lọc tích cực như: mạch lọc thông thấp, mạch lọc thông cao, mạch lọc thông giải và mạch lọc chắn dải.

Chương 14, 15: Giới thiệu họ linh kiện 4 lớp đóng vai trò quan trọng trong các mạch điện tử công suất, các mạch điều khiển học trong kỹ thuật

công nghệ hiện đại của ngành tế quốc dân. Khối nguồn và ổn áp, là khối tích hợp của tất cả các mạch điện tử biến năng lượng AC thành DC để cung cấp nguồn cho toàn bộ hệ thống mạch điện tử.

Chương 16: Cung cấp thông tin về các mạch điện tử thực tế, để sinh viên có thể tham khảo để phân tích, nhận dạng trong thực tế gắn kết với lý thuyết. Các mạch trong thực tế có cấu trúc thật có tính toán đến các yếu tố ổn định và các yếu tố môi trường độ ẩm, độ tin cậy của hệ thống mạch thiết kế thực tế.

Cuốn sách là nền tảng cho các môn học điện tử cơ bản, điện tử công suất, thiết kế vi mạch, mạch điều khiển và các môn chuyên ngành của năm cuối. Theo chương trình đào tạo hệ tín chỉ, giờ tự học của sinh viên phải gấp đôi số giờ học trên lớp vì vậy khi biên soạn cuốn sách này chúng tôi đã đúc kết, tổng hợp và cô đọng các ý chính và logic để từng bước hướng dẫn sinh viên có thể củng cố bài giảng. Phần bài tập có trong từng chương mục sẽ giúp sinh viên tự đánh giá kết quả tự đọc hiểu của mình, củng cố thêm kiến thức nền tảng vô cùng quan trọng cho công việc trong tương lai.

Thay mặt nhóm biên soạn, tôi xin gửi lời cảm ơn chân thành nhất đến các đồng nghiệp ở bộ môn Cơ sở Kỹ thuật Điện tử, đặc biệt là giảng viên trẻ Trần Vũ Hoàng, cô Lê Hoàng Minh, thầy Hoàng Ngọc Văn, thầy Phạm Xuân Hổ và các giáo viên Khoa Điện – Điện tử, các cựu sinh viên đã giúp đỡ, tư vấn và đóng góp nhiều ý kiến quý báu cho việc hoàn thành cuốn sách này.

Do thời gian hạn chế, chắc chắn cuốn sách không tránh khỏi những sơ xuất nhỏ. Chúng tôi rất mong nhận được nhiều góp ý đóng góp của các bạn đọc để khi tái bản sẽ tốt hơn.

Địa chỉ liên hệ: Bộ môn Cơ sở Kỹ thuật Điện tử, Khoa Điện – Điện tử Trường Đại học Sư phạm Kỹ thuật TP.HCM.

Địa chỉ mail: thuha@hcmute.edu.vn

Chủ biên

PGS.TS.Trần Thu Hà

DANH MỤC CÁC TỪ VIẾT TẮT

AC	Alternative Current	Dòng điện xoay chiều
ACLL	Alternative Current Load Line	Đường tải xoay chiều
A_i		Độ lợi dòng điện
AM	Amplitude modulation	Điều chế biên độ
A_p		Độ lợi công suất
A_v		Độ lợi điện áp
A_{VOL}	Open-loop voltage gain	Độ lợi điện áp vòng hở
B	Base	Cực nền
BJT	Bipolar junction transistor	Transistor lưỡng cực
BPF	Band-pass filter	Mạch lọc thông dải
BSF	Band-stop filter	Mạch lọc dải triệt
BW	Bandwidth	Băng thông
C	Collector	Cực thu
C_0		Điện dung tiếp xúc
CB	Common base	Mạch khuếch đại chung cực nền
CC	Common collector	Mạch khuếch đại chung cực thu
C_D	Diffusion capacitance	Điện dung khuếch tán
CD	Common Drain	Mạch khuếch đại chung cực máng
CE	Common Emitter	Mạch khuếch đại chung cực phát
CG	Common Gate	Mạch khuếch đại chung cực cổng
CMRR	Common -mode rejection ratio	Tỉ số nén tín hiệu cách chung
CS	Common Sourse	Mạch khuếch đại chung cực nguồn
C_T	Transistion capacitance	Điện dung chuyển tiếp

D	Diode	Diode
D	Drain	Cực máng
D_MOSFET	Depletion_MOSFET	MOSFET kênh có sẵn
DAC	Digital Analog Converter	Bộ chuyển đổi số sang tương tự
DC	Direct Current	Dòng điện một chiều
DCLL	Direct Current Load Line	Đường tải một chiều
Diac	Diode AC Semiconductor Switch	Linh kiện chuyển mạch hai chiều
E	Emitter	Cực phát
E_MOSFET	Enhancement_MOSFET	MOSFET kênh cảm ứng
f_{ave}	Average frequency	Tần số trung bình
f_c	Cutoff frequency	Tần số cắt
FET	Field effect transistor	Transistor trường
f_H		Tần số cắt cao
f_L		Tần số cắt thấp
FM	Frequency modulation	Điều biến tần số
f_o		Tần số trung tâm
f_r	Resonant frequency	Tần số cộng hưởng
G	Gate	Cực cổng
GaAsP	Gallium arsenide phosphide	Hợp chất GaAsP
GaP	Gallium phosphide	Hợp chất GaP
Ge	Germanium	Bán dẫn Ge
g_m	Transconductance	Độ xuyên dẫn
GTO	Gate turn-off	Linh kiện tắt bằng cực cổng
I_B		Dòng điện cực nền

I_C		Dòng điện cực thu
IC	Integrated circuit	Mạch tích hợp
I_{CBO}		Dòng rò giữa cực C và B
I_{CEO}		Dòng rò giữa cực C và E
I_D		Dòng điện qua diode
I_{DSS}		Dòng điện cực máng bão hòa
I_E		Dòng điện cực phát
IGFET	Isolated Gate FET	Transistor trường cực cổng cách ly
I_R	Reverse current	Dòng điện ngược
I_S	Saturation current	Dòng ngược bão hòa
J_C		Lớp chuyển tiếp phía cực thu
J_E		Lớp chuyển tiếp phía cực phát
JFET	Junction Field effect transistor	Transistor trường tiếp xúc
LASCR	Light - activated SCR	SCR điều khiển bằng ánh sáng
LCD	Liquid crystal display	Màn hình tinh thể lỏng
LED	Light Emitter Diode	Diode phát quang
l_o		Bề rộng vùng tiếp xúc
MOSFET	Metal oxide semiconductor FET	Transistor trường cấu trúc kim loại cách điện bán dẫn
N	Negative semiconductor	Bán dẫn loại N
N^+		Bán dẫn loại N pha tạp cao
N^{++}		Bán dẫn loại N pha tạp rất cao
N_a		Nồng độ tạp chất nhận
N_d		Nồng độ tạp chất cho
n_N		Nồng độ điện tử trong chất bán dẫn loại N
n_P		Nồng độ điện tử trong chất bán dẫn loại P

Op-Amp	Operational amplifier	Mạch khuếch đại thuật toán
Opto		Bộ ngẫu hợp quang điện
P^+		Bán dẫn loại P pha tạp cao
P^{++}		Bán dẫn loại P pha tạp rất cao
P_{Cmax}		Công suất tiêu tán cực đại tại cực C
P_{Dmax}		Công suất cực đại của Diode
PLL	Phase-locked loop	Vòng khóa pha
PN		Tiếp xúc P-N
p_N		Nồng độ lỗ trống trong chất bán dẫn loại N
p_P		Nồng độ lỗ trống trong chất bán dẫn loại P
PUT	Programable UJT	Transistor lập trình được
Q	Quiscent	Điểm làm việc tĩnh
Q	Quality factor	Hệ số phẩm chất
R_D		Điện trở tĩnh
r_d		Điện trở động
R_{th}		Điện trở tương đương thevenin
S	Sourse	Cực nguồn
SBS	Silicon Bilateral Switch	SBS
SCR	Silicon controlled Rectifier	Chỉnh lưu điều khiển được
SCS	Silicon control switch	Công tắc điều khiển
Si	Silicon	Bán dẫn Si
Triac	Triode AC Semiconductor Switch	Linh kiện công tắc bán dẫn xoay chiều ba cực.
t_{rr}	Reverse recover time	Thời gian khôi phục ngược
t_s		Thời gian lưu trữ
t_t		Thời gian ngưng dẫn

UJT	Unijunction transistor	Transistor đơn nối
V_{BD}		Điện áp đánh thủng
V_{CEsat}		Điện áp cực thu-phát bão hòa
VCO	Voltage-controlled oscillator	Dao động có điều khiển
V_F	Forward Voltage	Điện áp thuận
V_m	Peak voltage (Max Voltage)	Điện áp đỉnh
V_o	Output voltage	Điện áp ngõ ra
V_P	Pinch off voltage	Điện áp thắt kênh
V_{Th}	Threshold voltage	Điện áp ngưỡng
V_{th}	Thevenin voltage	Điện áp tương đương thevenin
V_{tx}		Điện áp tiếp xúc
V_Z	Zener Voltage	Điện áp Zener
$V\gamma$		Điện áp ngưỡng

Chương 1
VẬT LIỆU BÁN DẪN

1.1 VẬT LIỆU BÁN DẪN

1.1.1. Cấu trúc và đặc tính của vật liệu bán dẫn

Đặc tính dẫn điện của các chất phụ thuộc vào mật độ điện tử tự do và các ion có ở trong chất đó. Theo lý tính vật liệu chia làm ba dạng: kim loại, bán dẫn và điện môi đều là các chất rắn có cấu trúc mạng tinh thể.

Theo bảng tuần hoàn phân loại các nguyên tố hoá học các nguyên tố kim loại thường đứng ở các nhóm đầu và có số điện tử ở lớp ngoài cùng hay là điện tử hóa trị từ 1 đến 2. Do liên kết yếu với hạt nhân nên chúng dễ tách khỏi mối liên kết và trở thành điện tử tự do. Kim loại thường có mật độ điện tử tự do rất lớn và là các chất dẫn điện.

Ở các nhóm cuối bảng tuần hoàn thường là các á kim, các nguyên tố này thường có từ 7 đến 8 điện tử ở lớp ngoài cùng chúng liên kết bền vững với hạt nhân. Các điện tử này rất khó thoát ra khỏi mối liên kết trong nguyên tử nên các nguyên tố này có rất ít điện tử tự do và được gọi là chất điện môi (chất cách điện).

Tham số của vật liệu điện điện tử là điện trở xuất ký hiệu ρ đơn vị đo là Ω.cm và điện dẫn xuất σ đơn vị đo là $\Omega^{-1}cm^{-1}$.

Bảng 01

	Kim loại	Bán dẫn	Điện môi
ρ (Ω.cm)	$< 10^{-4}$	10^{-4} - 10^{10}	$>10^{10}$
σ ($\Omega^{-1}cm^{-1}$)	$>10^{4}$	10^{4} - 10^{-10}	$<10^{-10}$

Vật liệu bán dẫn là các nguyên tố nằm ở nhóm 4 và nhóm 5 của bảng phân loại tuần hoàn Mendeleev. Theo bảng 01, ta thấy vật liệu bán dẫn là vật liệu trung gian có điện trở xuất giữa kim loại và điện môi.

Chất bán dẫn được cấu tạo từ những tinh thể có hình dạng xác định, trong đó các nguyên tử được sắp xếp theo một trật tự chặt chẽ tuần hoàn tạo thành mạng tinh thể bán dẫn.

Cấu trúc năng lượng của một nguyên tử đứng cô lập được xếp theo các mức rời rạc, trong liên kết giữa các nguyên tử sự tương giữa các mức năng lượng của các nguyên tử gần nhau và sự tương tác giữa các hạt nhân

của các nguyên tử hình thành các vùng năng lượng. Có ba vùng năng lượng trong cấu trúc mạng tinh thể của các chất rắn, tùy theo tình trạng các mức năng lượng trong một vùng có được các hạt điện tử (electron) chiếm chỗ nhiều hay ít sẽ quy định tính chất dẫn điện của tinh thể chất rắn đó:

	IIIA	IVA	VA	VIA
	5 10.811 **B** Boron	6 12.01115 **C** Carbon	7 14.0067 **N** Nitrogen	8 15.9994 **O** Oxygen
IIB	13 26.9815 **Al** Aluminum	14 28.086 **Si** Silicon	15 30.9738 **P** Phosphorus	16 32.064 **S** Sulfur
30 65.37 **Zn** Zinc	31 69.72 **Ga** Gallium	32 72.59 **Ge** Germanium	33 74.922 **As** Arsenic	34 78.96 **Se** Selenium
48 112.40 **Cd** Cadmium	49 114.82 **In** Indium	50 118.69 **Sn** Tin	51 121.75 **Sb** Antimony	52 127.60 **Te** Tellurium
80 200.59 **Hg** Mercury	81 204.37 **Tl** Thallium	82 207.19 **Pb** Lead	83 208.980 **Bi** Bismuth	84 (210) **Po** Polonium

Hình 1.1. *Vị trí của vật liệu bán dẫn trong bảng phân loại tuần hoàn.*

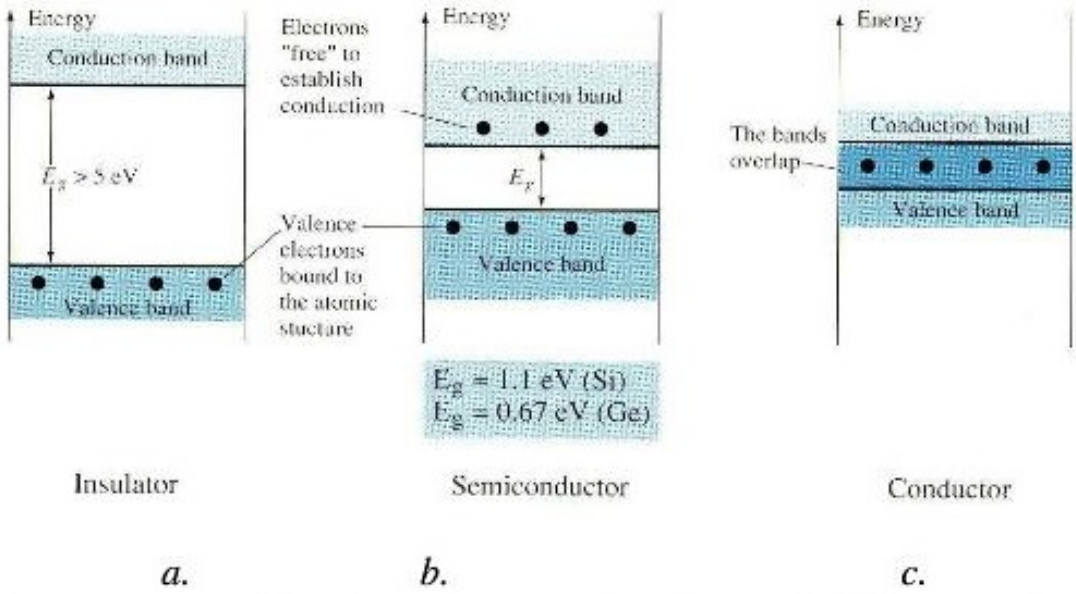
– Vùng hóa trị (vùng liên kết giữa các nguyên tử tạo thành mạng tinh thể), trong đó tất cả các mức năng lượng tràn đầy không có điện tử tự do.

– Vùng dẫn (Conduction band) là vùng có nhiều mức năng lượng tự do, nơi mà điện tử có thể chiếm giữ khi có năng lượng.

– Vùng cấm là vùng ở khoảng giữa của vùng liên kết và vùng dẫn, nơi không có mức năng lượng và xác xuất chiếm giữ vùng cấm của các hạt điện tử bằng 0.

Tùy theo cấu trúc của vùng năng lượng ta phân biệt các chất rắn có cấu trúc tinh thể làm ba loại là kim loại bán dẫn và điện môi. Hình 1.2 thể hiện các vùng năng lượng của chất cách điện, chất bán dẫn và cách điện. Đối với chất cách điện hay còn gọi là chất điện môi, vùng dẫn (conduction band) có mức năng lượng cao nhất, vùng cấm có mức năng lượng là Eg có

giá trị lớn hơn 5 eV. Giá trị lớn của vùng cấm này làm cho các điện tử nếu có hình thành cũng không vượt qua được để chiếm các mức năng lượng tại vùng dẫn, do đó chất điện môi sẽ bị biến dạng khi được cung cấp nhiều năng lượng của môi trường ngoài và bị thay đổi cấu trúc tinh thể rắn.



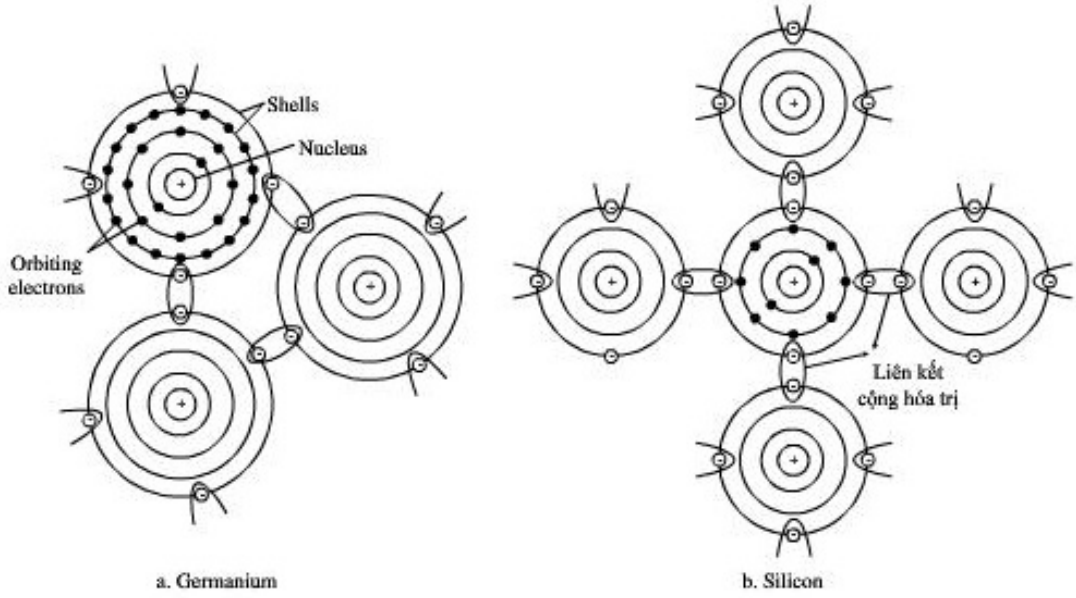
Hình 1.2. *Vùng năng lượng của: a. Điện môi; b. Bán dẫn; c. Kim loại.*

Trong kỹ thuật, người ta thường dùng điện môi làm chất cách điện (SiO_2). Vật liệu kim loại có cấu trúc vùng dẫn và vùng liên kết tinh thể tiếp xúc với nhau, tại vùng dẫn có sẵn các điện tử tự do luôn sẵn sàng chuyển động để tạo thành dòng điện trong kim loại (Hình 1.2c).

Vật liệu bán dẫn (Semiconductor) có khoảng năng lượng ở vùng cấm là Eg= 1,1 eV nếu tinh thể là Silic (Si) và Eg = 0.67 eV khi tinh thể là Gemanium (Ge). Trong vùng dẫn có thể có một vài điện tử tự do có năng lượng đã vượt qua vùng cấm để chiếm giữ mức năng lượng cao hơn trong vùng dẫn, để có thể tham gia dẫn điện trong bán dẫn (Hình 1.2b).

Chất bán dẫn là chất có hoá trị 4. Theo cấu trúc của Bo, các nguyên tử nhóm 4 có bốn hạt điện tử ở lớp vỏ ngoài cùng, mỗi hạt nhân sẽ góp một điện tử ngoài cùng này với hạt nhân bên cạnh tạo thành "Liên kết cộng hóa trị" (Hình 1.3a).

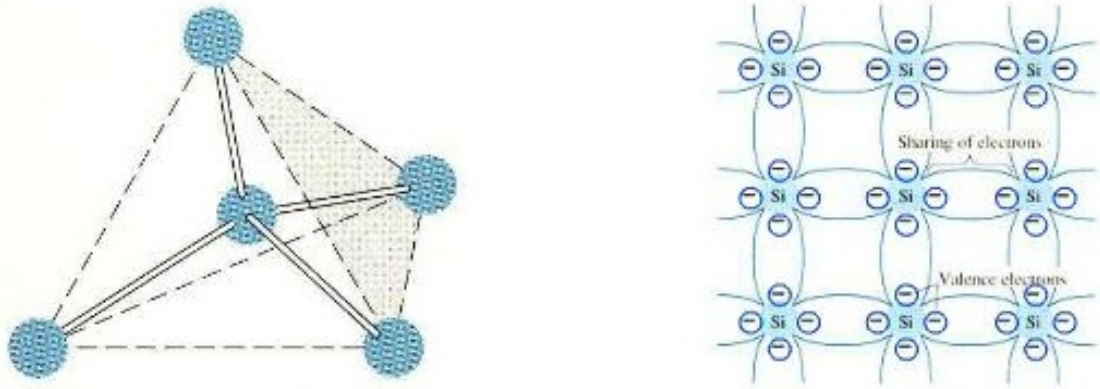
Liên kết cộng hóa trị là liên kết bền vững của hai điện tử ở lớp vỏ ngoài cùng của các nguyên tố nhóm 4 của bảng phân loại tuần hoàn Mendeleev. Như vậy, quanh một hạt nhân có bốn mối liên kết cộng hóa trị và xung quanh mỗi nguyên tử bán dẫn luôn luôn có bốn nguyên tử kế cận liên kết với nguyên tử đó, vì vậy nguyên tử luôn đạt trạng thái bão hòa.



Hình 1.3. *Cấu trúc nguyên tử của a. Germanium; b. Silicon.*

Các hạt điện tử nằm trong mối liên kết cộng hóa trị luôn bị ràng buộc bởi lực liên kết cộng hóa trị và lực hút của hạt nhân rất bền vững . Sự liên kết giữa các nguyên tử với nhau này làm cho điện tử khó tách rời khỏi nhân của chúng. Với cấu trúc như vậy nên tại nhiệt độ 0 K (-273°C) chất bán dẫn tinh khiết không có hạt dẫn điện do đó bán dẫn hoàn toàn cách điện tương tự chất cách điện.

Ta thấy rằng về mặt cấu trúc tinh thể thì chất bán dẫn có cấu trúc mạng kiểu kim cương. Nguyên tử ở tâm tứ diện sẽ liên kết với bốn nguyên tử ở đỉnh tứ diện theo liên kết cộng hóa trị . Hình 1.4a cho ta thấy một ô nguyên tố vẽ trong không gian. Để đơn giản, ta có thể biểu diễn các nguyên tử liên kết với nhau trong mặt phẳng như hình 1.4b.



(a) (b)

Hình 1.4. *a. Cấu trúc tinh thể đơn của Ge và Si; b. Cấu trúc mạng tinh thể của Si*

Có hai vật liệu bán dẫn thường được sử dụng nhất là: **Silicon (Si)** và **Germanium (Ge),** cấu trúc nguyên tử của các nguyên tố này được trình bày ở hình 1.3. Các chất bán dẫn như Silicon và Germanium thường được dùng trong công nghệ chế tạo các linh kiện bán dẫn.

1.1.2. Các hạt dẫn điện trong bán dẫn

Ở nhiệt độ bình thường, trong bán dẫn tinh khiết, là chất bán dẫn có cấu trúc tinh thể lí tưởng không có sự tham gia của nguyên tố tạp chất khác (ngoại lai), ở điều kiện bình thường các mối liên kết cộng hóa trị bền vững và trong mạng tinh thể không có điện tử tự do và vật liệu bán dẫn lúc này không dẫn điện.

Khi bị tác động bởi nhiệt độ hoặc do được cung cấp năng lượng dưới các dạng khác như tác động của điện trường, bắn phá nhiệt, điện, v.v… một số hạt điện tử trên bề mặt nhận thêm năng lượng và bứt phá ra khỏi mối liên kết cộng hóa trị và tạo thành *điện tử tự do(electron) là hạt dẫn điện mang điện tích âm* ($q= -1,6x10^{-19}C$) và các hạt này sẵn sang chuyển động dưới tác dụng của lực điện trường tạo thành dòng trong chất bán dẫn.

Khi điện tử tự do xuất hiện, tại mối liên kết bị phá vỡ, điện tử mới thoát ra sẽ xuất hiện một khoảng trống (vacancy) thiếu điện tích âm hình thành vùng điện tích dương, ta gọi là ***lỗ trống*** (hole) là hạt dẫn điện mang điện tích dương giá trị bằng $+ 1,6x10^{-19}C$. Lỗ trống này có thể bị trung hòa bởi một hạt điện tử tự do nào đó vừa bị phá vỡ từ mối liên kết mới trong mạng tinh thể và ta nói lỗ trống đã dịch chuyển đến vị trí mới trong tinh thể bán dẫn. Như vậy *lỗ trống cũng có thể coi là hạt dẫn điện mang điện tích dương.*

Trong bán dẫn tinh khiết có hai loại hạt dẫn cơ bản dẫn điện cùng xuất hiện khi được cung cấp năng lượng: hạt điện tử tự do và lỗ trống.

Gọi n là mật độ của hạt dẫn mang điện tích âm hạt electron, p là mật độ của lỗ trống hạt mang điện tích dương. Bán dẫn tinh khiết ký hiệu là bán dẫn loại I, ta có mật độ của hạt mang điện tích dương và điện tích âm bằng nhau $n_i=p_i$.

1.1.3. Phân loại bán dẫn

a. Bán dẫn tinh khiết ký hiệu I là bán dẫn có cấu trúc mạng tinh thể của nhóm 04 không có tạp chất tại các nút của mạng tinh thể. Bán dẫn tinh khiết ở điều kiện bình thường là chất cách điện, chỉ dẫn điện khi được tác động có nghĩa hình thành được các cặp điện tử và lỗ trống tự do. Dưới tác động của điện trường, các hạt sẽ chuyển động có hướng tạo thành dòng điện trong bán dẫn.

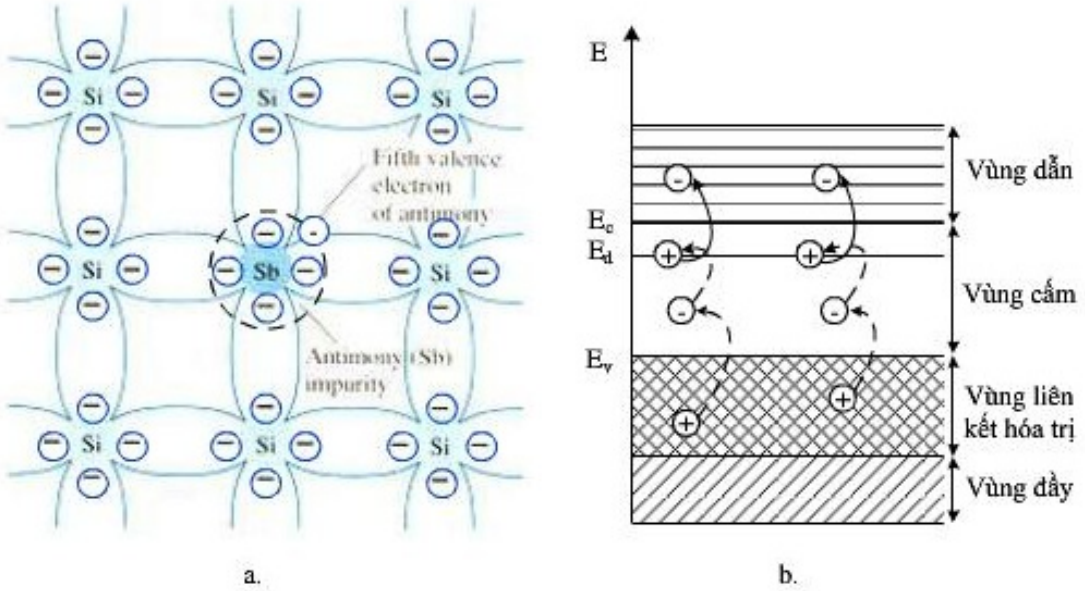
b. Bán dẫn loại N là bán dẫn tinh khiết có pha tạp chất nguyên tố nhóm 5 (ví dụ Phosphorus P) với hàm lượng thích hợp trong mạng tinh thể của bán dẫn thuần khiết. Các tạp chất nhóm V này chiếm một chỗ trong những nút của mạng tinh thể bán dẫn, nguyên tố này sẽ góp 4 hạt điện tử lớp ngoài cùng vào 4 mối liên kết cộng hóa trị của mạng tinh thể bán dẫn tinh khiết, còn lại một điện tử thứ 5 ở lớp vỏ ngoài cùng, chỉ bị ràng buộc bởi hạt nhân của nguyên tố tạp chất, do đó tương đối linh động và chỉ cần một năng lượng rất bé là đủ để thoát ra tạo thành hạt điện tử tự do chuyển tới vùng dẫn điện và sẵn sàng tham gia dẫn điện ngay lúc ban đầu.

Các nguyên tố hóa trị 5 như Phosphorus (P), Arsenic (As), Antimony (Sb), Bismuth (Bi)…

Nguyên tử tạp chất bị ion hóa cung cấp điện tử tự do cho bán dẫn nên gọi là tạp chất cho gọi là tạp chất Donor. Trong chất bán dẫn có tạp chất cho, ngay trong điều kiện ban đầu đã có hạt dẫn mang điện tích âm gọi là bán dẫn loại N. Gọi N_d là nồng độ tạp chất trong bán dẫn loại N và ta có mật độ điện tử tạp chất trong bán dẫn loại N là $n_d = N_d$ và tổng mật độ điện tử - hạt dẫn âm trong bán dẫn loại N sẽ là

$$n_N = n_I + n_d = n_I + N_d >> p_N = p_i \qquad (1.1)$$

(p_N mật độ hạt dẫn dương – lỗ trống trong bán dẫn loại N), như vậy mật độ hạt electron trong bán dẫn N lớn hơn rất nhiều so với lỗ trống, ta gọi hạt dẫn mang điện tích âm là hạt đa số trong bán dẫn loại N và hạt thiểu số là hạt mang điện tích dương là lỗ trống.



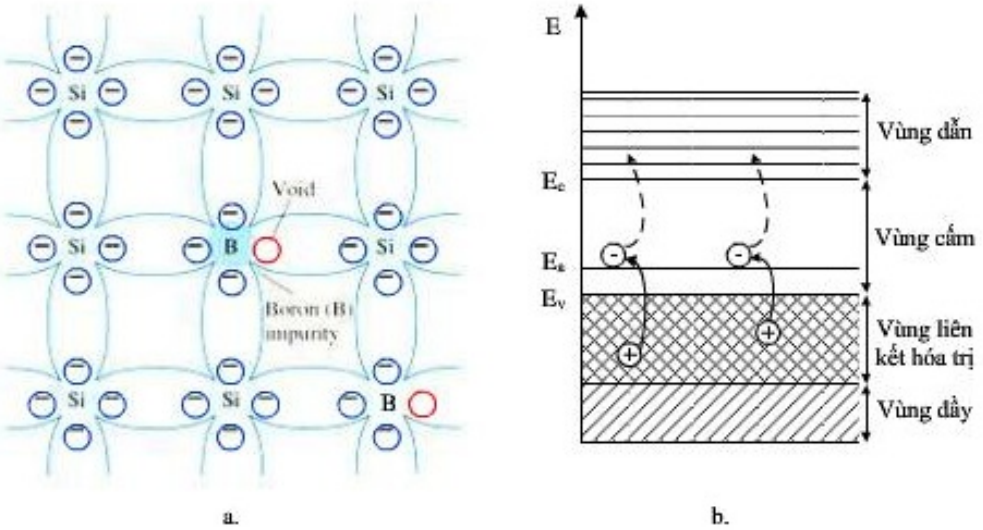
Hình 1.5. *a. Chất bán dẫn loại n với tạp chất Donor l nguyên tử Sb; b. Giản đồ năng lượng của chất bán dẫn loại N.*

Hình 1.5b biểu diễn giản đồ năng lượng của chất bán dẫn loại N, mức năng lượng của nguyên tố tạp chất nằm rất gần vùng dẫn do đó các hạt electron chỉ cần vượt qua mức năng lượng nhỏ là có thể chiếm giữ vùng dẫn và sẵn sàng tham gia dẫn điện.

Càng nhiều ion tạp chất khả năng dẫn điện của bán dẫn càng tăng, ta ký hiệu của bán dẫn loại N với nồng độ tạp chất tăng dần: N, N^+; Ở mức N^+, nồng độ tạp chất tăng cao hàng chục triệu nguyên tử trên đơn vị thể tích.

c. Bán dẫn loại P (P^+):

Nếu trong mạng tinh thể của bán dẫn tinh khiết Si có pha tạp chất nhóm III của bảng phân loại tuần hoàn. Ví dụ các nguyên tố tiêu biểu Aluminum (Al), Gallium (Ga), Boron (B), Indium (In). Các nguyên tố nhóm III góp 3 điện tử vào 3 mối liên kết cộng hóa trị chung quanh tạp chất trong lưới tinh thể, còn lại mối liên kết cộng hóa trị thứ 4 bị khuyết một hạt điện tử và hình thành lỗ trống tại liên kết cộng hóa trị thứ 4. Như vậy ngay từ thời điểm lúc ban đầu, bán dẫn có tạp chất nhóm 3 này có hạt dẫn mang điện tích dương. Lỗ trống mang điện tích dương luôn sẵn sàng nhận hạt electron trung hòa, tức là có thể tham gia dẫn điện. Tạp chất nhóm 3 được gọi là tạp chất nhận (Acceptor), bán dẫn có tạp chất cho gọi là bán dẫn loại P, gọi N_a là nồng độ tạp chất Acceptor ta có mật độ lỗ trống trong bán dẫn $p_P = N_a$ và tổng mật độ hạt dẫn mang điện tích dương trong bán dẫn P là $p_P = p_I + p_P = p_I + N_a >> n_p = n_I$ (n_p là mật độ hạt dẫn mang điện tích âm trong bán dẫn P), như vậy mật độ lỗ trống trong bán dẫn loại P lớn hơn rất nhiều so với hạt điện tử và gọi là hạt dẫn đa số trong P, hạt dẫn thiểu số là electron (Hình 1.6a).



Hình 1.6. *a. Chất bán dẫn loại P có tạp chất Acceptor nguyên tử B; b. Giản đồ năng lượng của chất bán dẫn loại P.*

Hình 1.6b biểu diễn giản đồ năng lượng của chất bán dẫn loại P, mức năng lượng của nguyên tố tạp chất nằm rất gần vùng hóa trị do đó các hạt electron chỉ cần vượt qua mức năng lượng nhỏ là có thể trung hòa các lỗ trống và trong vùng hóa trị có các lỗ trống được sinh ra và sẵn sàng tham gia dẫn điện.

d. Chất bán dẫn suy biến N^{++}, P^{++}:

Các chất bán dẫn nêu trên có nồng độ hạt dẫn không cao, được gọi là bán dẫn không suy biến. Chất bán dẫn có nồng độ tạp chất lớn hơn 10^{20} nguyên tử/cm^3, được gọi là bán dẫn suy biến.

Mức độ tạp chất nhiều cả hai loại hạt dương và hạt âm. Các mức năng lượng chiếm giữ gần hết vùng cấm và chiếm giữ và xếp chồng lên trên vùng dẫn, tương tự như mức năng lượng của kim loại vì vậy chất bán dẫn suy biến có tính chất giống như tính chất của kim loại dẫn điện tốt hơn kim loại và thường có hiệu ứng xuyên hầm (hiệu ứng Tunnel). Đó là hiệu ứng mà trong đó các hạt dẫn tự động chiếm giữ các mức năng lương thấp hơn nếu mật độ các mức năng lượng đó không nhiều hoặc ngược lại tự động chuyển tới mức năng lượng cao hơn nếu mật độ các mức cao kế cận còn ít hơn. Năng lượng của hạt dẫn tự do trong bán dẫn suy biến không phụ thuộc vào nhiệt độ.

1.1.4. Cơ chế dẫn điện theo lý thuyết vùng năng lượng

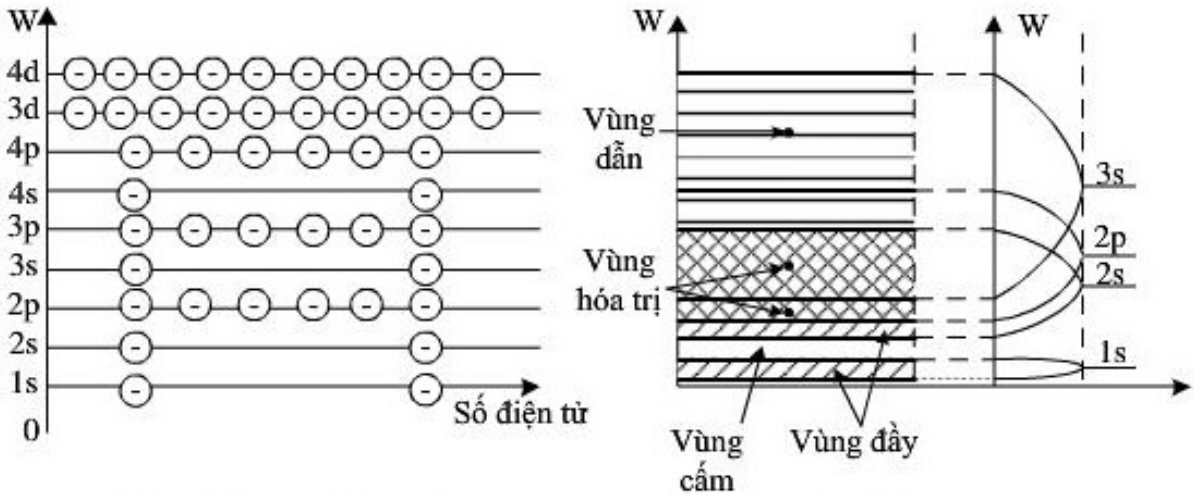
a. Năng lượng điện tử trong chất rắn:

Theo cấu trúc của Bo, một nguyên tử được cấu tạo gồm một hạt nhân mang điện tích dương và các đám mây điện tử mang điện tích âm gọi là các lớp K,L,M được đánh số bằng lượng tử n=1,2,3,…Mỗi lớp này được chia làm các lớp nhỏ ký hiệu s, p, d,…Số lượng điện tử trong mỗi lớp xác định theo quy luật 1s, 2s, 2p, 3s, 3p…(Lớp s có hai điện tử, lớp p có 6 điện tử, lớp d có 10 điện tử). Người ta chứng minh được rằng năng lượng ở mỗi lớp mây điện tử quanh hạt nhân được sắp xếp theo quy luật như hình 1.7a.

Trong hình 1.7 a, b, ta thấy mức năng lượng bé nhất ở gần nhân, càng xa nhân năng lượng càng tăng. Các điện tử luôn có khuynh hướng chiếm giữ năng lượng bé trước sau khi các mức này đã đầy điện tử, lúc đó các điện tử mới chiếm giữ dần ra xa hơn hạt nhân. Như vậy chỉ có những điện tử ở ngoài, lớp vỏ ngoài cùng chưa đầy điện tử mới có khả năng thoát khỏi trạng thái này được trở thành điện tử tự do.

Trong mạng tinh thể, các nguyên tử đơn độc thường liên kết do tác động qua lại lẫn nhau các mức năng lượng bị thay đổi, tùy theo hằng số của

mạng tinh thể mà mỗi mức năng lượng bị phân ra kế cận nhau tạo vùng năng lượng có thể nhau giao nhau và tạo các cơ chế dẫn điện trong bán dẫn



a. Các mức năng lượng lượng tử trong nguyên tử cô lập

b. Sự giao nhau của các mức năng lượng

***Hình 1.7**a. Các mức năng lượng điện tử trong nguyên tử cô lập;*
b. Sự giao nhau của các mức năng lượng trong nguyên tử

Một electron nằm ở mức năng lượng của vùng liên kết cộng hóa trị khi nó được cung cấp một năng lượng vừa đủ để nhảy từ mức năng lượng trong vùng hóa trị đến mức năng lượng trong vùng dẫn, thì nó để lại một chỗ trống trong vùng liên kết cộng hóa trị.

b. Sự dẫn điện của bán dẫn

Sự dẫn điện của bán dẫn phụ thuộc vào:

1. Số lượng và mức năng lượng trong vùng hóa trị và vùng dẫn (Số lượng mức năng lượng của hai vùng càng lớn khả năng dẫn điện càng cao).
2. Xác suất chiếm mức năng lượng trong vùng dẫn của điện tử và xác xuất chiếm mức năng lượng của lỗ trống trong vùng liên kết cộng hóa trị.

Ta có các công thức xác định nồng độ hạt dẫn trong bán dẫn:

$$n = N_c \exp\left(-\frac{E_C - E_F}{kT}\right) \qquad (1.2)$$

Và:

$$p = N_v \exp\left(\frac{E_F - E_V}{kT}\right) \qquad (1.3)$$

E_F: Năng lượng Fecmi (Còn gọi là mức Fecmi) đại diện cho năng lượng lớn nhất mà điện tử có được ở 0^oK. Vị trí của mức năng lượng Fecmi trên giản đồ tùy thuộc vào tạp chất.

Trong trường hợp bán dẫn loại P ta có $E_{Fp} = E_a$ nằm gần vùng hóa trị; Bán dẫn loại N có $E_{Fn} = E_d$ nằm gần vùng dẫn.

Nc, Nv là mật độ trạng thái hiệu dụng của vùng dẫn và vùng hóa trị giá trị của chúng tăng theo t^o tỉ lệ $T^{3/2}$.

Tổng số hạt dẫn trong bán dẫn: $n.p = N_c N_v \exp\left(-\frac{E_c - E_v}{kT}\right)$ (1.4)

Tổng số này không phụ thuộc vào tạp chất $n_i = p_i$ đối với bán dẫn thuần khiết $np = n_i^2$ (1.5)

Hình 1.5b và 1.6b cho ta thấy các mức năng lượng của tạp chất Donor và Acceptor là trạm chuyển trung gian cho các hạt dẫn và góp phần vào tăng độ dẫn điện của bán dẫn loại N và P.

1.1.5. Chuyển động trôi và khuếch tán của hạt dẫn trong bán dẫn

a. Chuyển động trôi

Nếu đặt điện tử hoặc lỗ trống vào môi trường chân không và khi có điện trường tác động, các hạt dẫn sẽ chuyển động có gia tốc (nhanh dần đều hoặc chậm dần đều). Mạng tinh thể chứa rất nhiều nguyên tử (kể cả tạp chất), chúng luôn luôn dao động vì nhiệt. Vì vậy, khi chịu tác động của điện trường, các hạt dẫn trên đường chuyển động có gia tốc sẽ va chạm với các nguyên tố của mạng tinh thể. Mỗi lần va chạm sẽ làm thay đổi trị số và chiều của vận tốc nghĩa là làm tán xạ chúng. Chuyển động của hạt dẫn trong mạng tinh thể chất rắn dưới tác động của điện trường như vậy được gọi là chuyển động trôi (hoặc chuyển động cuốn).

Vận tốc của điện tử và lỗ trống là:

$$V_n = -\mu_n E = +\mu_n \frac{dV}{dx} \quad (1.6\ a)$$

$$Vp = \mu_p E = -\mu_p \frac{dV}{dx} \quad (1.6\ b)$$

Trong đó V_n, V_p là vận tốc trôi của điện tử và lỗ trống trong điện trường E; μ_n,μ_p là độ linh động của của điện tử và lỗ trống, là vận tốc trôi trung bình của hạt dẫn electron mang điện tích âm và lỗ trống hole mang điện tích dương trong điện trường điện trường E= 1V/cm.

Mật độ dòng điện trôi tạo bởi chuyển động trôi của các hạt dẫn có mật độ n, p là:

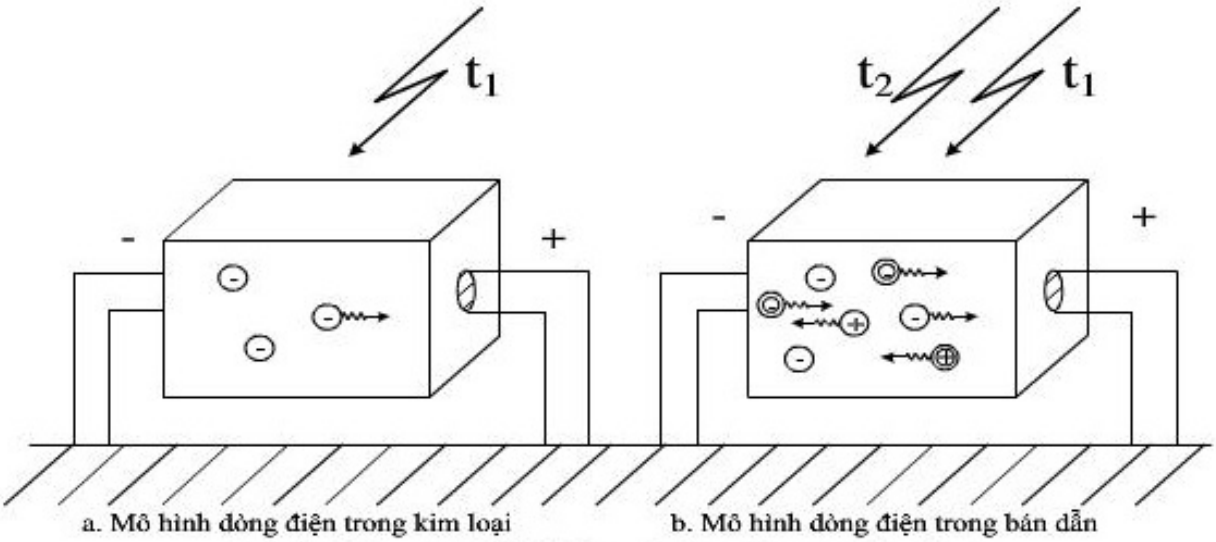
$$J\,n_{tr} = -(-q)\,n\,Vn = q\mu nn\,E \qquad (1.7)$$

$$Jp\,tr = q\,pVp = q\mu ppE \qquad (1.8)$$

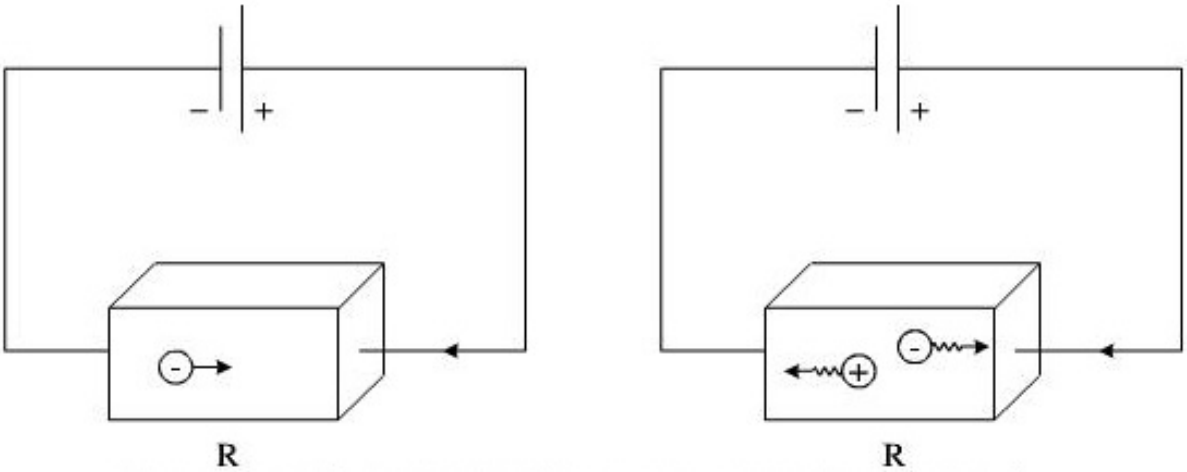
Dòng điện trôi của điện tử và lỗ trống là dòng cùng chiều. Như vậy dòng điện trong bán dẫn là dòng ngược chiều của các hạt dẫn mang điện tích âm (electron) và cùng chiều với các hạt dẫn dương (hole).

Ta có mật độ dòng điện trôi trong bán dẫn: $J_{tr} = Jn_{tr} + Jp_{tr}$ (1.9)

Điện dẫn xuất của chất bán dẫn: $\sigma = q(n\mu_p + p\mu_p)$ (1.10)



Hình 1.8. *a. Mô hình dòng điện trôi trong kim loại*
b. Dòng điện trong bán dẫn.



Hình 1.9. Sơ đồ của mô hình dòng điện trong kim loại và bán dẫn

⊕ ⊖ Là lỗ trống và điện tử do phá vỡ liên kết cộng hóa trị

⊖ Electron hình thành do tăng nhiệt độ phá vỡ thêm mối liên kết

⊕ Hole hình thành do phá vỡ liên kết

Trên hình 1.8, 1.9, ta thấy dưới tác động của nhiệt độ ánh sáng trong bán dẫn xuất hiện các cặp điện tử và lỗ trống, dưới tác động của điện trường các hạt chuyển động tạo dòng điện. Dòng điện này thường lớn hơn nhiều so với các kim loại có tính chất dẫn điện tương đương.

b. Chuyển động khuếch tán

Ngoài chuyển động trôi theo tác động của điện trường, các hạt dẫn còn chuyển động khuếch tán do sự phân bố không đều trong thể tích gradien nồng độ các hạt dẫn.

Khi nồng độ các hạt dẫn phân bố không đều, chúng sẽ chuyển động khuếch tán từ nơi có nồng độ cao đến nơi có nồng độ thấp, dòng điện do chuyển động khuếch tán này gọi là dòng khuếch tán.

Số lượng hạt khuếch tán qua một đơn vị thể tích trong thời gian dt

$$dP = -Dp\frac{dp}{dx}dt \qquad (1.11)$$

$$dN = -Dn\frac{dn}{dx}dt \qquad (1.12)$$

Công thức 1.11 và 1.12 hiển thị dấu trừ vì khuếch tán về phía nồng độ giảm. Dp, Dn: hệ số khuếch tán của lỗ trống và điện tử; $\frac{dp}{dx}$, $\frac{dn}{dx}$: là gradient nồng độ.

$$J_{kt} = q\frac{dP}{dt} + (-q)\frac{dN}{dt} = -qDp\frac{dp}{dx} + qDn\frac{dn}{dx} \qquad (1.13)$$

Hình 1.10 mô tả chuyển động khuếch tán trong bán dẫn loại n và loại p, theo hình trục x nồng độ giảm dần và chiều chuyển động của các hạt dương trong bán dẫn p cũng tương tự. Như vậy dòng khuếch tán cùng chiều đối với hai loại hạt dẫn.

Ta có hệ số khuếch tán như sau

$$Dp = \varphi_T\mu_p; \qquad (1.14)$$

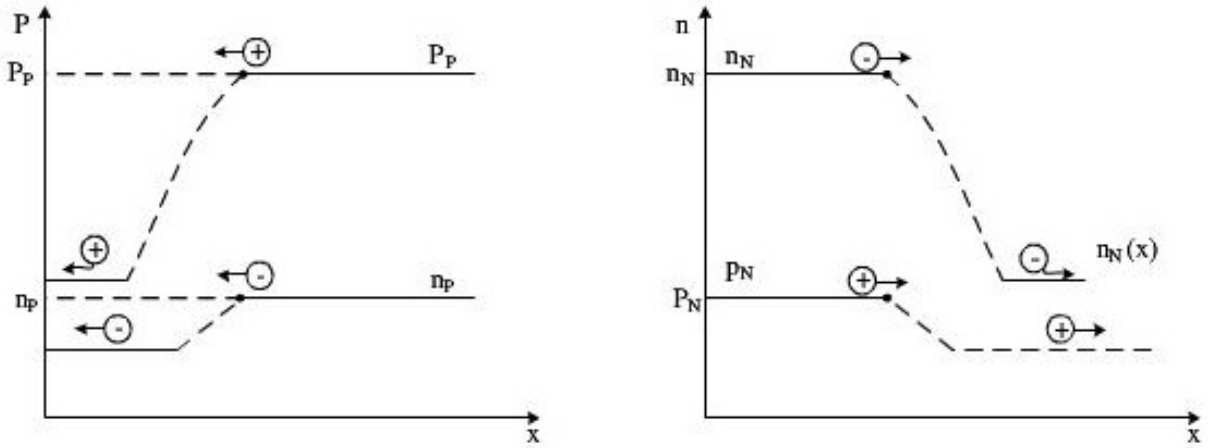
$$Dn = \varphi T\mu n; \qquad (1.15)$$

φT Hằng số phụ thuộc nhiệt độ

$$\varphi_T = \frac{kT}{q} \qquad (1.16)$$

k hằng số Boilzman; q điện tích điện tử; T nhiệt độ tuyệt đối của T= 300 K;

$$\varphi_T = 0.025V = 25mV.$$



***Hình 1.**10.Mô hình chuyển động khuếch tán của các hạt dẫn*

Trong hình 1.10: Các hạt dẫn chuyển động từ nơi có mật độ cao đến nơi có mật độ thấp.

1.1.6. Ảnh hưởng của nhiệt độ đến độ dẫn điện của vật liệu bán dẫn

Ở nhiệt độ trong bình thường hay nhiệt độ môi trường, năng lượng nhiệt tạo nên một vài cặp điện tử và lỗ trống và sự tái hợp xảy ra sau đó. Do đó, chất bán dẫn sẽ có một vài điện tử tự do ngay cả trường hợp không cung cấp năng lượng điện áp. Khi nhiệt độ tăng sẽ có nhiều electron hấp thụ đủ năng lượng phá vỡ mối liên kết hóa trị để trở thành điện tử tự do dẫn đến số lượng điện tử tự do tăng.

Dưới tác động của ánh sáng hoặc tác động của điện trường các mối liên kết cộng hóa trị sẽ bị phá vỡ hình thành các cặp điện tử và lỗ trống. Số lượng các hạt này sẽ tăng nhanh theo nhiệt độ và dòng điện trong bán dẫn cũng tăng.

Như vậy độ dẫn điện trong chất bán dẫn tỉ lệ thuận với nhiệt độ.

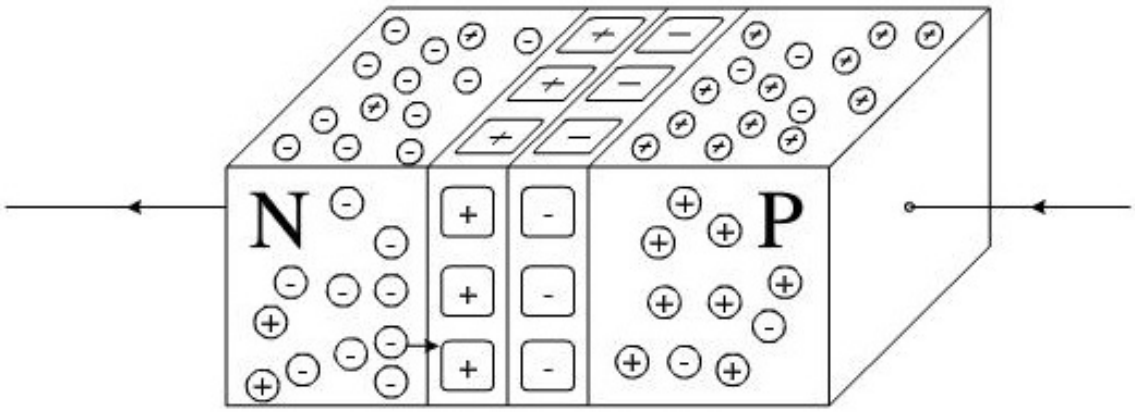
1.2 CHUYỂN TIẾP P – N (JUNCTION P-N)

1.2.1. Chuyển tiếp P-N khi chưa có điện trường ngoài

Khi chưa có điện trường ngoài, khi ta đặt khối bán dẫn N và một khối chất bán dẫn P được ghép lại với nhau như hình 1.10, tại bề mặt nơi tiếp xúc sẽ hình thành vùng chuyển tiếp P-N.

Tại bề mặt nơi tiếp xúc của hai bán dẫn hình thành một vùng chuyển tiếp có bề dày l_0 như trên hình vẽ 1.12; Do mật độ các hạt dẫn đa số trong N là các electron n_N nhiều hơn mật độ các hạt dẫn điện mang điện tích âm n_P trong bán dẫn loại P do đó sẽ có chuyển động khuếch tán do chênh lệch

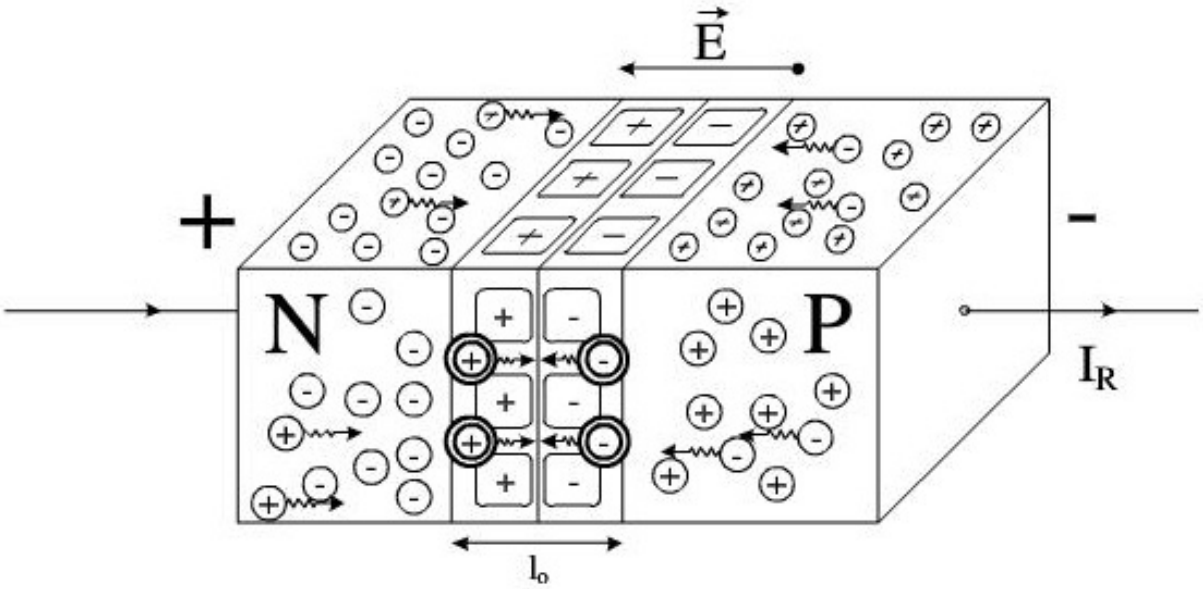
nồng độ các hạt dẫn mang điện tích âm này trên bề mặt nơi miền tiếp xúc bề dày l_0.



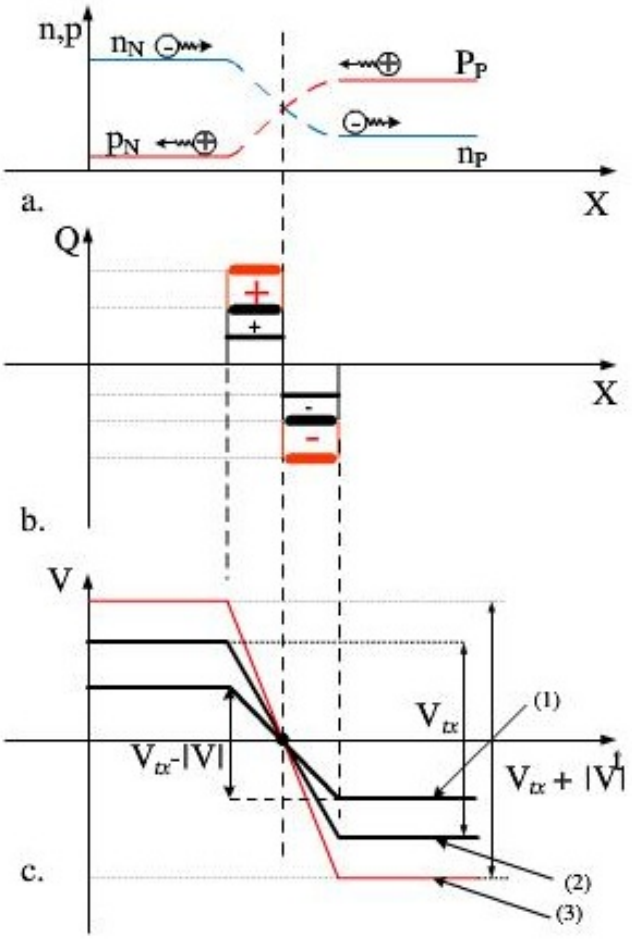
Hình 1.11. Chuyển tiếp P-N.

[+] Ký hiệu Ion dương "+" ở vùng chuyển tiếp

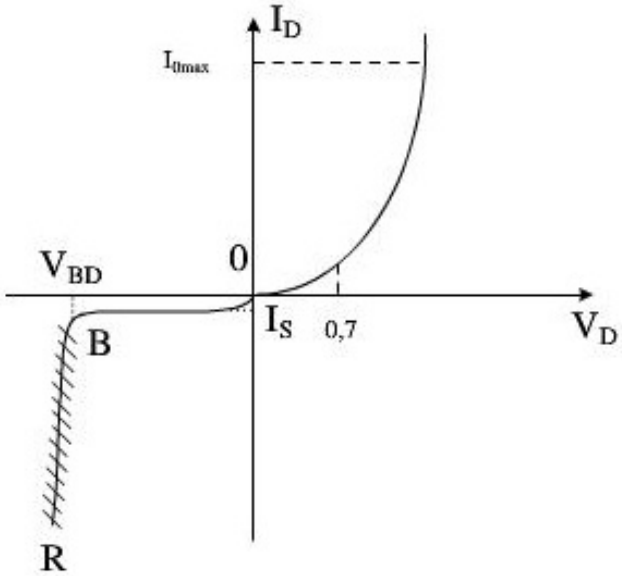
[-] Ký hiệu Ion dương "+" ở vùng chuyển tiếp



***Hình 1.12**. Cấu trúc của chuyển tiếp P-N*



***Hình 1.13**. a. Sự phân bố mật độ của các hạt dẫn trong vùng chuyển tiếp;*
b. Đồ thị điện tích của các ion trên bề mặt tiếp xúc;
c. Phân bố điện thế của chuyển tiếp P-N ((1): điện thế phân cực thuận; (2): điện thế tiếp xúc; (3): điện thế phân cực nghịch)



***Hình 1.14**. Đặc tuyến V-I của chuyển tiếp P-N*

Mật độ hạt đa số là lỗ trống p_P trong bán dẫn P cũng có nồng độ cao hơn hạt thiểu số p_N trong bán dẫn N do đó có chuyển động khuếch tán của các hạt dẫn mang điện tích dương tại miền tiếp xúc. Chuyển động khuếch tán tạo thành dòng khuếch tán J_{kt} do các hạt mang điện tích dương và hạt mang điện tích âm.

Tại vùng tiếp xúc, khi các hạt electron từ N chuyển động khuếch tán sang bên P, tại đây có sẵn các lỗ trống nên trung hòa với các lỗ trống hình thành hai lớp ion dương bên N (do nguyên tử bán dẫn N bị mất một hạt điện tử lớp ngoài cùng) và lớp ion âm bên P (do nguyên tử của bán dẫn P nhận thêm một điện tử). Như vậy, tại vùng tiếp xúc, các hạt dẫn đa số đã trung hòa không còn hạt dẫn đa số nên vùng này còn gọi là vùng nghèo hay là vùng thiếu hạt dẫn đa số.

Hai lớp ion hình thành hai lớp điện tích dương và âm (hình 1.12). Lớp điện tích này hình thành ngay một điện trường E. Do tồn tại điện trường tiếp xúc, các hạt tải thiểu số của hai miền sẽ bị cuốn về phía đối diện: lỗ trống của bán dẫn n chạy về phía cực âm của điện trường, điện tử của bán dẫn p chạy về phía cực dương của điện trường. Chúng tạo nên dòng điện trôi ngược chiều với dòng khuếch tán của hạt tải đa số.

Nồng độ hạt tải đa số trong hai khối bán dẫn càng chênh lệch thì hiện tượng khuếch tán càng mãnh liệt và quá trình tái hợp càng nhiều, dẫn đến điện trường tiếp xúc càng tăng và dòng điện trôi của hạt dẫn thiểu số cũng tăng. Vì vậy, chỉ sau một khoảng thời gian rất ngắn, dòng trôi và dòng khuếch tán trở nên cân bằng nhau, triệt tiêu nhau và dòng tổng hợp qua mặt ranh giới bằng 0 (điểm 0 trên đặc tuyến V-A hình 1.14). Ta nói chuyển tiếp P-N đạt tới trạng thái cân bằng động. Ứng với trạng thái đó điện trường tiếp xúc có giá trị xác định.

Điện thế của vùng tiếp xúc V_{tx} xác định đối với mỗi loại bán dẫn, bán dẫn Silisium có $V_{txSi} = 0.6 \div 07V$; Bán dẫn Germaniumcó điện thế tiếp xúc là $V_{txGe} = 0.2 \div 03V$. Điện thế tiếp xúc được gọi là hàng rào điện thế ngăn cản không cho các hạt dẫn đa số chuyển động tiếp tục tức là ngăn không cho các hạt electron đa số đi sang bên P hoặc ngược lại. Do vậy, điện thế ngoài của bán dẫn N và P có điện thế bằng với điện thế của lớp ion vùng nghèo. Đồ thị hình 1.13c biểu diễn sự phân bố điện áp của V_{tx} của chuyển tiếp P-N.

Bề dày của vùng nghèo ở trạng thái cân bằng tỷ lệ nghịch với nồng độ tạp chất trong hai khối bán dẫn

$$l_0 = l_n + l_p = \sqrt{\frac{2\varepsilon\varepsilon_0}{q} V_{tx}\left(\frac{1}{N_A} + \frac{1}{N_D}\right)} \qquad (1.17)$$

Trong đó:

ε_0: Hằng số điện môi trong chân không = 9.10^{-14}F/cm

ε: hằng số điện môi tương đối của chất bán dẫn.

l_o: bề dày của vùng nghèo thường rất bé khoảng 10^{-5}đến 10^{-4}cm.

Nồng độ tạp chất bán dẫn chênh lệch $N_a >> N_d$ thì $l_p << l_n$, Lúc đó:

$$l_0 = l_n = \sqrt{\frac{2\varepsilon\varepsilon_0}{q} V_{tx} \left(\frac{1}{N_A}\right)} \qquad (1.18)$$

1.2.2. Phân cực nghịch cho chuyển tiếp P-N ($V_D < 0$)

Giả sử nguồn điện áp V_D được đặt vào chuyển tiếp P-N như hình 1.12 với điện tích dương vào bán dẫn N và điện tích âm vào P ta gọi là điện áp nghịch V_{Dng}.

Điện trở của chất bán dẫn ở vùng nghèo rất lớn do không có hạt dẫn và điện trở ngoài vùng nghèo ngược lại rất nhỏ do có nhiều hạt dẫn điện, khi đặt điện áp nghịch V_D lúc đó gần như toàn bộ điện áp V_D sẽ đặt vào vùng nghèo, xếp chồng lên hiệu điện thế tiếp xúc V_{tx} làm cho tình trạng cân bằng trước đây không còn nữa.

Số lượng các ion dương trong vùng nghèo của chất bán dẫn loại N sẽ tăng lên (Hình 1.13b) phụ thuộc vào số lượng rất lớn các điện tích dương tự do lấy từ điện thế dương của nguồn điện áp cung cấp. Tương tự số lượng các ion âm sẽ tăng trong chất bán dẫn loại P.

Kết quả làm cho vùng nghèo nới rộng ra. Sự nới rộng của vùng nghèo sẽ thiết lập một rào cản lớn đến nỗi các hạt tải đa số không thể nào băng qua được nên dòng khuếch tán là zero như được trình bày trong hình 1.13.(b,c).

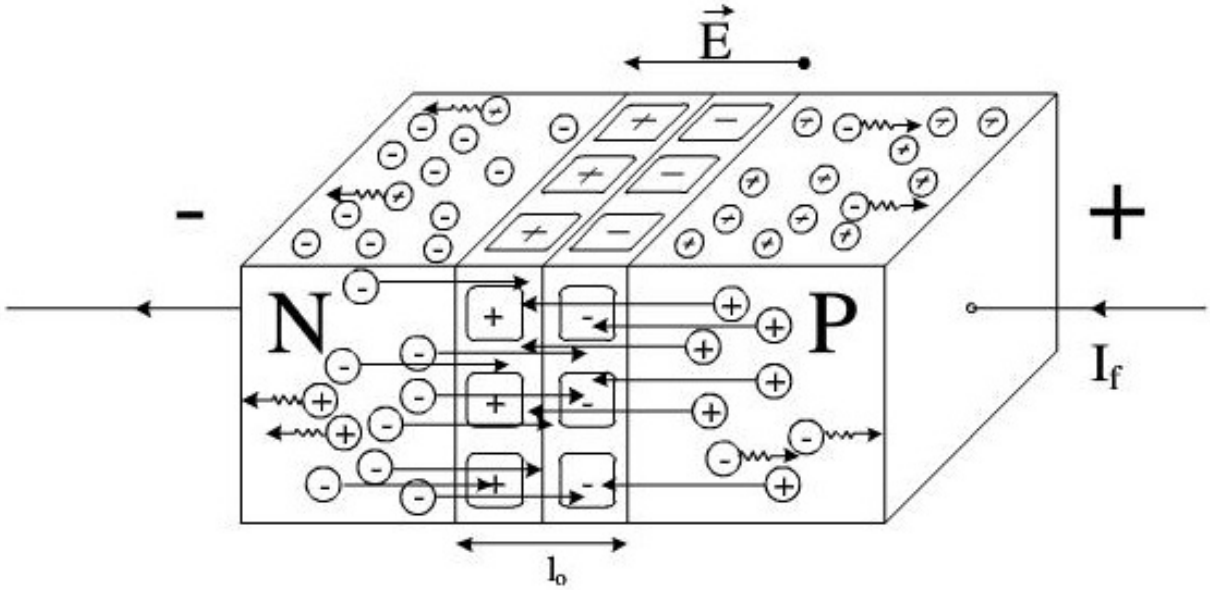
Do vùng nghèo bị mở rộng, điện trở của nó tăng. Điện thế hàng rào trở thành:

$$V_D = V_{tx} + |V_{Dng}| \text{ (V_{Dng} là điện áp ngược)} \qquad (1.19)$$

Điện thế hàng rào tăng thêm giá trị V_D, làm cho dòng trôi của hạt dẫn thiểu số tăng theo V_{Dng}, điện áp ở hai cực của bán dẫn P, N sẽ hút các hạt dẫn thiểu số không chỉ trong vùng nghèo mà còn các hạt dẫn thiểu số bên ngoài vùng nghèo làm tăng dòng điện trôi ở mạch ngoài do nồng độ hạt tải thiểu số vốn rất ít, nên trị số dòng này rất nhỏ, nhanh chóng đạt tới giá trị bão hòa I_s(dòng bão hòa – saturation) ngay khi điện áp V_{Dng} còn rất thấp biểu diễn bằng đoạn 0B trên đặc tuyến V-I. Giá trị dòng ngược rất bé Is < 10^{-6}A.

Khi tăng điện áp phân cực nghịch V_{Dng} tại điểm B, chuyển tiếp P-N bị đánh thủng do các ion ở vùng nghèo bị tác động của điện trường ngoài nhận nhiều năng lượng và dao động mạnh tại các nút mạng tinh thể làm các mối liên kết cộng hóa trị bị phá vỡ, đánh thủng chuyển tiếp hình thành vô số các hạt electron và lỗ trống đánh thủng, các hạt này sẽ chuyển động đến nơi hấp dẫn nó là các điện cực trái dấu , hình thành dòng đánh thủng cùng chiều với dòng điện nghịch I_s là đoạn BR trên đặc tuyến V-I hình 1.14. Thường thì dòng đánh thủng này làm chuyển tiếp P-N bị phá hủy nên không sử dụng, trừ một vài chuyển tiếp P-N như chuyển tiếp của các bán dẫn suy biến.

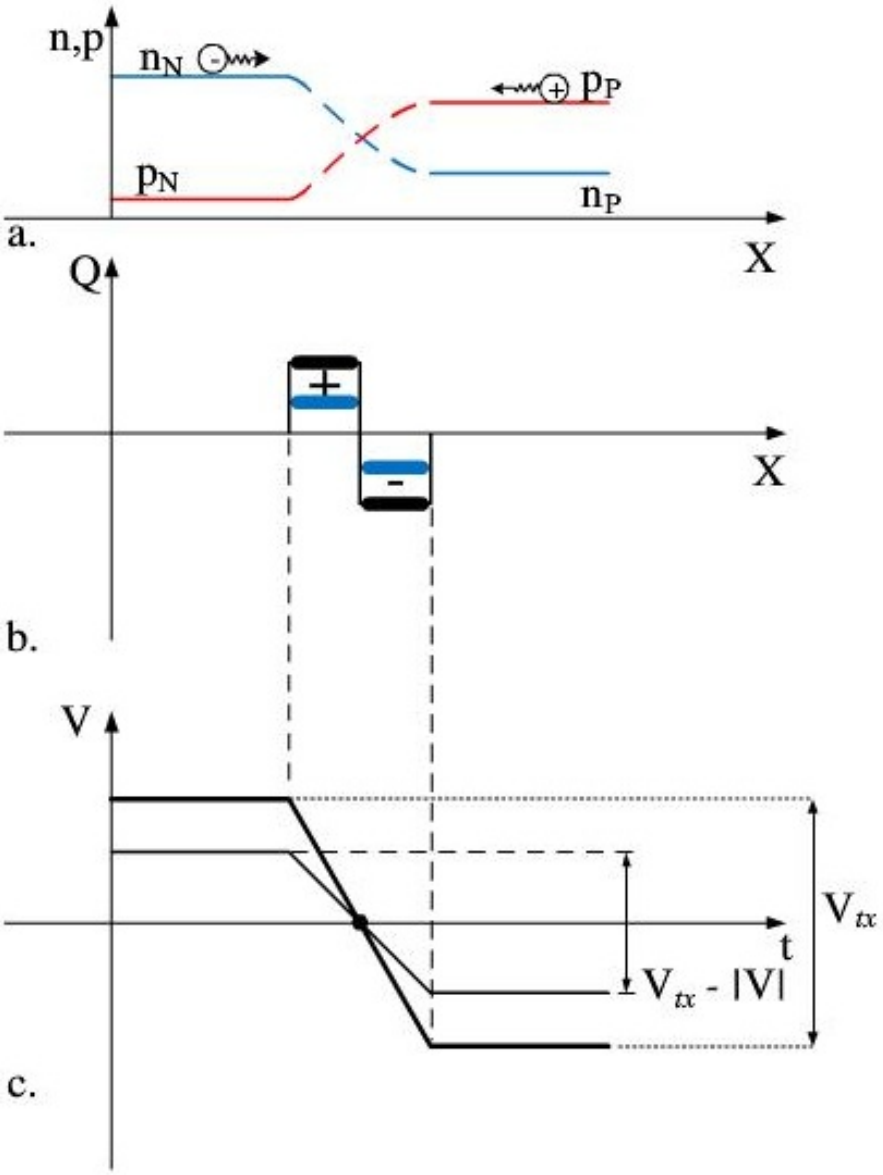
1.2.3. Phân cực thuận cho chuyển tiếp P-N ($V_D > 0$)



***Hình 1.15**. Sơ đồ khối chuyển tiếp P-N khi phân cực thuận*

Khi nguồn điện áp V_{Dth} được mắc như hình 1.15, điện áp dương đặt vào bán dẫn loại P, điện áp âm đặt vào bán dẫn loại N. Số lượng các ion dương trong vùng nghèo của chất bán dẫn loại N sẽ giảm xuống phụ thuộc vào số lượng rất lớn các điện tích âm tự do lấy từ điện thế âm của nguồn điện áp cung cấp và ion âm bên bán dẫn P suy giảm do điện tích dương từ nguồn. Vùng nghèo thu hẹp lại, điện thế hàng rào giảm mạnh chỉ còn V_{tx} - V_{Dth}, điện tích q tại vùng nghèo giảm (Hình 1.16b và c), đồng thời các hạt dẫn đa số của hai bán dẫn bị đẩy mạch do điện tích cùng dấu tạo điều kiện thuận lợi cho sự phun trào của các hạt dẫn đa số từ miền N sang P tạo dòng I_{th} (dòng phun trào diffusion dòng của các hạt đa số I_{diff}). Sự chuyển động của các hạt dẫn từ miền N sang P xuyên qua chuyển tiếp ta có dòng điện thuận tạo bởi hai loại hạt dẫn của chuyển tiếp P-N ở mạch ngoài:

$$J_{th} = J_n + J_p \qquad (1.20)$$



***Hình 1.16**. a. Sự phân bố mật độ của các hạt dẫn trong vùng chuyển tiếp;*
b. Đồ thị điện tích của các ion trên bề mặt tiếp xúc;
c. Phân bố điện thế của chuyển tiếp P-N, điện thế tiếp xúc, phân cực thuận

Dòng do hạt dẫn đa số tăng nhanh theo điện áp thuận V_{Dth}, còn dòng trôi của hạt dẫn thiểu số thì giảm theo V_{Dth}. Do dòng hạt tải thiểu số vốn rất bé nên có thể coi như không đổi I_s.

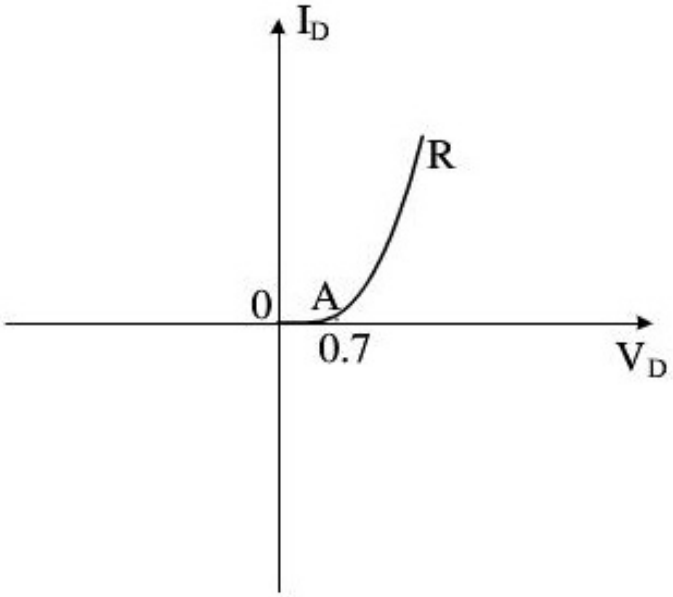
Khi đó dòng tổng hợp qua chuyển tiếp P-N sẽ là:

$$I_D = I_{th} - I_{ng} = I_s\left[1 - e^{\left(-\frac{V_D}{\eta V_T}\right)}\right] \qquad (1.21)$$

Trong đó:

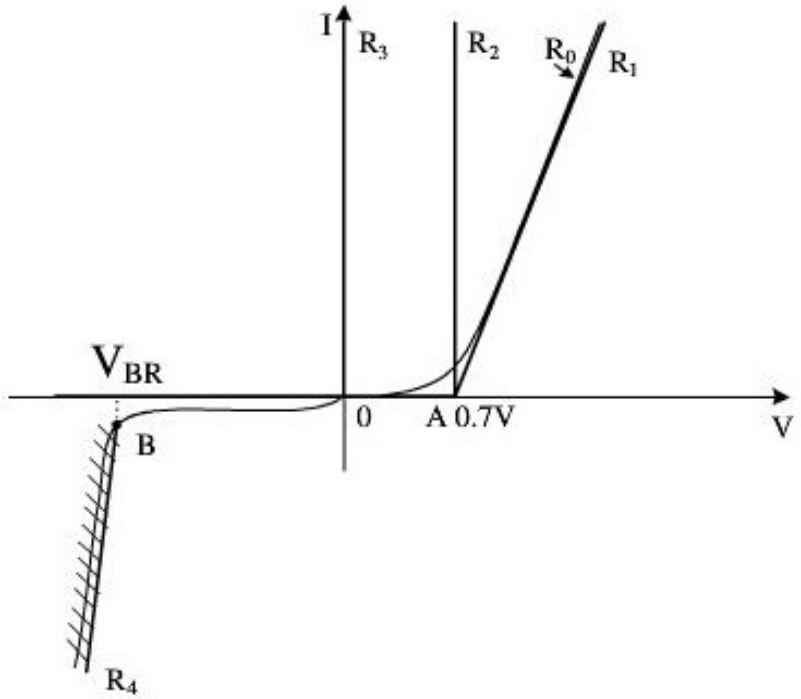
- I_S: dòng điện bảo hòa.

- $I_{th}(I_{diffustion})$: dòng điện thuận
- $I_{ng}(I_{drift})$: dòng điện ngược
- η: hằng số phụ thuộc vào vật liệu: $1 \le \eta \le 2$.
- kT: hiệu điện thế nhiệt.
- $V_T = \dfrac{kT_k}{q}$
- T_k: nhiệt độ Kelvin $T_k = T_c + 273$
- q: điện tích. $q = 1,6 \times 10^{-19}$ C
- k: hằng số Boltzman, $k = 1,38 \times 10^{-23}$ J/^{0}K



***Hình 1.17**. Đặc tuyến V-I của chuyển tiếp P-N khi phân cực thuận*

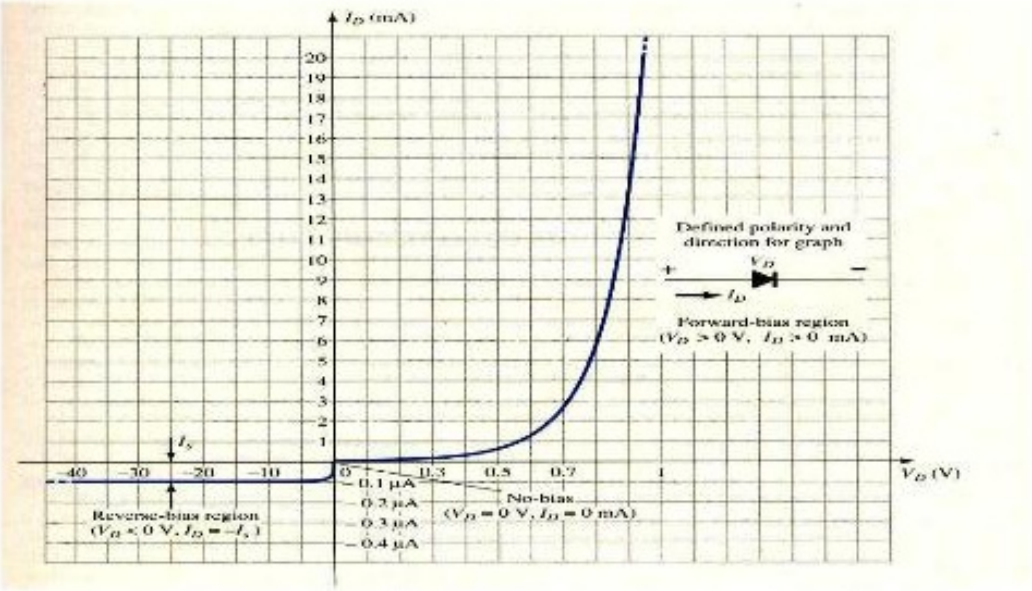
Khi tăng điện áp thuận lên cao dòng chuyển tiếp tăng nhanh và khi tăng đến giá trị xác định thì các ion trong vùng nghèo cũng chịu điện trường lớn và phá vỡ các liên kết cộng hóa trị gây hiện tượng đánh thủng thuận, điểm R_0 trên hình 1.18.



***Hình 1.18**.Đồ thị đặc tuyến V-I của chuyển tiếp P-N*

Ta có thể coi chuyển tiếp P-N lý tưởng có đồ thị biểu diễn dòng thuận như đoạn OAR_1 trên đặc tuyến V-I hình 1.18 và phần phân cực nghịch có giá trị dòng ngược rất bé tương đương bằng 0 đoạn OB, ta có thể kết luận chuyển tiếp P-N có đặc tính Van – dẫn điện một chiều.

Đoạn OAR_2 và OR_3 có thể coi chuyển tiếp P-N lý tưởng và nếu điện áp thuận đặt vào chuyển tiếp lớn hơn nhiều so với 0.7 V ta có thể coi như điện áp trên chuyển tiếp khi phân cực thuận rất bé gần bằng 0.



***Hình 1.19**. Đặc tuyến Volt - Ampe của chuyển tiếp P-N.*

Hình 1.19 là đồ thị của phương trình (1.21) ta có đặc tuyến Volt - Ampe V-I của chuyển tiếp P-N sử dụng Si. Đặc tuyến có dạng phi tuyến từ giá trị 0 ÷ 0.7 V, bắt đầu từ 0.7V ta có thể coi đồ thị đặc tuyến tương đương với tuyến tính.

Nếu đặt nguồn xoay chiều v(t) vào chuyển tiếp P-N thì mạch ngoài của chuyển tiếp sẽ cho dòng điện thuận với giá trị lớn khi phân cực thuận cho chuyển tiếp v(t)>0 và ngược lại dòng mạch ngoài sẽ bé gần bằng không I_s, khi phân cực nghịch v(t)<0. Như vậy, chuyển tiếp P-N có khả năng chỉnh lưu dòng điện xoay chiều thành một chiều. Ta có thể nói chuyển tiếp P-N có đặc tính " Van" là đặc tính dẫn điện một chiều.

1.2.4. Các hiện tượng đánh thủng chuyển tiếp P-N

Khi chuyển tiếp P-N bị phân cực ngược, nếu điện áp ngược tăng đến một giá trị khá lớn V_{BR} thì vùng tiếp xúc bị tích điện nhiều nên có nhiều năng lượng dao động mạnh tại các nút tinh thể và các hạt electron trong các mối liên kết cộng hóa trị trong vùng nghèo nhận nhiều năng lượng sẽ bứt phá làm vỡ các mối liên kết cộng hóa trị hình thành các lỗ trống và điện tử đánh thủng và các hạt dẫn này sẽ chuyển động theo lực hấp dẫn của điện trường tạo dòng điện do các hạt đánh thủng tạo thành cùng chiều với dòng điện ngược, nghĩa là chuyển tiếp P-N dẫn điện mạnh theo chiều nghịch, phá hỏng đặc tính van của nó. Hiện tượng này gọi là hiện tượng đánh thủng. Điện áp đánh thủng ký hiệu V_{BR} (Break Down).

Nguyên nhân dẫn đến đánh thủng có thể do điện hoặc nhiệt, vì vậy người ta thường phân biệt hai dạng đánh thủng về điện và đánh thủng về nhiệt.

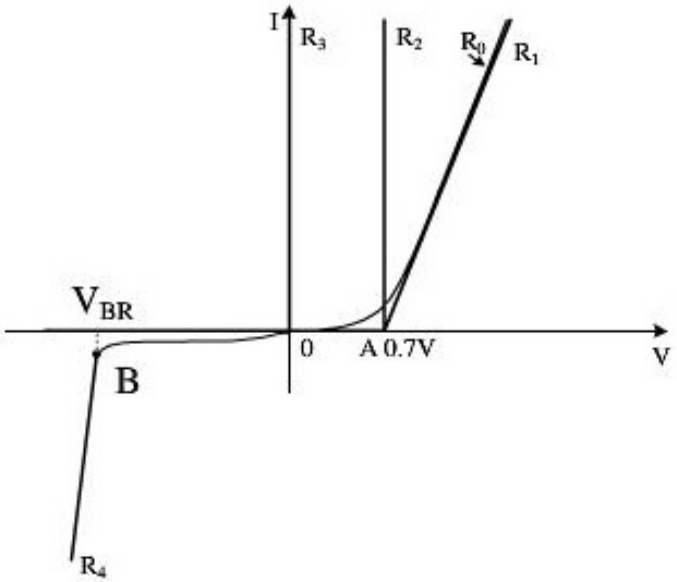
a. Đánh thủng về điện (được chia làm hai loại)

➢ *Đánh thủng thác lũ*

Khi điện áp phân cực nghịch của chuyển tiếp P-N tăng, vận tốc của các hạt tải thiểu số tương ứng với dòng điện bảo hòa ngược I_S cũng sẽ tăng. Khi đó, vận tốc của nó và động năng kết hợp vừa đủ để phá vỡ các mối liên kết cộng hóa trị giải phóng các hạt tải khác làm tăng số lượng hạt tải (gọi là các hạt tải mở rộng) thông qua sự va chạm với các cấu trúc ổn định của nguyên tử khác. Đó là một quá trình ion hóa sẽ dẫn đến các điện tử cân bằng hấp thụ đủ năng lượng để rời khỏi nguyên tử. Sau đó, các hạt tải mở rộng lại tiếp tục va chạm khi chuyển động, lan rộng quá trình ion hóa, tạo nhiều hạt dẫn và các hạt sẽ đổ nhiều như thác lũ tới các cực hấp dẫn nó tạo dòng thác lũ.

Đối với một số chuyển tiếp P-N có cấu tạo đặc biệt nhiều tạp chất và có đặc tính riêng biệt có khả năng chịu nhiệt độ cao xảy ra hiện tượng đánh

thủng thác lũ tại điện áp ngược bằng điện áp Zener (V_Z), lúc này các hạt dẫn tải phụ được hình thành và dòng điện ngược tăng nhanh do các hạt dẫn dương và âm tạp thành là đoạn BR_4 trên đồ thị đặc tuyến hình 1.20



***Hình 1.20**. Đặc tuyến V-I của chuyển tiếp có vùng Zener*

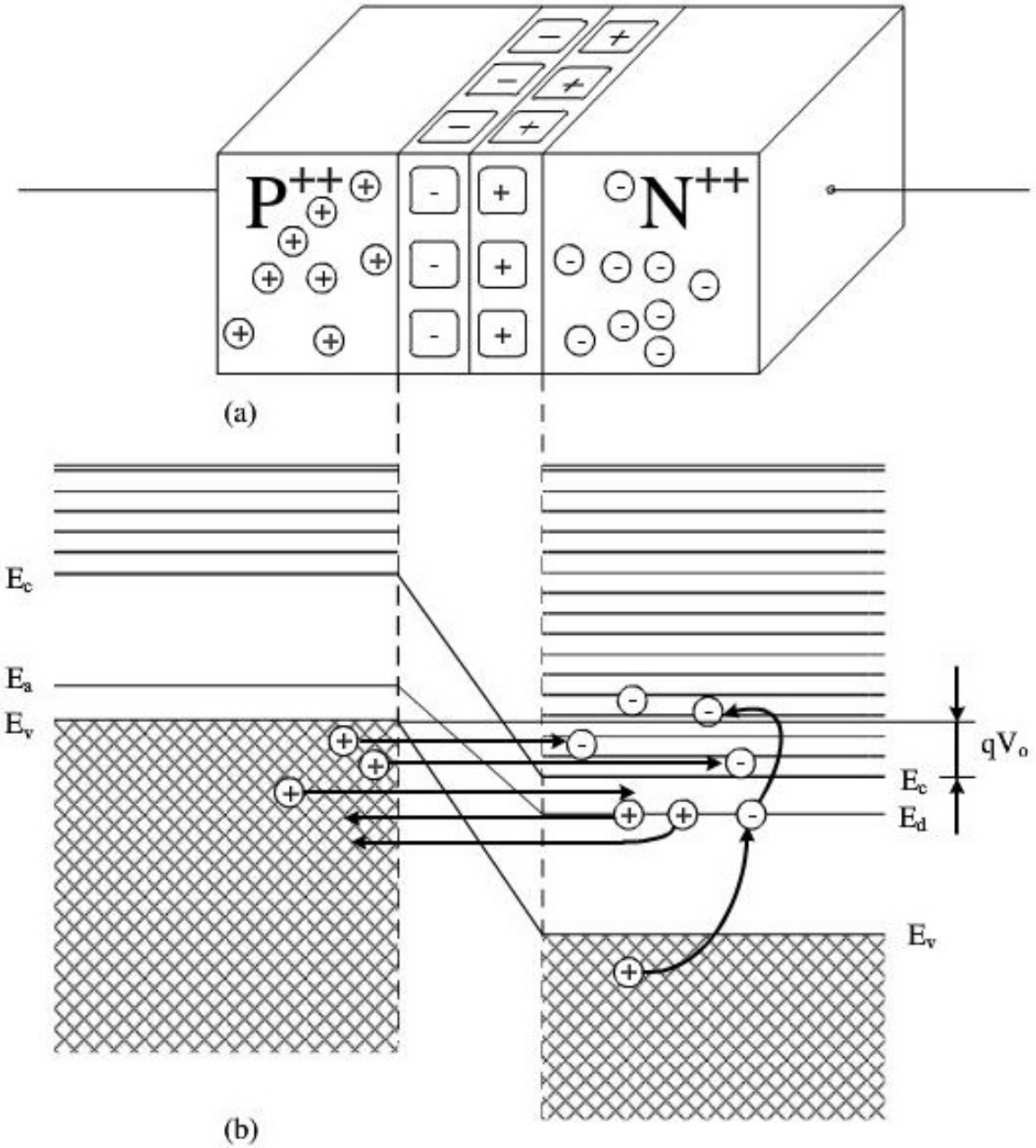
➢ *Đánh thủng xuyên hầm*

Hiện tượng đánh thủng xuyên hầm là hiện tượng khi chuyển tiếp P-N tạo bởi hai bán dẫn có nồng độ tạp chất cho (P^{++}) và nhận (N^{++}) rất cao. Do đó, vùng nghèo rất hẹp (cỡ 10^{-6}cm)và lớp ion vùng chuyển tiếp vùng nghèo P-N rất dày có điện trường rất cao 10^6 V/cm, khi đó điện trường trong vùng tiếp xúc rất lớn, có khả năng gây ra hiệu ứng "xuyên hầm" – hiệu ứng tunnel.

Do nồng độ tạp chất cao, các hạt dẫn đa số trong bán dẫn P và N rất lớn, điện trường tiếp xúc có giá trị lớn trong vùng nghèo có bề dày hẹp, do đó giản đồ năng lượng bị uốn cong, các mức năng lượng vùng dẫn của bán dẫn N ngang với mức năng lượng vùng hóa trị của bán dẫn loại P, do đó các điện tử tương đối tự do hoặc các điện tử có năng lượng vừa đủ có thể xuyên qua vùng bên kia là vùng dẫn của bán dẫn N và tạo thành dòng trong bán dẫn.

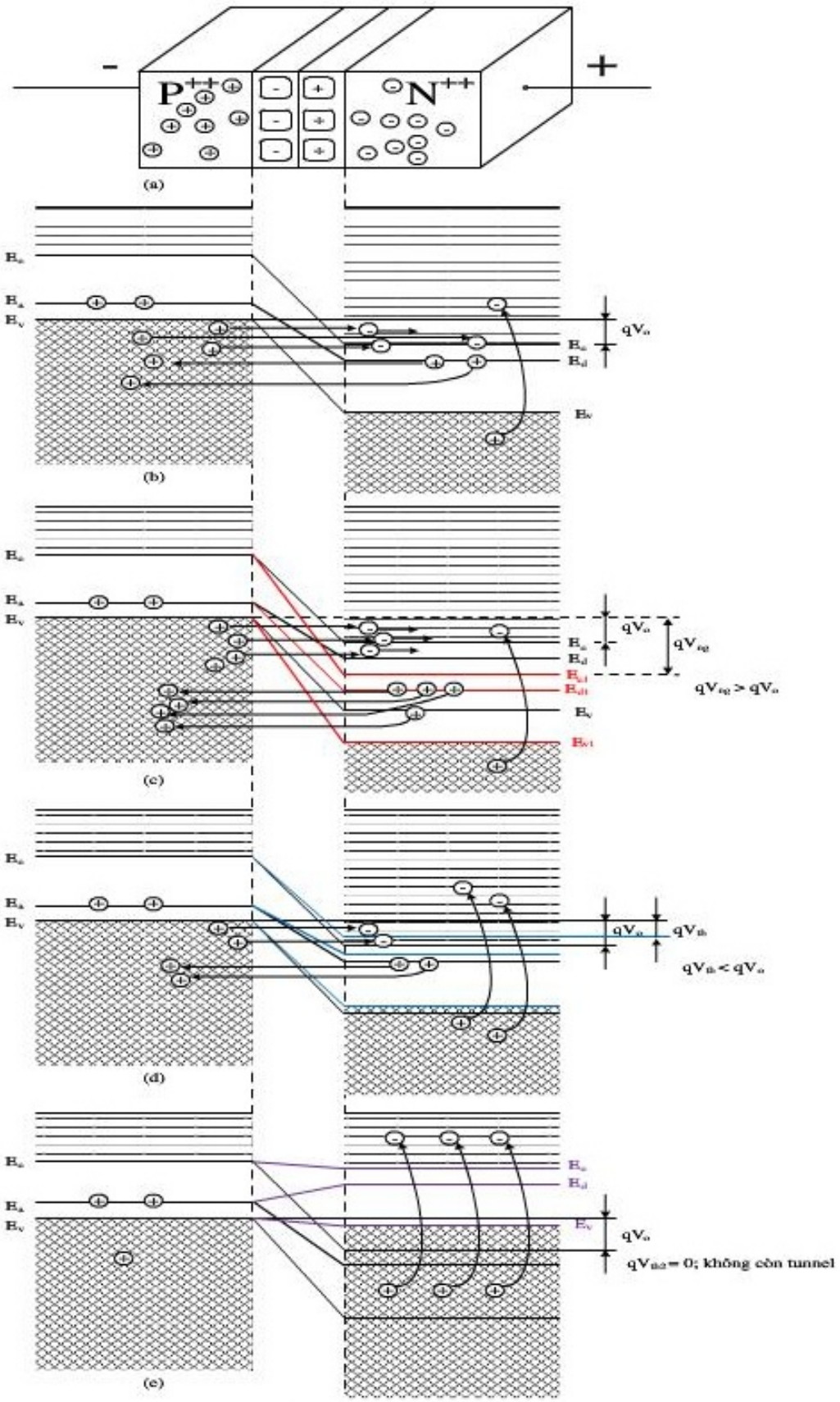
Dòng do các hạt dẫn điện tử và lỗ trống xuyên qua hàng rào điện thế gọi là dòng điện xuyên hầm – dòng tunnel.

Hình 1.21a biểu diễn mức năng lượng của chuyển tiếp P-N có nồng độ tạp chất cao, ta thấy ngay tại thời điểm lúc ban đầu các mức năng lượng này đã hình thành và mức E_c, E_d của bán dẫn đã giao nhau ngang với vùng hóa trị của bán dẫn loại P.



***Hình 1.21**. a. Mô hình chuyển tiếp P-N có nồng độ tạp chất cao;*
b. Các mức năng lượng trong chuyển tiếp P-N có nồng độ tạp chất cao.

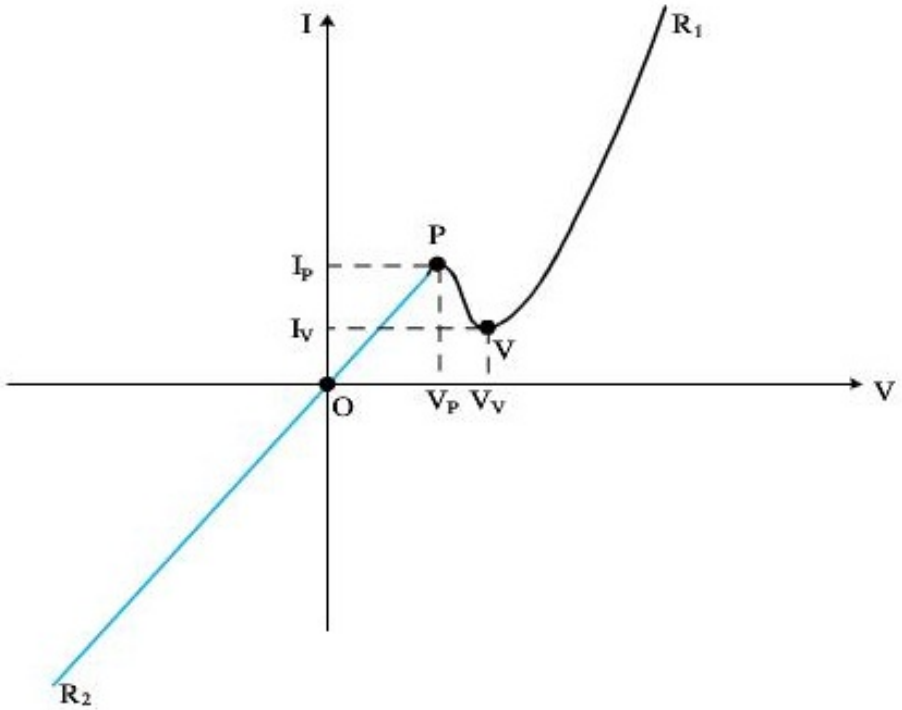
Khoảng giao nhau của các mức năng lượng tương đương điện trường qV_o như hình 1.21b. Điện trường tác động lên các hạt dẫn làm dòng trôi và dòng tunnel bằng nhau và ngược chiều nhau là điểm 0 trên đặc tuyến V-I.



***Hình 1.22**. Mô hình chuyển tiếp P-N và các mức năng lượng lượng tử trong hiệu ứng xuyên hầm (tunnel)*

Khi phân cực nghịch cho chuyển tiếp P++ và N++, đặt điện tích dương vào N và âm vào P hàng rào điện thế tăng cao, độ cong của mức năng lượng càng tăng, do đó khoảng giao ngang giữa các mức năng lượng vùng dẫn của bán dẫn N với vùng hóa trị của bán dẫn P tăng cao làm tăng hiệu ứng xuyên hầm như trên hình 1.22(b, c), điện trường trên vùng dẫn tăng nhanh lớn hơn giá trị lúc ban đầu khi chưa có điện áp ngoài đặt vào ta có $q(V_o+ V_{ng}) > qV_o$. Dòng tunnel càng tăng khi vùng giao nhau càng lớn. Đồng thời, khi điện áp ngoài đặt vào càng lớn các mối liên kết cộng hóa trị bị phá vỡ hình thành vô số các hạt điện tử và lỗ trống, các hạt này chuyển động theo hiệu ứng Tunnel tăng nhanh gần như tuyến tính đoạn OR_2 trên đặc tuyến V-I hình 1.23.

Khi phân cực thuận cho chuyển tiếp P++ và N++, hàng rào điện thế sụt xuống các mức năng lượng của bán dẫn loại N tịnh tiến lên trên (Hình 1.22d,e) làm suy giảm dòng tunnel, nhưng dòng của các hạt dẫn đa số của hai bán dẫn do bị đẩy từ hai cực đã chuyển động thác lũ tạo dòng điện thuận đoạn OP trên đặc tuyến V-I hình 1.23, điện trường hiện tại $q(V_o- V_{th}) < qV_o$ và ngày càng giảm dần, dòng Tunnel càng giảm do vùng giao nhau giữa vùng hóa trị và vùng dẫn giảm dần. Tại điểm P (điểm Peak), khi tăng điện áp thuận vào chuyển tiếp, mức năng lượng Fermi E_d và E_a của hai bán dẫn ngang nhau như trên hình 1.22e, hiệu ứng xuyên hầm chấm dứt, dòng điện suy giảm chỉ còn dòng thuận của các hạt đa số, ta có đoạn PV trên đặc tuyến hình 1.23.



***Hình 1.23**. Đặc tuyến V-I chuyển tiếp P-N có hiệu ứng xuyên hầm (tunnel)*

Khi tăng điện áp thuận, mức năng lượng tiếp tục dâng cao hình 1.22e, vùng dẫn của bán dẫn N++ ngang với vùng cấm và dâng cao gần ngang vùng dẫn của bán dẫn P, lúc này dòng trong chuyển tiếp là dòng thuận như dòng của chuyển tiếp P-N, dòng tăng theo hàm mũ (theo công thức 1.21) như đoạn VR_1 trên đặc tuyến V-I trên hình 1.23.

b. Đánh thủng về nhiệt

Dưới tác động của nhiệt độ môi trường hoặc tác động của ánh sáng các ion tại vùng chuyển tiếp mất cân bằng về điện, sẽ tích lũy năng lượng làm các hạt dẫn trong mối liện kết cộng hóa trị trong vùng nghèo có động năng lớn bứt khỏi mối liên kết hình thành các hạt dẫn đánh thủng. Các hạt dẫn này chuyển động tạo dòng đánh thủng.

Đánh thủng nhiệt điện xảy ra do sự tích lũy nhiệt trong vùng tiếp xúc. Khi có điện áp ngược lớn, dòng điện ngược tăng làm nóng chất bán dẫn, khiến nồng độ hạt dẫn thiểu số tăng và do đó lại làm dòng điện ngược tăng nhanh. Quá trình cứ như thế tiến triển khiến cho nhiệt độ vùng tiếp xúc và dòng điện ngược liên tục tăng nhanh, dẫn đến đánh thủng.

Hiện tượng đánh thủng này có trị số điện áp đánh thủng phụ thuộc vào dòng điện ngược ban đầu, nhiệt độ môi trường và điều kiện tỏa nhiệt của chuyển tiếp P-N. Đánh thủng về nhiệt, nhiệt điện thường phá hỏng vĩnh viễn đặc tính chỉnh lưu của chuyển tiếp P-N.

Điện áp phân cực nghịch lớn nhất có thể đặt lên chuyển tiếp P-N mà tiếp giáp chưa bị đánh thủng được gọi là điện áp ngược đỉnh (Peak Inverse Voltage: V_{PIV}).

1.3 CHUYỂN TIẾP P-N SCHOTTKY

Là tiếp xúc gồm một khối kim loại (như là platinum) và một khối chất bán dẫn P được ghép lại với nhau. Do đó không có sự tích lũy các hạt dẫn, những linh kiện bán dẫn được chế tạo dưới dạng này thường được sử dụng cho những ứng dụng mà yêu cầu tốc độ chuyển mạch cao. Hoạt động của chuyển tiếp tương tự như chuyển tiếp P-N.

1.4 BÀI TẬP

1.4.1. Câu hỏi trắc nghiệm

1. Chất bán dẫn thuần là chất bán dẫn

   a. Không có sự tham gia của nguyên tố ngoại lai.

   b. Được tạo thành từ các nguyên tố có hóa trị IV.

   c. Được tạo thành từ nguyên tố có hóa trị III với nguyên tố có hóa trị V.

   d. Chất không dẫn điện tại 0^0C

2. Chất bán dẫn tạp chất dạng n là chất bán dẫn

   a. Thuần có pha thêm tạp chất là nguyên tố có hóa trị III.

   b. Thuần có pha thêm tạp chất là nguyên tố có hóa trị V.

   c. Có hạt tải đa số là lỗ trống tự do.

   d. Có các hạt mang điện tự do là lỗ trống và điện tử.

3. Chất bán dẫn tạp chất dạng p là chất bán dẫn

   a. Thuần có pha thêm tạp chất

   b. Thuần có pha thêm tạp chất là nguyên tố có hóa trị V.

   c. Có hạt tải đa số là lỗ trống tự do.

   d. Có các hạt mang điện tự do là lỗ trống và điện tử.

4. Chuyển tiếp p_n khi chưa được phân cực

   a. Dòng điện chạy trong nó bằng dòng ngược bão hòa (có giá trị rất bé) và tồn tại một điện trường E_{tx} tại biên giới tiếp xúc.

   b. Dòng điện chạy trong nó bằng dòng ngược bão hòa (có giá trị rất bé) và không tồn tại điện trường E_{tx} tại biên giới tiếp xúc.

   c. Dòng điện chạy trong nó bằng 0 và điện trường E_{tx} tại biên giới tiếp xúc cũng bằng 0.

   d. Dòng điện chạy trong nó bằng 0 và tồn tại một điện trường E_{tx} tại biên giới tiếp xúc.

5. Chuyển tiếp p-n có đặc tính

   a. Dẫn điện theo một chiều

b. Dẫn điện khi được phân cực thuận và hở mạch khi bị phân cực nghịch.

c. Dẫn điện theo cả hai trường hợp phân cực thuận và nghịch.

d. Không dẫn điện

6. Tiếp xúc Shottky có đặc điểm

a. Gồm kim loại và bán dẫn tiếp xúc nhau.

b. Gồm bán dẫn loại n tiếp xúc bán dẫn loại p.

c. Tốc độ chuyển mạch chậm hơn so với bán dẫn.

d. Gồm hai bán dẫn tiếp xúc nhau.

7. Chuyển tiếp p-n bị đánh thủng về nhiệt khi xảy ra hiện tượng

a. Điện áp đặt trên hai đầu của nó vượt quá điện áp V_{BR}.

b. Dòng điện ngược qua chuyển tiếp p-n vượt quá giá trị cho phép.

c. Điện áp đặt trên hai đầu của nó vượt quá điện áp V_{γ}.

d. Cả a và b.

8. Các hiện tượng đánh thủng sau đây, hiện tượng nào sẽ phá hủy toàn bộ đặc tính van của chuyển tiếp p-n.

a. Đánh thủng về điện.

b. Đánh thủng về nhiệt.

c. Đánh thủng xuyên hầm.

d. Đánh thủng thác lũ.

9. Công thức nào là công thức mô tả của dòng điện chạy trong chuyển tiếp p-n

a. $I_{p-n} = I_S(e^{-\frac{qV_D}{nKT}} - 1)$

b. $I_{p-n} = -I_S(e^{\frac{qV_D}{nKT}} - 1)$

c. $I_{p-n} = I_S(e^{\frac{qV_D}{nKT}} - 1)$

d. $I_{p-n} = I_S(e^{\frac{qV_D}{nKT}} + 1)$

10. Chuyển tiếp p-n khi bị phân cực ngược

a. Vùng tiếp xúc bị thu hẹp lại và điện trường trong vùng tiếp xúc giảm so với lúc chưa có điện trường ngoài.

b. Vùng tiếp xúc được mở rộng ra và điện trường trong vùng tiếp xúc giảm so với lúc chưa có điện trường ngoài.

c. Vùng tiếp xúc được mở rộng ra và điện trường trong vùng tiếp xúc tăng so với lúc chưa có điện trường ngoài.

d. Vùng tiếp xúc được thu hẹp ra và điện trường trong vùng tiếp xúc tăng so với lúc chưa có điện trường ngoài.

11. Chuyển tiếp p-n khi được phân cực thuận

a. Vùng tiếp xúc bị thu hẹp lại so với lúc chưa có điện trường ngoài.

b. Vùng tiếp xúc được mở rộng ra so với lúc chưa có điện trường ngoài.

c. Vùng tiếp xúc không thay đổi so với lúc chưa có điện trường ngoài.

d. Điện trường trong vùng tiếp xúc tăng so với lúc chưa có điện trường ngoài.

12. Vùng tiếp xúc trong chuyển tiếp p-n có đặc điểm

a. Không tồn tại các hạt mang điện tự do.

b. Không tồn tại các ion tạp chất.

c. Có các ion tạp chất mang điện tích dương phía bên bán dẫn N và các ion tạp chất âm phía bên bán dẫn P.

d. Cả a và c.

1.4.2. Câu tự luận

13. Giải thích đặc tính "Van"- đặc tính chỉnh lưu của chuyển tiếp P-N?

14. Giải thích cơ chế dẫn điện theo thuyết năng lượng của chuyển tiếp P-N ?

15. Giải thích cấu trúc theo thuyết năng lượng của bán dẫn có nồng độ tạp chất cao N, N+, N++

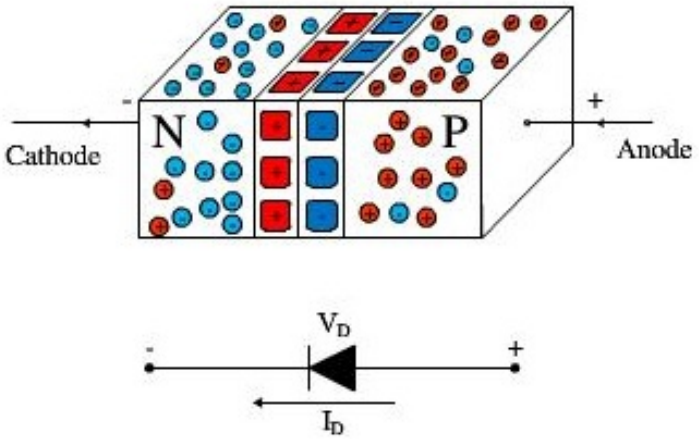
16. Thế nào là hiệu ứng xuyên hầm?

Chương 2
DIODE VÀ MẠCH ỨNG DỤNG

2.1. ĐẠI CƯƠNG VỀ DIODE

2.1.1. Cấu tạo

Diode là linh kiện bán dẫn có cấu tạo cơ bản trên chuyển tiếp P-N và được kết nối với bên ngoài thông qua hai điện cực kim loại Anode và Kathode.



Hình 2.1. *Cấu trúc và kí hiệu của diode chỉnh lưu*

2.1.2. Đặc tuyến vôn - ampe của Diode

Do cấu trúc của diode là chuyển tiếp P-N, nên phương trình dòng điện qua diode chính là phương trình dòng điện chạy qua chuyển tiếp P-N:

$$I_D = I_S\left(e^{V_D/\eta V_T} - 1\right) \qquad (2.1)$$

Trong đó:

Is: dòng điện bão hòa.

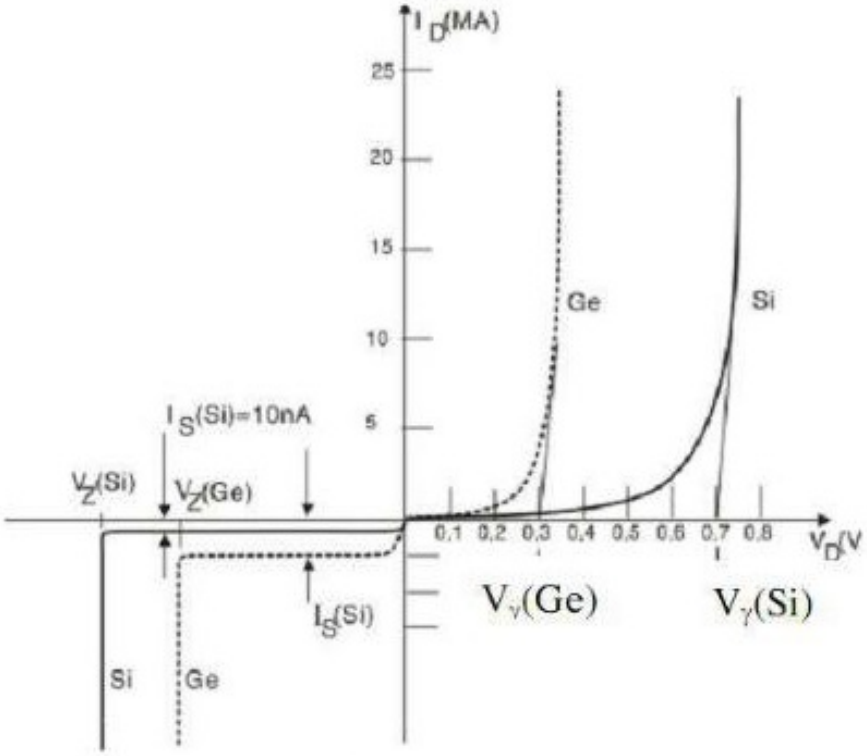
η: hệ số điều chỉnh phụ thuộc vào vật liệu. $1 \le \eta \le 2$

V_T: hiệu điện thế nhiệt $V_T = \dfrac{kT_k}{q}$

T_k: nhiệt độ Kelvin $T_k = T_C + 273$

q: điện tích của điện tử. $q = 1{,}6 \times 10^{-19}$ C

k: hằng số Boltzman. $k = 1{,}38 \times 10^{-23}$ J/K



Hình 2.2. *Đặc tuyến Vôn – Ampe của diode Ge và Si.*

Diode Silicon có giá trị điện áp ngược cực đại (PIV), dòng điện và dãy điện áp hoạt động lớn hơn diode Germanium. Điện áp PIV đối với Silicon vào khoảng 1000V trong khi giá trị PIV lớn nhất của Germanium là 400V.

Silicon có thể sử dụng trong các ứng dụng mà nhiệt độ có thể lên đến 200°C trong khi nhiệt độ chịu đựng lớn nhất của Germanium là 100°C.

Điện áp tại thời điểm bắt đầu dẫn được xem là điện áp ngưỡng (threshold) và kí hiệu là V_γ. $V_\gamma = 0.7V$ (Silicon); $V_\gamma = 0.3V$ (Germanium).

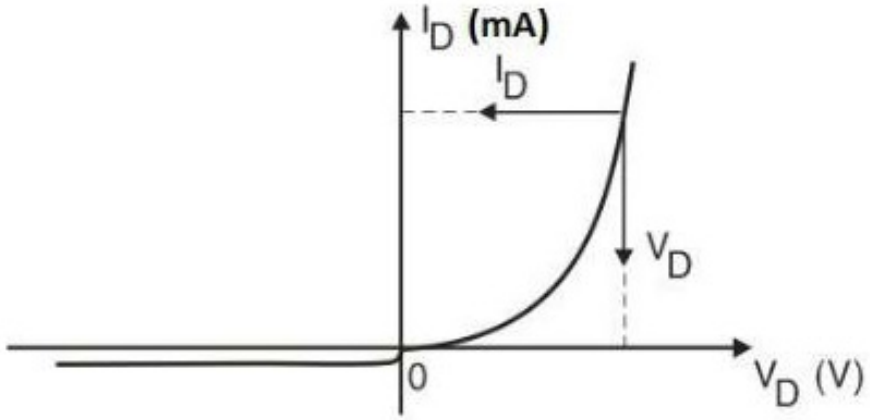
2.1.3. Các tham số của diode

a. Điện trở tĩnh (hay điện trở R_D):

Điện trở tĩnh của diode tại điểm hoạt động có thể tính một cách đơn giản bằng cách tìm các mức điện áp V_D và dòng điện I_D tương ứng với điện áp nguồn cung cấp DC được trình bày trong hình 2.3 và áp dụng phương trình sau:

$$R_D = \frac{V_D}{I_D} \qquad (2.2)$$

Các mức điện trở tĩnh tại vị trí điểm uốn và phía dưới điểm uốn có giá trị lớn hơn điện trở DC từ điểm uốn trở lên. Các mức điện trở DC trong vùng phân cực nghịch có giá trị rất lớn.

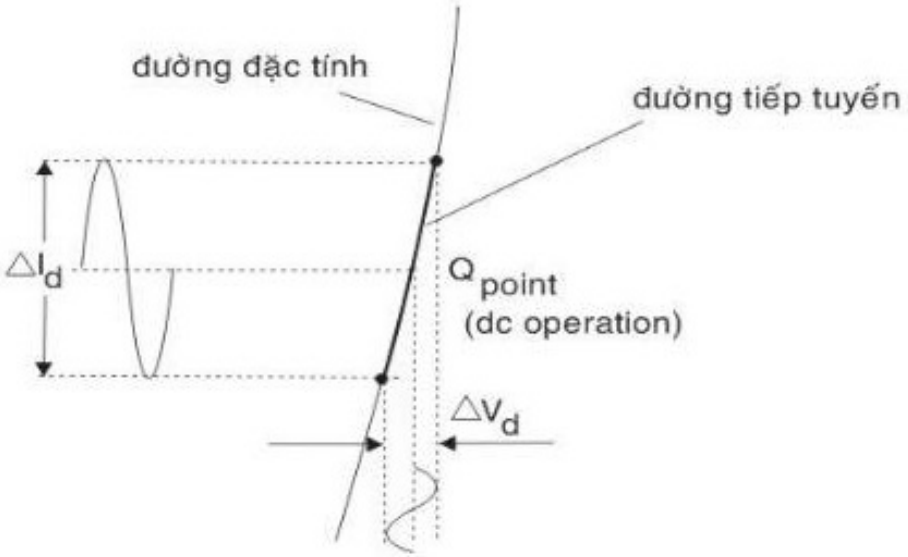


Hình 2.3. *Xác định điện trở R_D của diode tại điểm làm việc.*

b. Điện trở động (điện trở r_D):

Trong phương trình (2.2) điện trở DC của diode không phụ thuộc vào hình dạng đặc tính trong vùng xung quanh điểm tĩnh Q. Nếu xếp chồng một nguồn tín hiệu sin lên nguồn điện áp DC ở trên thì tín hiệu vào thay đổi sẽ làm điểm hoạt động thay đổi lên và xuống như hình 2.4.

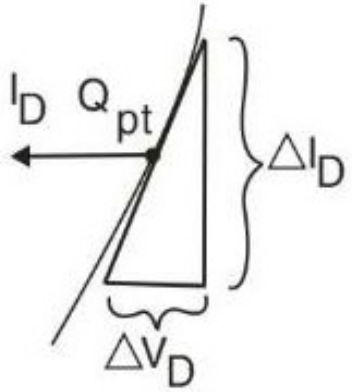
Nếu tín hiệu biến thiên đưa đến bằng 0, điểm hoạt động sẽ là điểm Q xuất hiện trên hình 2.4 được xác định bởi các mức điện áp DC. Điểm gán chữ Q được rút ra từ chữ *Quiscent* có nghĩa là mức không thay đổi hay còn gọi là điểm tĩnh hay điểm làm việc của mạch điện tử.



Hình 2.4. *Dạng sóng trên diode khi có tín hiệu nhỏ AC.*

Phương trình tính điện trở động của diode là:

$$r_D = \frac{\Delta V_D}{\Delta I_D} \quad (2.3)$$



Hình 2.5. *Xác định điện trở AC tại điểm Q.*

Nếu vùng làm việc của diode được xem là tuyến tính thì điện trở động của diode trong phương trình (2.3) có thể được viết lại như sau:

$$r_D = \frac{dv_D}{di_D}$$

Từ phương trình (2.1) ta có: $I_D + I_S = I_S e^{V_D/\eta V_T}$

$$\frac{I_D + I_S}{I_S} = e^{V_D/\eta V_T}$$

hay $V_D = \eta V_T \ln \frac{I_D + I_S}{I_S}$

Vậy $r_D = \frac{dv_D}{di_D} = \frac{\eta V_T}{I_D + I_S}$ (2.4)

Khi phân cực thuận, dòng $I_D >> I_S$ nên r_D có thể tính gần đúng như sau:

$$r_D \cong \frac{\eta V_T}{I_D} \qquad (2.5)$$

Trường hợp η = 1 và xét tại nhiệt độ phòng $T_C = 25^o C$ thì $V_T = 26mV$:

$$r_D \cong \frac{26mV}{I_D} \qquad (2.6)$$

Đến đây ta có thể tính điện trở AC mà không cần phải vẽ đường tiếp tuyến. Phương trình (2.6) chỉ chính xác khi vùng hoạt động của diode có

thể được xem là tuyến tính và giá trị của I_D nằm ở vùng thẳng đứng của đường cong.

Khi I_D nằm từ điểm uốn trở xuống thì giá trị $\eta = 2$ (Silicon) làm dòng I_D giảm xuống phân nửa và kết quả là điện trở r_D nhân thêm hệ số 2.

Tất cả các điện trở đã xác định là chưa tính đến điện trở của chính vật liệu bán dẫn và điện trở bởi các đầu nối giữa vật liệu bán dẫn và các dây dẫn kim loại bên ngoài. Các điện trở này được cộng lại và kí hiệu là r_B và được tính thêm vào điện trở AC, kết quả điện trở r_D' gồm có điện trở động r_D và điện trở r_B:

$$r_D' = \frac{26mV}{I_D} + r_B \qquad (2.7)$$

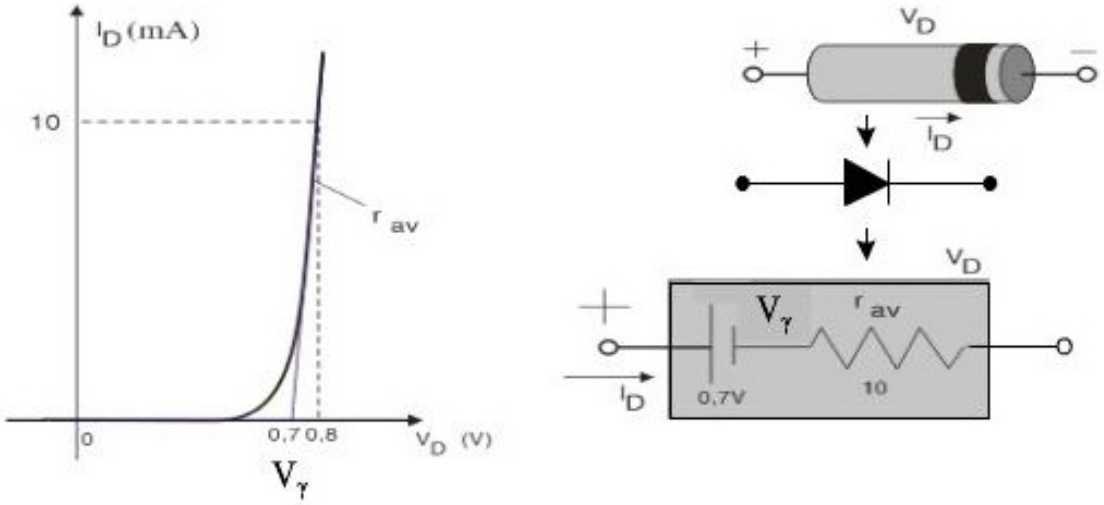
Điện trở r_B nằm trong khoảng từ 0,1Ω đối với các linh kiện công suất lớn cho đến 2Ω đối với các linh kiện công suất thấp.

c. Mạch điện tương đương của diode

Một mạch điện tương đương là tổ hợp các phần tử được lựa chọn một cách hợp lý để biểu diễn các đặc tính của một linh kiện thật, một hệ thống hoặc một vùng hoạt động đặc biệt một cách tốt nhất.

Mạch tương đương tuyến tính phân đoạn:

Một phương pháp để thành lập mạch điện tương đương cho diode bằng cách kẽ các đường thẳng gần giống như đường đặc tính như trong hình 2.6a. Mạch điện tương đương đó được gọi là mạch điện tương đương tuyến tính phân đoạn. Đối với phần độ dốc của đường cong tương đương thì điện trở AC trung bình chính là điện trở có trong mạch điện tương đương như hình 2.6b. Do diode Silicon chỉ dẫn khi điện áp phân cực thuận V_D bằng 0,7V (như hình 2.6a), một nguồn pin V_γ sẽ thay thế tương đương, kết quả ta có mạch điện tương đương như hình 2.6b.

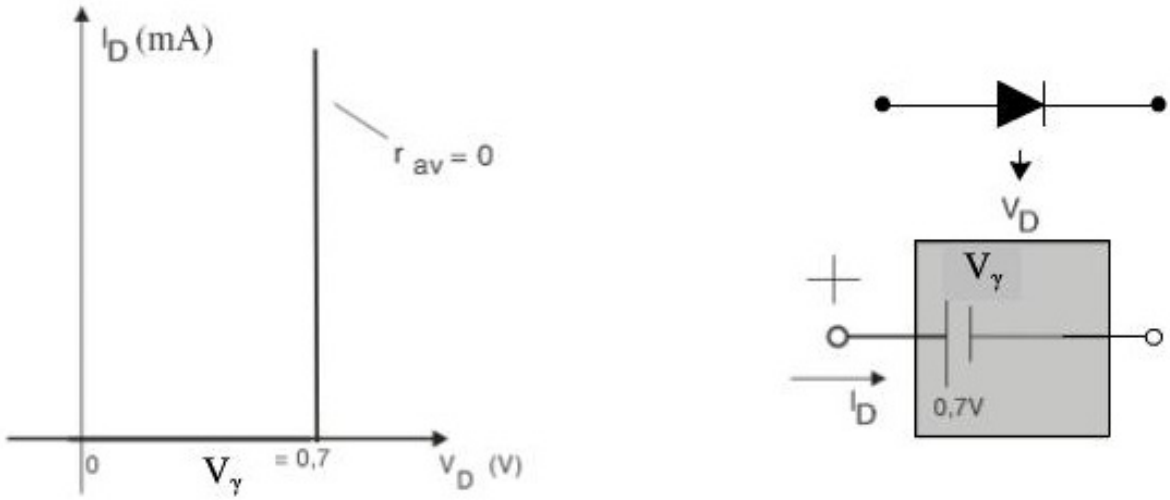


(a) (b)

***Hình 2.6**. a. Mạch tương đương dùng các đường thẳng gần với đường đặc tính;*
b. Mạch điện tương đương của diode.

Mạch điện tương đương đơn giản:

Trong hầu hết các ứng dụng, điện trở trung bình r_{av} khá nhỏ nên có thể bỏ qua khi so sánh với các phần tử khác trong mạch. Khi bỏ điện trở r_{av} khỏi mạch điện tương đương, mạch điện và đường đặc tính có dạng như hình 2.7.

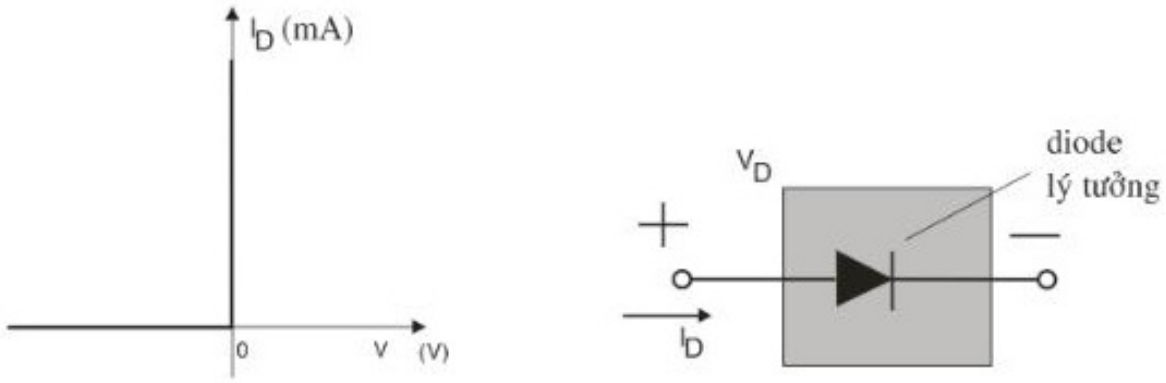


***Hình 2.7.** Mạch điện tương đương đơn giản của diode.*

Mạch điện tương đương lý tưởng:

Sau khi bỏ qua giá trị điện trở trung bình r_{av} khỏi mạch điện tương đương, bây giờ ta thực hiện thêm một bước nữa là điện áp 0,7V có thể bỏ

qua nếu so sánh với mức điện áp tín hiệu cung cấp khá lớn. Trong trường hợp này mạch điện tương đương chỉ còn lại là một diode lý tưởng và đặc tính của nó như hình 2.8.



Hình 2.8. *Diode lý tưởng và đặc tính của nó.*

d. Điện dung của diode

Các linh kiện điện tử rất nhạy với tần số rất cao. Hầu hết các ảnh hưởng của điện dung nối tiếp bị bỏ qua khi làm việc ở tần số thấp vì $X_C = \frac{1}{2\pi fC}$ có giá trị rất lớn (tương đương như hở mạch). Tuy nhiên không thể nào bỏ qua khi làm việc ở tần số cao. Vì giá trị X_c giảm nhỏ sẽ ngắn mạch các tín hiệu có tần số cao. Trong diode bán dẫn P-N, có hai ảnh hưởng của điện dung cần phải xem xét đó là điện dung chuyển tiếp và điện dung khuếch tán.

$$C_O = C_T + C_D$$

C_T là điện dung chuyển tiếp (transistion)

C_D là điện dung khuếch tán (diffusion)

Trong chuyển tiếp P-N, vùng tiếp xúc mang tính chất như là chất cách điện giữa hai lớp điện tích đối ngược nhau vì vậy nó tương đương một tụ điện có điện dung gọi là điện dung chuyển tiếp. Độ rộng vùng nghèo này tăng tỉ lệ với điện áp phân cực nghịch, vì vậy điện dung chuyển tiếp sẽ bị thay đổi tùy thuộc vào điện áp phân cực nghịch cung cấp.

$$C_T = \varepsilon \frac{A}{d} \qquad (2.8)$$

Trong đó

ε là hằng số điện môi của chất cách điện giữa các bản cực

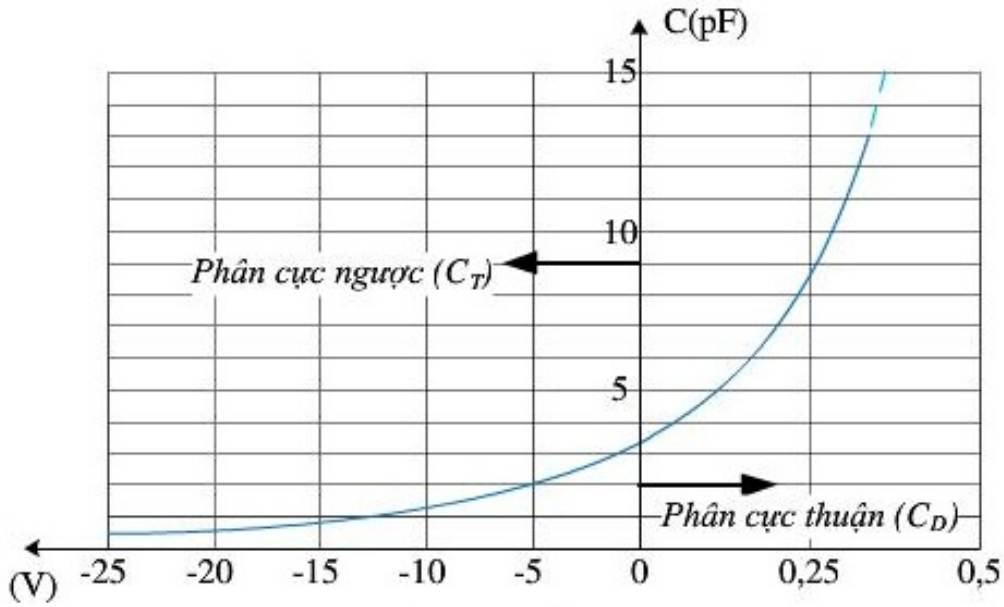
A là diện tích tiếp xúc của hai chất bán dẫn n và p

d là bề dày của vùng tiếp xúc

Các ảnh hưởng ở trên cũng xảy ra đối với vùng phân cực thuận giá trị của tụ điện phụ thuộc vào tốc độ các điện tích được phun vào các vùng nằm ngoài vùng nghèo. Dòng điện tăng sẽ làm tăng điện dung khuếch tán. Khi tăng dòng điện sẽ làm giảm điện trở và kết quả là thời hằng $\tau = RC$ giảm tổng thể ở vùng phân cực thuận.

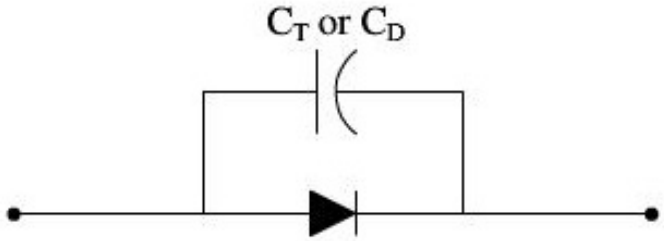
$$C_D = \frac{dQ}{dV} \qquad (2.9)$$

Q: điện tích miền nền của diode.



Hình 2.9. *Điện dung chuyển tiếp và khuếch tán tỉ lệ với điện áp phân cực.*

Các ảnh hưởng vừa diễn tả ở trên được minh họa bằng một tụ điện mắc song song với một diode lý tưởng như hình 2.10. Trong các ứng dụng tần số từ trung bình trở xuống, có thể bỏ qua ảnh hưởng của tụ.



Hình 2.10. *Diode và điện dung của diode.*

e. Thời gian khôi phục ngược

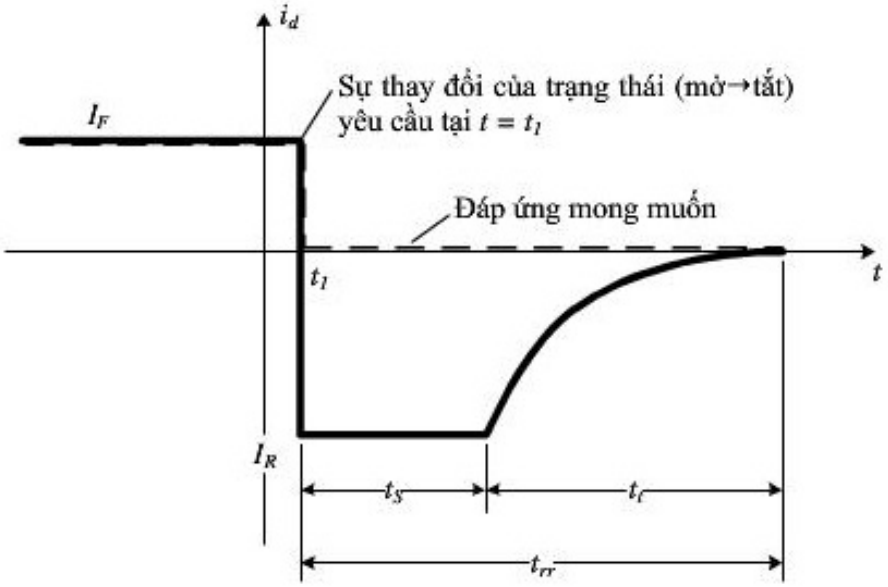
Một trong những thông số chưa xét đến là thời gian khôi phục ngược t_{rr}. Trong trạng thái phân cực thuận như đã trình bày ở trước, có một số lượng lớn các hạt điện tử từ chất bán dẫn N khuếch tán sang chất bán dẫn loại P và một số lượng lớn các lỗ trống từ chất bán dẫn P khuếch tán sang chất bán dẫn N để thực hiện quá trình dẫn điện. Các điện tử trong chất bán dẫn loại P và lỗ trống trong chất bán dẫn N trở thành các hạt tải tiểu số trong mỗi chất bán dẫn và số lượng bây giờ rất lớn.

Nếu điện áp cung cấp đổi chiều làm diode chuyển sang trạng thái phân cực nghịch thì đối với diode lý tưởng sẽ chuyển từ trạng thái dẫn sang trạng thái ngưng dẫn tức thời.

Do một số lượng khá lớn các hạt tải thiểu số còn trong mỗi chất bán dẫn nên diode sẽ phân cực nghịch như hình 2.11 và thời gian lưu trữ t_s, là thời gian để các hạt tải thiểu số quay trở về trạng thái hạt tải đa số của chúng ở chất bán dẫn đối diện. Điều này có ý nghĩa là diode vẫn còn ở trạng thái ngắn mạch với dòng $I_{reverse}$ được xác định bởi các thông số của mạch.

Khi thời gian t_s đã hết (các hạt tải đã về đúng trạng thái), dòng điện sẽ giảm về 0 ứng với trạng thái ngưng dẫn, khoảng thời gian chuyển trạng thái này được kí hiệu là t_t. Thời gian khôi phục ngược là tổng của hai thông số thời gian: $t_{rr} = t_s + t_t$.

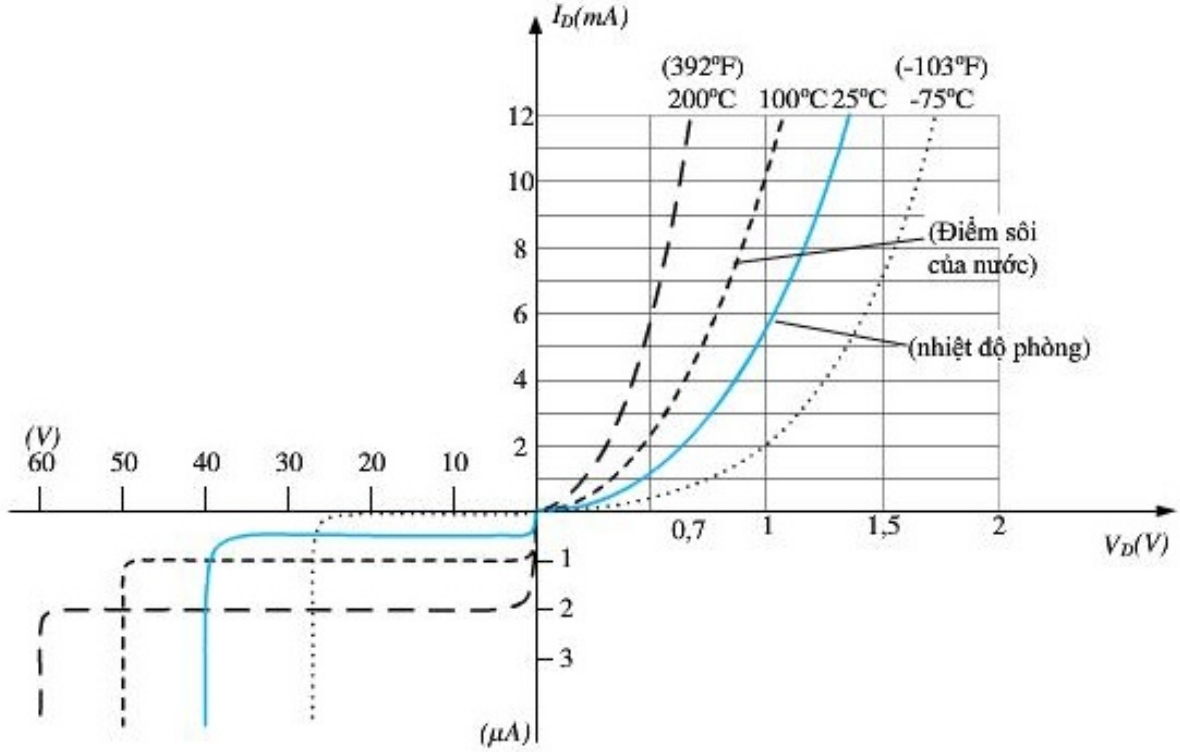
Vấn đề này trở nên quan trọng trong các ứng dụng chuyển mạch tốc độ cao. Hầu hết các diode chuyển mạch có thời hằng t_{rr} vào khoảng vài nano giây đến 1 μs.



Hình 2.11. *Xác định thời gian khôi phục nghịch.*

f. Ảnh hưởng nhiệt độ

Nhiệt độ có thể làm ảnh hưởng đáng kể đến đặc tính của diode bán dẫn như hình 2.12. Qua các thí nghiệm người ta tìm được mối liên hệ như sau: " *Dòng điện bão hòa nghịch I_S sẽ tăng gấp đôi khi nhiệt độ tăng lên 10°C* ".



Hình 2.12. *Các đặc tính khác nhau của diode khi nhiệt độ thay đổi.*

Đối với diode Germanium, với dòng I_S vào khoảng 1 hoặc 2 μA ở nhiệt độ 25°C và có thể đạt đến 100μA tại nhiệt độ 100°C. Giá trị I_S của diode Silicon thấp hơn so với Germanium với cùng một công suất và các mức dòng điện được trình bày ở hình 2.1. Kết quả là ngay khi ở nhiệt độ cao các mức dòng điện I_S của diode Silicon không bằng các mức dòng của diode Germanium – đó chính là một nguyên nhân mà các linh kiện silicon được sử dụng trong các ứng dụng đòi hỏi dòng lớn.

2.1.4. Các thông số giới hạn của diode

Bảng thông số của các linh kiện bán dẫn thường được cung cấp bởi nhà chế tạo. Hầu hết bảng thông số cung cấp các thông số giới hạn cho phép. Ngoài ra, còn có thêm các đặc tính đã kiểm tra thông qua hình ảnh, bảng biểu… Các thông số này bao gồm:

1. Điện áp phân cực thuận V_F tại dòng và nhiệt độ chỉ định.

2. Dòng phân cực thuận cực đại I_F tại nhiệt độ chỉ định.
3. Dòng bão hòa ngược I_R tại điện áp và nhiệt độ chỉ định.
4. Điện áp phân cực ngược đánh thủng PIV tại nhiệt độ chỉ định.
5. Mức công suất tiêu tán cực đại tại nhiệt độ đặc biệt
6. Điện dung của diode.
7. Thời gian khôi phục phân cực nghịch t_{rr} (reverse recover time)
8. Dãy nhiệt độ cho phép làm việc.

Tùy thuộc vào từng loại diode sử dụng, bảng dữ liệu có thể được cung cấp thêm các thông số khác như dãy tần số làm việc, mức nhiễu, thời gian chuyển mạch, các mức điện trở ngưỡng và các giá trị đỉnh.

Công suất cực đại được tính như sau:

$$P_{D\max} = V_D I_D \qquad (2.10)$$

Nếu chúng ta sử dụng mô hình đơn giản đối với các ứng dụng thì có thể thay thế $V_D = V_T = 0,7V$ đối với diode Silicon.

2.2. CÁC LOẠI DIODE

2.2.1. Diode chỉnh lưu

Cấu tạo là một chuyển tiếp P-N, tiếp xúc mặt. Do vậy diode chỉnh lưu có khả năng chịu được dòng tải lớn. Ứng dụng trong các mạch chỉnh lưu.

Hình 2.13. *kí hiệu của diode chỉnh lưu.*

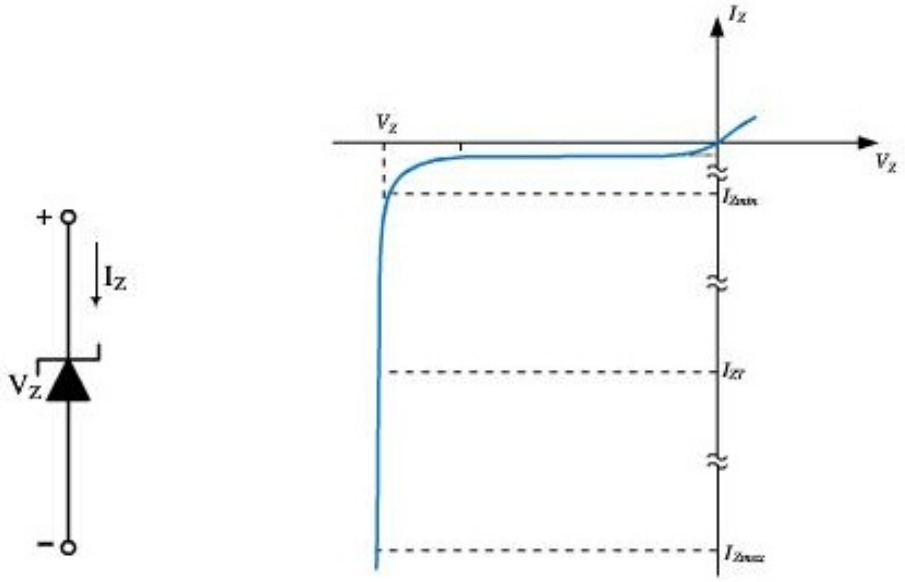
2.2.2. Diode cao tần

Cấu tạo là một chuyển tiếp P-N, phiến bán dẫn P là kim bán dẫn, N là tấm bán dẫn. Chuyển tiếp P-N có kích thước cực nhỏ do vậy diode cao tần có điện dung tiếp xúc bé, hoạt động được ở tần số cao. Ứng dụng trong các mạch biến tần, dao động và mạch tách sóng cao tần.

Hình 2.14. *Kí hiệu của diode cao tần*

2.2.3. Diode Zener

Cấu tạo cơ bản trên chuyển tiếp P-N, vật liệu của chuyển tiếp P-N là vật liệu chịu nhiệt và tỏa nhiệt tốt, do đó nó chịu được dòng ngược lớn. Hoạt động chủ yếu ở vùng phân cực ngược. Ứng dụng trong các mạch ổn áp, tạo điện áp chuẩn. Vùng Zener là vùng có đường cong đặc tính rơi thẳng đứng tại V_Z.

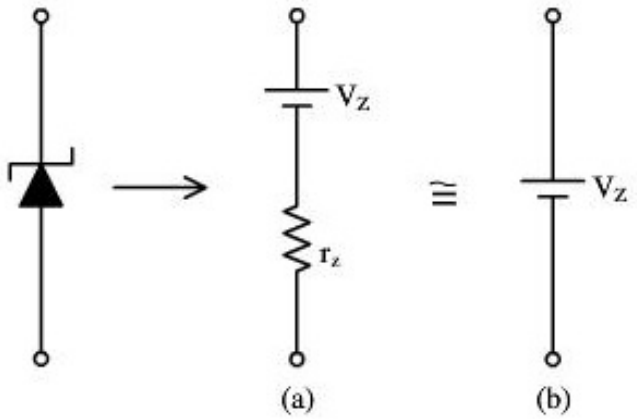


a. *b.*

Hình 2.15.*a. Kí hiệu của Diode Zener; b. Đặc tuyến của Diode Zener.*

Vị trí của vùng Zener có thể thay đổi được trong công nghệ chế tạo bằng cách thay đổi nồng độ tạp chất trong chất bán dẫn. Diode Zener có thể chế tạo với các mức điện áp thay đổi từ 1,8V đến 200V với công suất tiêu tán từ ¼ W đến 50W. Do hoạt động ở nhiệt độ cao và khả năng chịu dòng lớn nên silicon là chất bán dẫn chủ yếu để chế tạo Diode Zener.

Mạch điện tương đương của Diode Zener trong vùng Zener gồm một điện trở động nhỏ và một nguồn pin tương đương với điện áp Zener như hình 2.16a. Tuy nhiên, trong các ứng dụng, chúng ta xem điện trở bên ngoài lớn hơn điện trở Zener rất nhiều nên mạch điện tương đương đơn giản chỉ còn lại nguồn pin như hình 2.16b.



Hình 2.16. *Mạch điện tương đương của Diode Zener.*

Các thông số đặc trưng của Diode Zener:

- Điện áp V_Z.
- Điện trở tương đương (điện trở động) tại điểm làm việc.

$$r_D = \frac{dV_Z}{dI_Z} \qquad (2.11)$$

- Điện trở tĩnh

$$R_D = \frac{V_Z}{I_Z} \qquad (2.12)$$

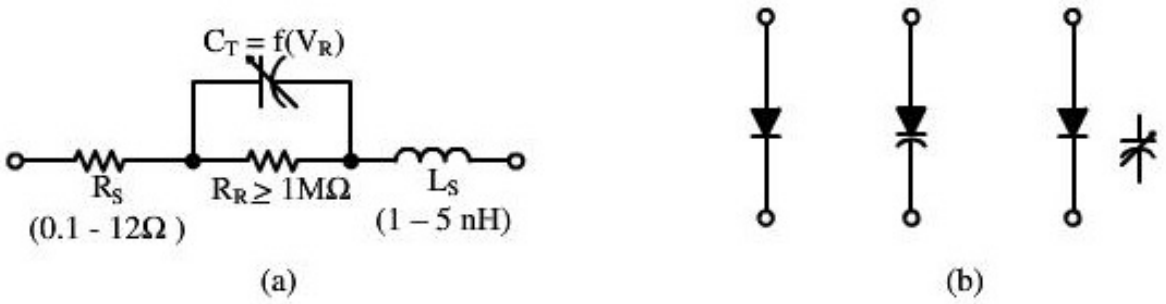
- Hệ số ổn định nhiệt

$$\theta_T = \frac{1}{V_Z}\frac{\Delta V_Z}{\Delta T}\Big|_{I_Z=const} \qquad (2.13)$$

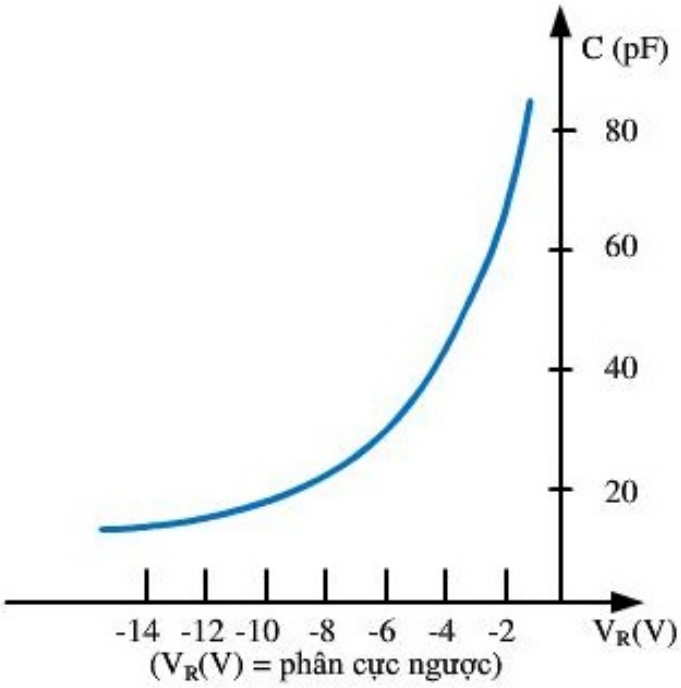
Trong đó ΔV_Z là sự thay đổi điện áp Zener phụ thuộc vào sự thay đổi nhiệt độ. Hệ số nhiệt có thể là dương, âm và có thể bằng 0 đối với các mức zener khác nhau. Với giá trị dương cho biết điện áp V_Z trong vùng tăng theo nhiệt độ, trong khi giá trị âm V_Z sẽ giảm khi nhiệt độ tăng. Diode Zener thường được sử dụng trong các mạch nguồn, mạch ổn định điện áp, mạch so sánh.

2.2.4. Diode biến dung (varicap)

Cấu tạo trên chuyển tiếp P-N, phân cực ngược có điện dung thay đổi theo điện áp ngược đặt vào (Hình 2.18). Ứng dụng trong các mạch tự điều chỉnh tần số cộng hưởng, mạch khuếch đại, biến tần, …



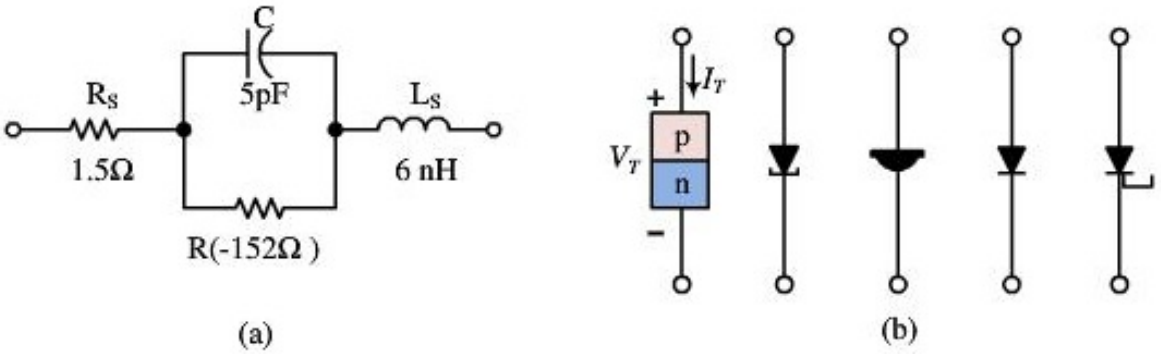
Hình 2.17. *Diode biến dung a. Mạch điện tương đương; b. Kí hiệu.*

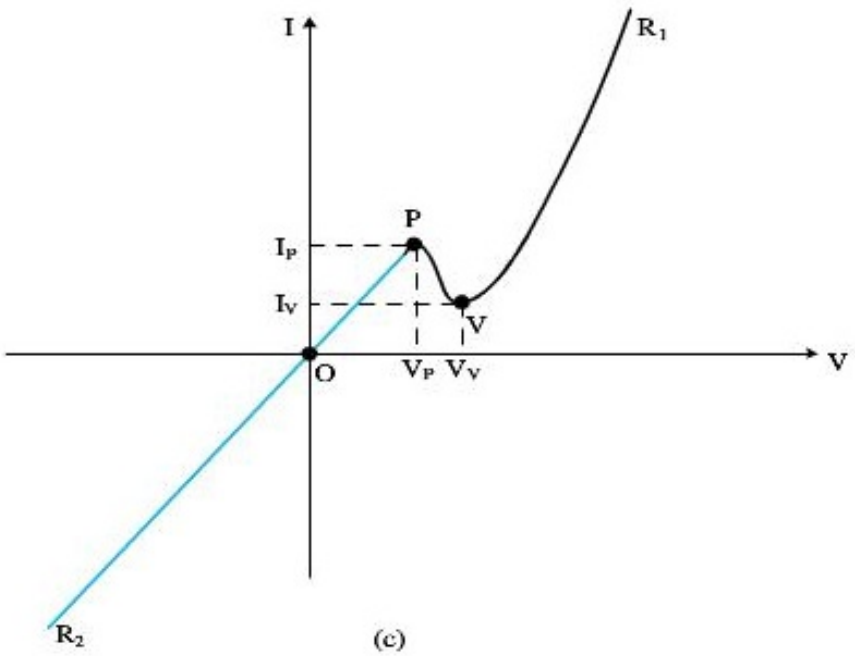


Hình 2.18. *Đặc tuyến của diode biến dung.*

2.2.5. Diode tunnel (diode xuyên hầm)

Cấu tạo cơ bản trên chuyển tiếp P-N có nồng độ tạp chất cao dựa trên hiệu ứng xuyên hầm. Hiệu ứng này tạo đặc tính dẫn điện 2 chiều của diode. Ứng dụng trong các mạch tạo dao động siêu cao tần…

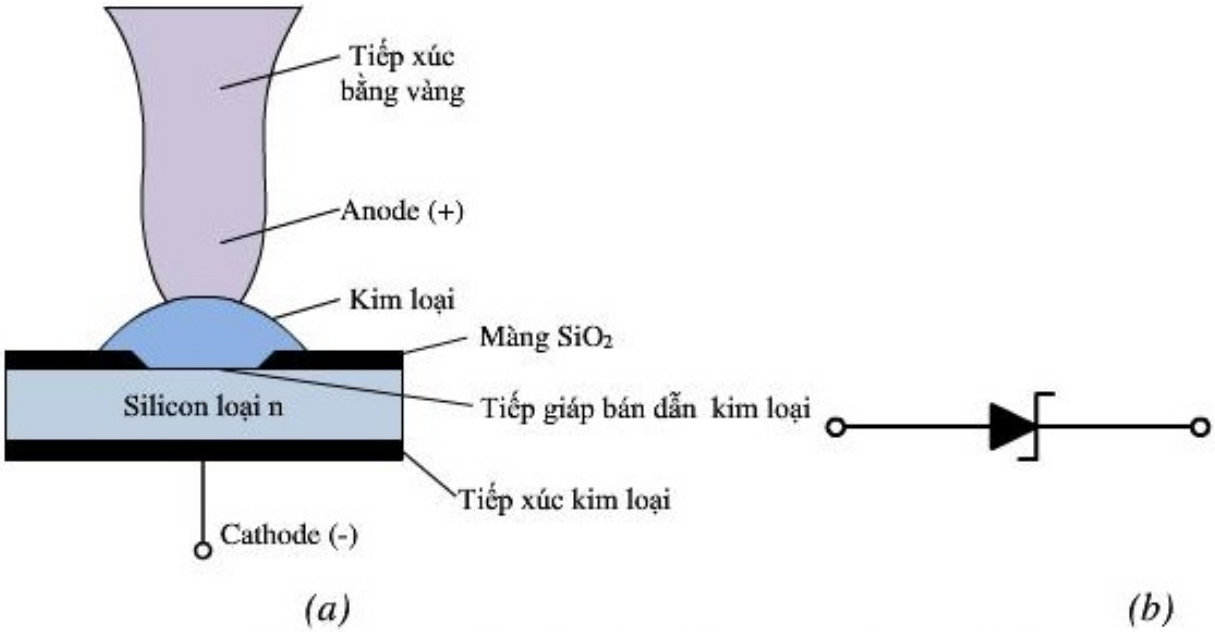




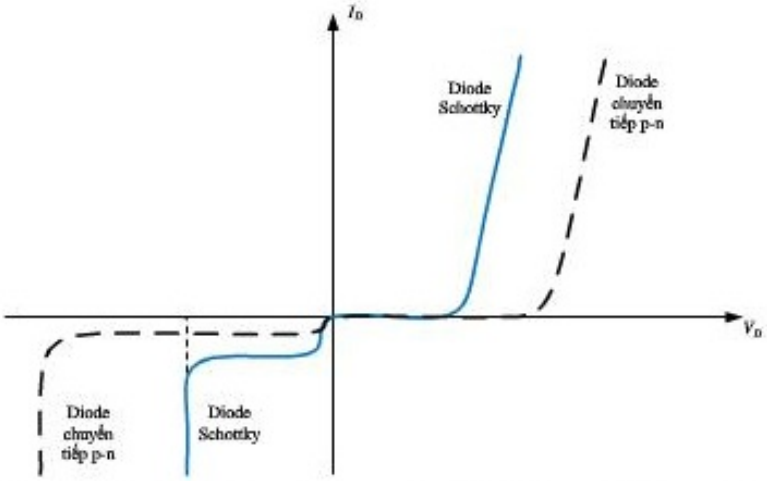
Hình 2.19. *Diode tunnel: a. Mạch điện tương đương; b. Kí hiệu; c. Đặc tuyến V-A*

2.2.6. Diode Schottky

Cấu tạo cơ bản trên P-N, tiếp xúc Schottky gồm bán dẫn với kim loại: không có sự tích lũy hạt dẫn do đó tụ điện tương đương nhỏ nên chuyển mạch nhanh. Ứng dụng trong các mạch yêu cầu tốc độ chuyển mạch nhanh, khóa điện tử, mạch lọc sóng, tách sóng...



Hình 2.20: *a. Cấu trúc; b. Kí hiệu của diode schottky*



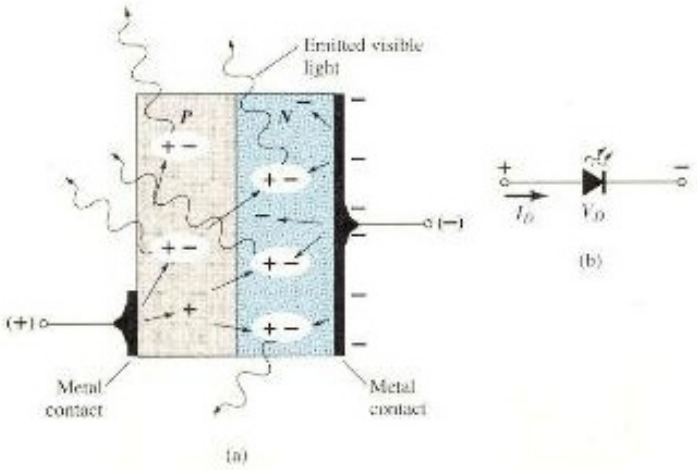
Hình 2.21: Đặc tuyến Vôn- ampe của diode schottky so sánh với diode chuyển tiếp pn.

2.2.7. Diode phát quang (LED- Light Emitting Diode)

Các bộ hiển thị trong máy tính số, trong đồng hồ số và trong một số thiết bị thường dùng led phát quang hoặc LCD (liquid crytal display). Led phát quang là một diode có cấu trúc đặc biệt có thể phát ra ánh sáng khi chuyển tiếp P-N được cung cấp một điện trường thích hợp.

Trong một vài nguyên tố theo cấu trúc của Bo, khi điện tử chuyển động chiếm giữ mức năng lượng cao hơn hoặc tái hợp, các electron sẽ phát ra một năng lượng lượng tử, năng lượng lượng tử này có bước sóng và tần số xác định. Trong một số vật liệu Gallium arsenide phosphide (GaAsP hoặc Gallium Phosphide (GaP), năng lượng này phát sáng và có tần số xác định.

Có ba loại màu sắc ánh sáng mắt người có thể phân biệt: λ_R, λ_G, λ_{Bo}.



***Hình 2.22**: Led a. Cấu tạo; b. Kí hiệu.*

➢ **Đặc tính của led:**

LED là linh kiện bán dẫn có 2 cực, khi phân cực thuận sẽ phát ra ánh sáng có bước sóng xác định. Đặc tuyến V-A của LED tương tự như diode, tuy nhiên, điện áp phân cực thuận (V_F) cao hơn và điện áp phân cực nghịch (V_{BR}) thấp hơn. Các dãy điện áp làm việc thông thường của led như sau:

– Điện áp phân cực thuận: +1V đến +3V (tùy theo diode).

– Điện áp phân cực ngược: -3V đến –10V.

Dòng điện trung bình phân cực thuận thường là 10mA.

➢ **Điện trở hạn dòng R_S:**

Trong các ứng dụng thực tế, sử dụng led thường mắc thêm điện trở hạn dòng mắc nối tiếp. Điện trở phải được tính toán sao cho dòng cực đại qua led không được vượt quá dòng cho phép.

Giá trị của điện trở R_S được tính như sau:

$$R_S = \frac{V_{out}(\max) - V_F}{I_F} \qquad (2.14)$$

Trong đó:

$V_{out(max)}$ là điện áp đỉnh ngõ ra của mạch.

V_F là giá trị điện áp V_F nhỏ nhất của led.

I_F là dòng điện cho phép lớn nhất của led.

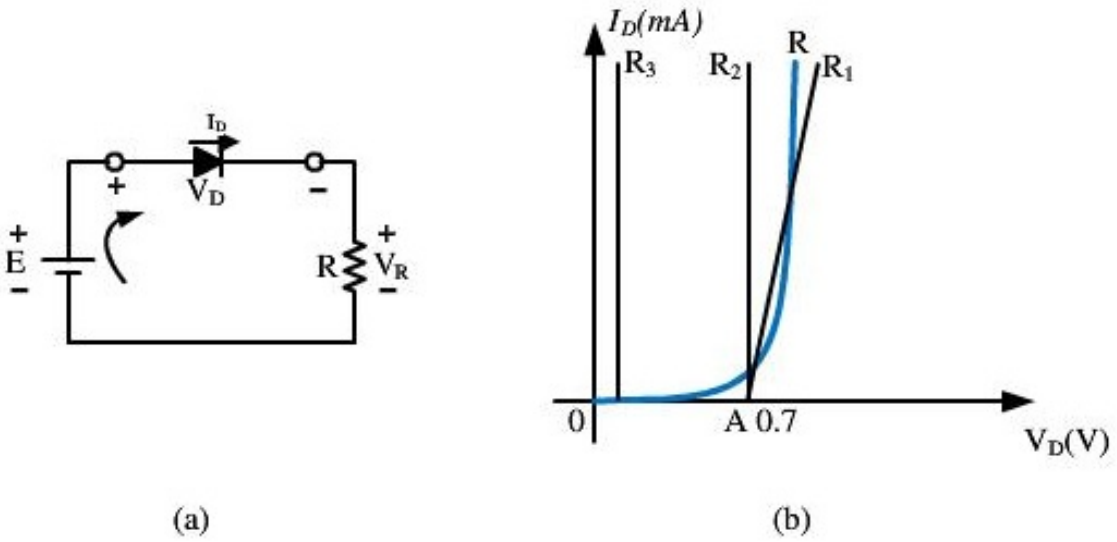
2.3. GIẢI TÍCH MẠCH DIODE

Xét mạch điện hình 2.23a sử dụng một Diode có đặc tính như hình 2.23b. Nếu diode được cho là lý tưởng ta có thể xét đồ thị V-A của Diode đoạn OAR_1. Giả sử Diode lý tưởng và làm việc tuyến tính ta coi là AR_2 (Đặc tuyến song song với I_D). Nếu điện áp nguồn lớn hơn 0.7V ($E_{DC} >> V_\gamma = 0.7V$) ta coi là đoạn OR_3.

Áp dụng định luật Kirchhoff cho hình 2.23a, kết quả là:

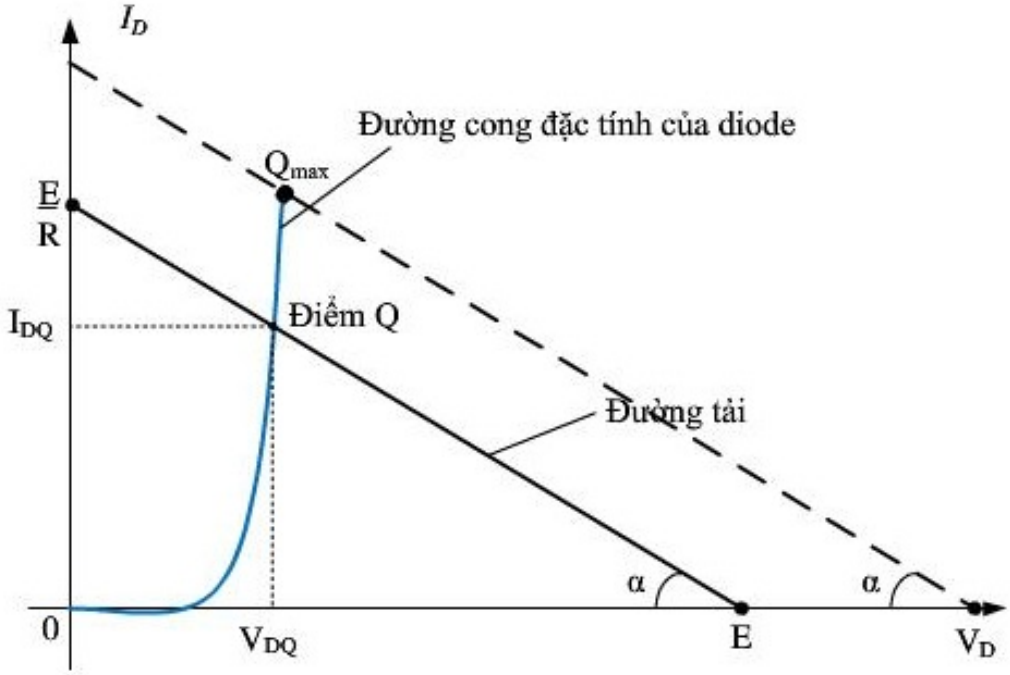
$$E - V_D - V_R = 0 \quad (2.15.a)$$

Hay $E = V_D + V_R = V_D + RI_D$ hay $I_D = -\frac{V_D}{R} + \frac{E}{R}$ (2.15.b)



Hình 2.23.

Từ phương trình 2.15(b) có thể vẽ được đồ thị của nó trên đường đặc tính của diode (hình 2.24).



***Hình 2.24**. Đường tải DCLL của diode.*

Điểm giao nhau của phương trình 2.15b và đường cong đặc tính của diode được gọi là điểm tĩnh Q (V_{DQ}, I_{DQ}). Phương trình 2.15b được gọi là phương trình đường tải tĩnh DCLL (Direct Current Load Line). Thay đổi E ta có các đường tải song song, điểm Q có thể thay đổi đạt đến Q_{max}.

$tg\alpha_{DCLL} = -\frac{1}{R}$; α: góc của đường DCLL

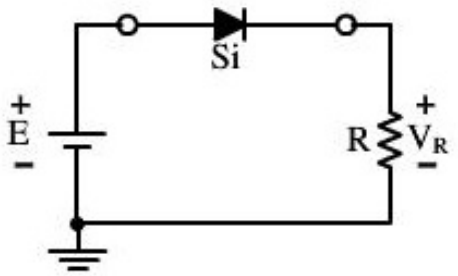
2.4. CÁC MẠCH ỨNG DỤNG CỦA DIODE

2.4.1. Mô hình diode mắc nối tiếp và song song

a. Nối tiếp:

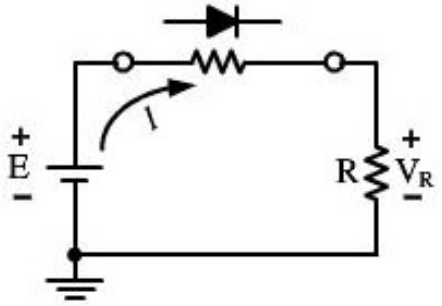
Trong phần này, mạch tương đương được sử dụng để tính toán các mô hình nối tiếp các diode với tín hiệu vào DC.

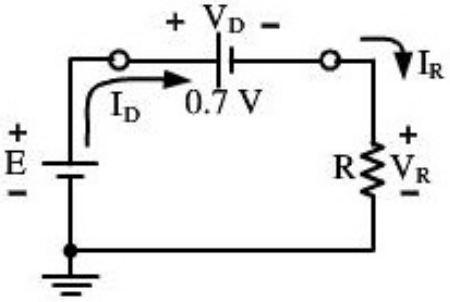
Xét mạch điện như hình 2.25:



***Hình 2.25**: Cấu hình diode mắc nối tiếp.*

Mạch điện nối tiếp trong hình 2.25, ta thay diode bằng một điện trở R như hình 2.26, khi đó chiều dòng điện chạy trong điện trở R cùng chiều với chiều dòng điện thuận của diode và $E > V_\gamma$ nên diode ở trạng thái dẫn. Mạch điện được vẽ lại như hình 2.27.





***Hình 2.26**. Xác định trạng thái của diode.*

***Hình 2.27**. Thay thế mạch tương đương.*

Khi đó điện áp trên điện trở R: $V_R = E - V_\gamma$

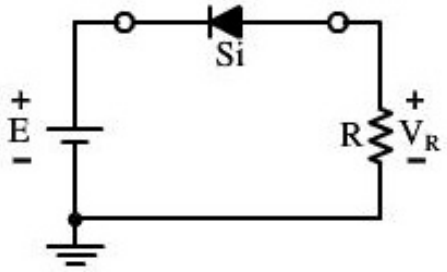
Và dòng qua điện trở R là: $$I_D = \frac{E - V_\gamma}{R}$$

Trong hình 2.28, diode làm việc ở chế độ phân cực ngược. Thay thế diode bằng một điện trở như hình 2.29 và kết quả là chiều dòng điện ngược

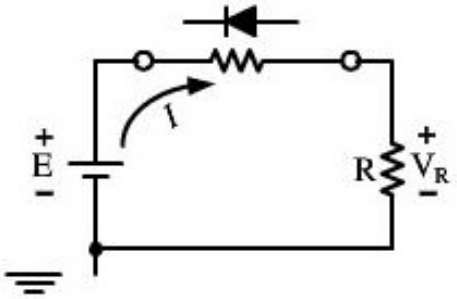
với chiều ký hiệu của diode nên diode ở trạng thái ngưng dẫn (OFF) và được thay thế bằng mạch tương đương như hình 2.30. Do hở mạch nên dòng bằng 0A và điện áp rơi trên điện trở R bằng:

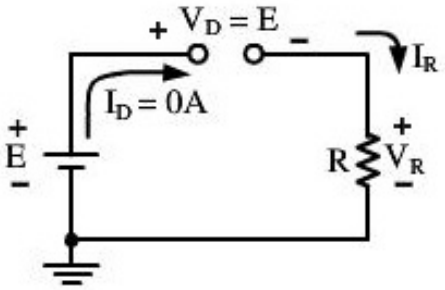
$$V_R = I_R R = I_D R = 0V \text{ và } V_D = E$$

Xét mạch điện như hình 2.28:



Hình 2.28





***Hình 2.29**. Xác định trạng thái của diode.*

***Hình 2.30**. Thay thế mạch tương đương.*

Ví dụ 2.1: Hãy xác định V_o và I_D trong hình 2.31.

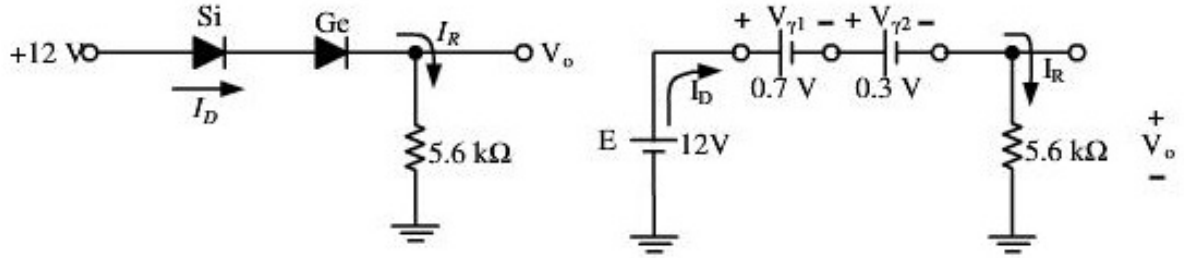
Giải:

Nguồn E tạo ra dòng cùng chiều với ký hiệu của cả hai diode và mạch điện tương đương hình 2.32.

Kết quả dòng điện và điện áp là:

$$V_O = E - V_{\gamma_1} - V_{\gamma_2} = 12V - 0,7V - 0,3V = 11V$$

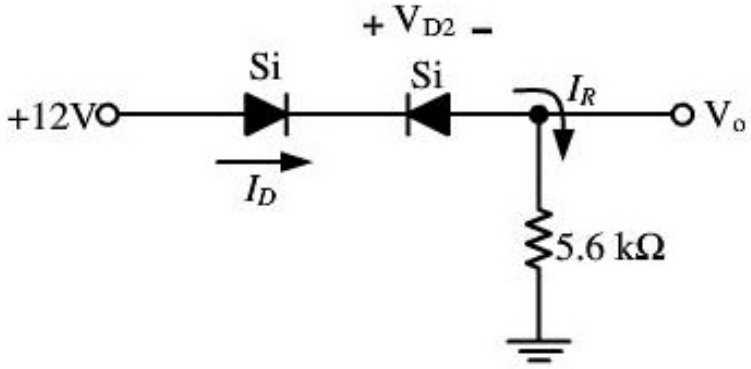
$$I_D = I_R = \frac{V_R}{R} = \frac{V_o}{R} = \frac{11V}{5,6K\Omega} \cong 1,96mA$$



***Hình 2.31**. Mạch điện cho ví dụ 2.1.*

***Hình 2.32**. Thay thế mạch tương đương.*

Ví dụ 2.2: Hãy xác định I_D, V_{D2} và V_o trong hình 2.33.



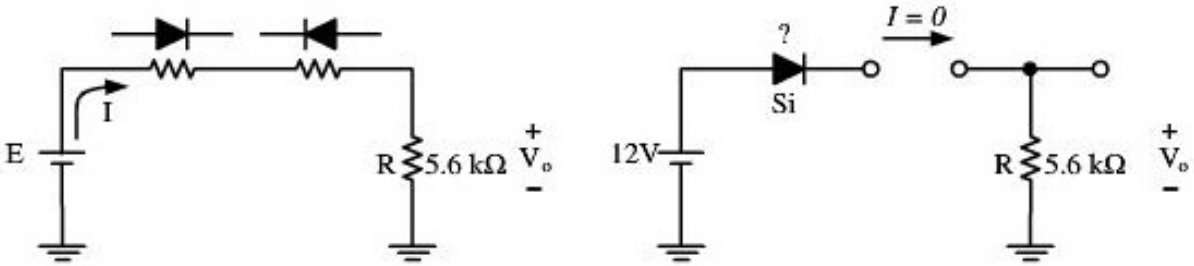
***Hình 2.33**. Mạch điện cho ví dụ 2.2.*

Giải:

Thay diode bằng các điện trở và xác định chiều dòng điện I_D kết quả mạch tương đương như hình 2.34. Chỉ có diode Si cùng chiều dòng điện còn diode Germanium thì ngược chiều xem như hở mạch dẫn đến dòng $I_D = 0A$ và mạch tương đương như hình 2.35.

Kết quả: $V_O = I_R R = I_D R = 0V$

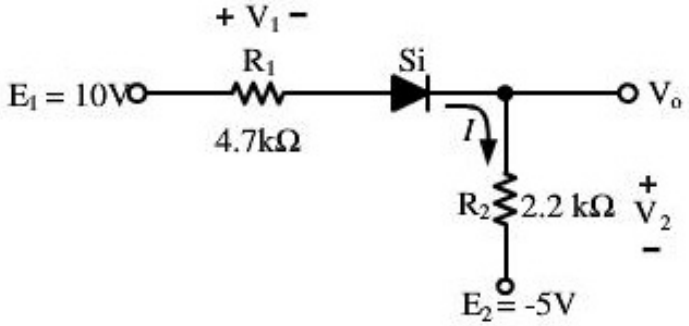
$V_{D2} = V_{open} = E = 12V$



***Hình 2.34**. Thay thế mạch tương đương.*

***Hình 2.35**. Thay thế mạch tương đương.*

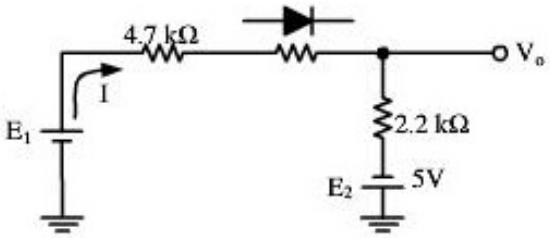
Ví dụ 2.3: Hãy xác định I, V_1, V_2 và V_o trong hình 2.36.

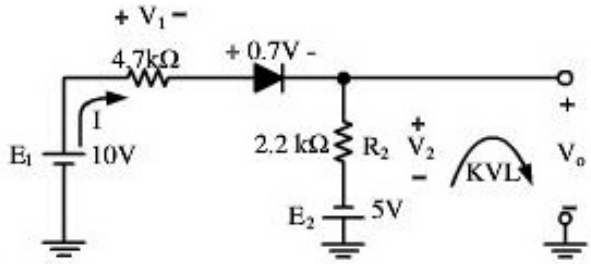


***Hình 2.36**. Mạch điện cho ví dụ 2.3*

Giải:

Thay thế diode bằng điện trở và chiều dòng điện được xác định như hình 2.37. Diode ở trạng thái dẫn và mạch tương đương như hình 2.38 với điện áp rơi trên diode $V_D = 0,7V$.





***Hình 2.37**. Thay thế mạch tương đương.*

***Hình 2.38**. Thay thế mạch tương đương*

Dòng điện I:

$$I = \frac{E_1 + E_2 - V_D}{R_1 + R_2} = \frac{10V + 5V - 0,7}{4,7k\Omega + 2,2k\Omega} = \frac{14,3V}{6,9k\Omega} = 2,07mA$$

Điện áp V_1:

$$V_1 = IR_1 = 2,07mA \times 4,7k\Omega = 9,73V$$

Điện áp V_2:

$$V_2 = IR_2 = 2,07mA \times 2,2k\Omega = 4,55V$$

Áp dụng định luật Kirchhoff điện áp để tính điện áp ra V_o:

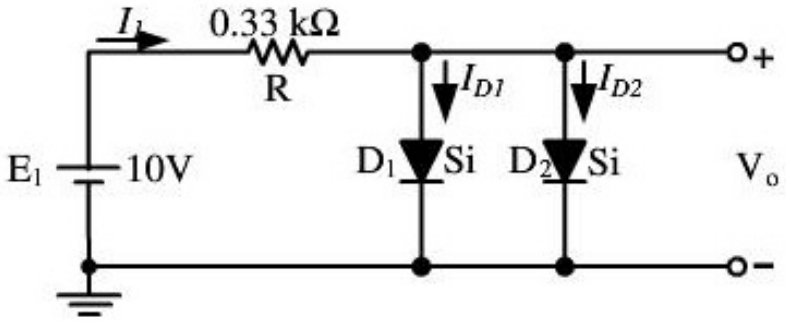
$$-E_2 + V_2 - V_O = 0$$

Hay: $V_O = V_2 - E_2 = 4,55V - 5V = -0,45V$

Dấu trừ – trong kết quả chứng tỏ V_o có cực tính ngược với hình 2.38 đã vẽ.

b. Cấu hình song song

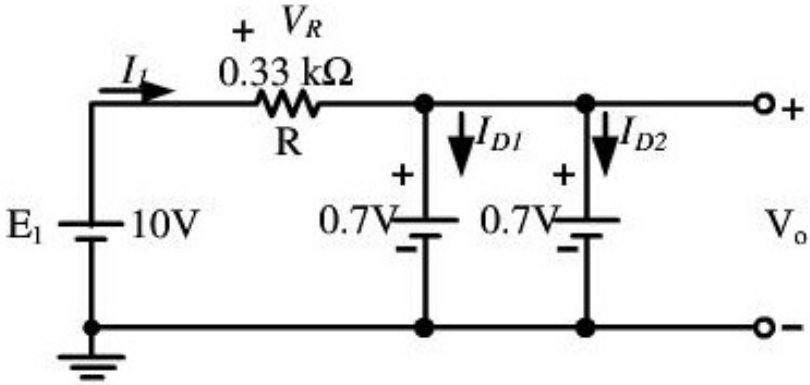
Ví dụ 2.4: Hãy xác định V_o, I_1, I_{D1} và I_{D2} trong hình 2.39.



Hình 2.39*. Mạch điện cho ví dụ 2.4*

Giải:

Thay thế diode bằng điện trở và chiều dòng điện được xác định cùng chiều với ký hiệu của mỗi diode như hình 2.40.



Hình 2.40*. Mạch điện tương đương.*

Dòng điện I_1 $\quad I_1 = \dfrac{V_R}{R} = \dfrac{E - V_D}{R} = \dfrac{10V - 0,7V}{0,33k\Omega} = 28,18mA$

Hai diode cùng đặc tính nên dòng qua mỗi diode:

$$I_{D1} = I_{D2} = \frac{I_1}{2} = \frac{28,18mA}{2} = 14,9mA$$

Nếu sử dụng một diode có khả năng chịu dòng là 20mA thì không thể sử dụng trong mạch điện này khi đó phải sử dụng hai diode mắc song song để chia dòng.

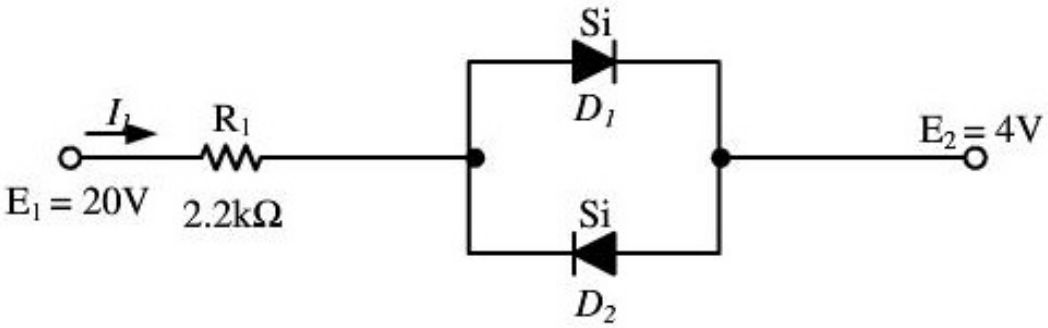
Ví dụ 2.5: Hãy xác định I trong hình 2.41.

Giải:

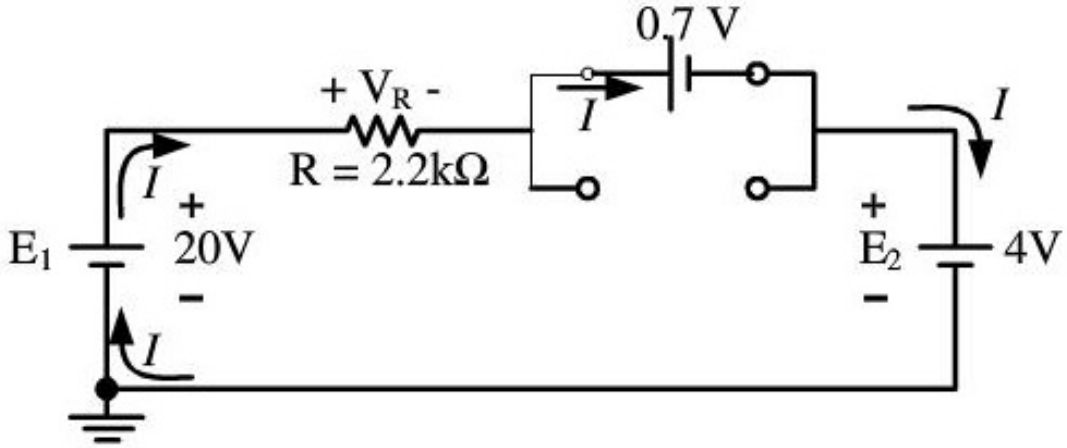
Diode D_1 phân cực thuận, diode D_2 phân cực ngược, mạch điện được vẽ lại như hình 2.40.

Dòng điện I:

$$I = \frac{E_1 - E_2 - V_D}{R} = \frac{20V - 4V - 0,7V}{2,2K\Omega} \cong 6,95mA$$

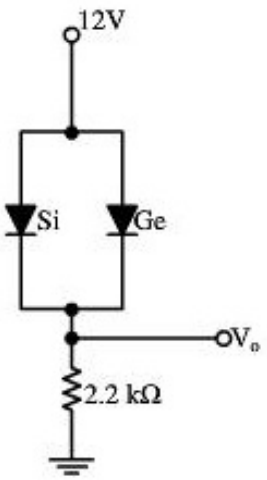


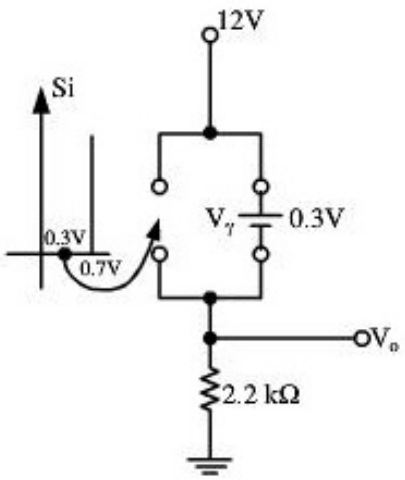
Hình 2.41*. Mạch điện cho ví dụ 2.5*



Hình 2.42*. Mạch điện tương đương cho ví dụ 2.5*

Ví dụ 2.6: Hãy xác định điện áp V_O của mạch điện trong hình 2.43.





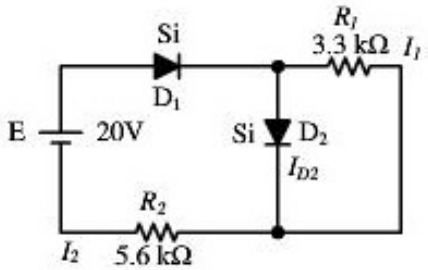
***Hình 2.43**. Mạch điện cho ví dụ 2.6* ***Hình 2.44**. Mạch điện cho ví dụ 2.6*

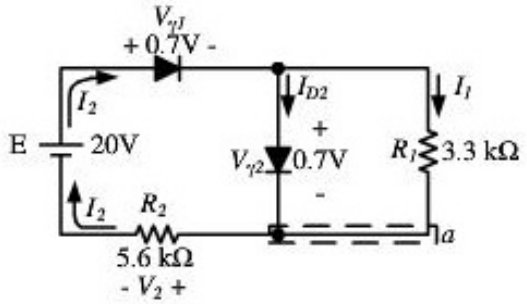
Giải:

Cả hai diode đều phân cực thuận và đều dẫn nhưng điện áp ngưỡng rơi trên diode D_2 (Germanium) bằng 0,3V, điện áp này cũng chính là điện áp đặt lên diode D_1 nên diode D_1 sẽ ngưng dẫn vì điện áp ngưỡng của diode (Si) bằng 0,7V. Mạch điện được vẽ lại như hình 2.44.

Điện áp ra V_0: $V_O = 12V - 0{,}3V = 11{,}7V$

Ví dụ 2.7: Hãy xác định I_1, I_2 và I_{D2} của mạch điện trong hình 2.45.





***Hình 2.45**. Mạch điện cho ví dụ 2.7* ***Hình 2.46**. Mạch điện cho ví dụ 2.7*

Giải:

Chiều dòng điện do điện áp E tạo ra cùng chiều với kí hiệu của các diode nên các diode dẫn, sơ đồ mạch xác định như hình 2.46.

Xác định dòng điện I_1:

$$I_1 = \frac{V_{\gamma 1}}{R_1} = \frac{0{,}7V}{3{,}3k\Omega} = 0{,}212mA$$

Áp dụng định luật điện áp Kirchhoff xác định được:

$$-V_2 + E - V_{\gamma 1} - V_{\gamma 2} = 0$$

Hay:

$$V_2 = E - V_{\gamma 1} - V_{\gamma 2} = 20V - 0,7V - 0,7V = 18,6V$$

Dòng điện I_2 được xác định:

$$I_2 = \frac{V_2}{R_2} = \frac{18,6V}{5,6k\Omega} = 3,32mA$$

Dòng điện I_{D2} được xác định:

$$I_{D2} = I_2 - I_1 = 3,32mA - 0,212mA = 3.108mA$$

2.4.2. Cổng AND và cổng OR

Mạch điện sẽ được phân tích trong ví dụ 2.8 là một cổng OR có mức logic dương. Mức logic này được trình bày trong hình 2.47: điện áp 10V được gán cho mức logic "1" và 0V được gán cho mức logic "0". Cổng OR như đã trình bày với mức điện áp ra ở mức 1 khi một hoặc hai ngõ vào ở mức 1. Ngõ ra sẽ ở mức 0 khi cả hai ngõ vào ở mức 0.

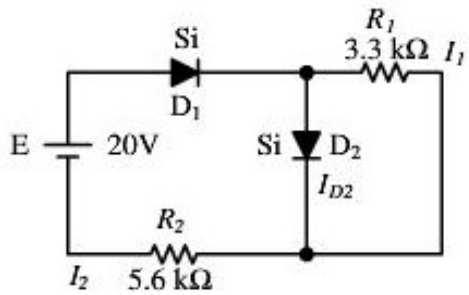
Ví dụ 2.8: Hãy xác định điện áp V_o của mạch điện trong hình 2.47.

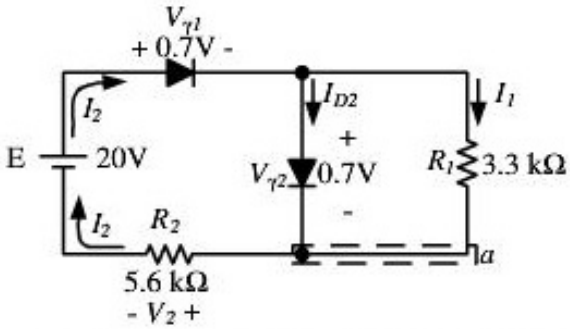
Giải:

Trong mạch điện hình 2.47: điện áp ngõ vào 1 bằng 10V, điện áp ngõ vào 2 bằng 0V xem như nối mass, mạch điện được vẽ lại như hình 2.48. Trong hình 2.48: D_1 dẫn, D_2 ngưng dẫn xem như hở mạch và mạch điện được tương đương như hình 2.49.

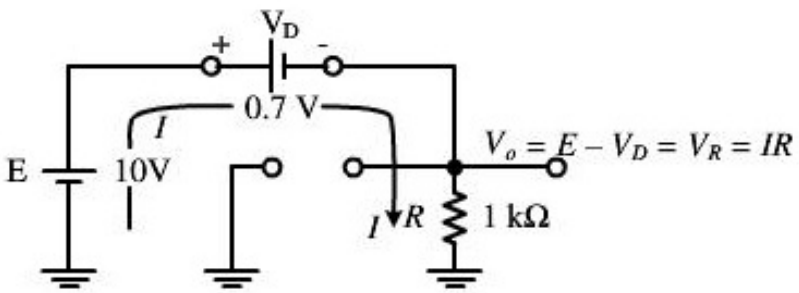
Điện áp ra V_O được xác định như sau:

$$V_O = IR = E - V_D = 10V - 0,7V = 9,3V$$



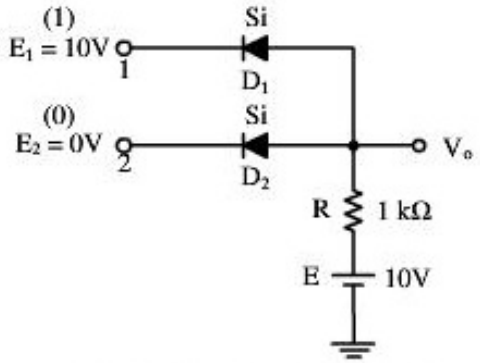


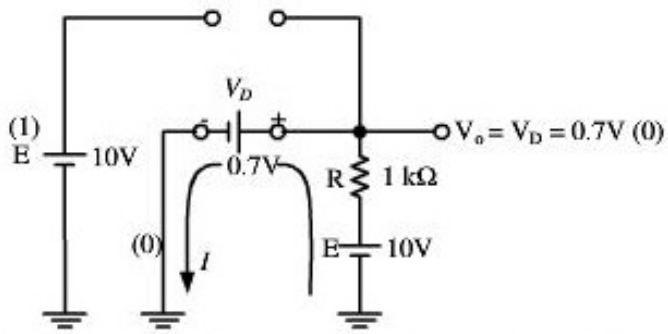
***Hình 2.47**. Mạch điện cho ví dụ 2.8* ***Hình 2.48**. Mạch điện cho ví dụ 2.8*



***Hình 2.49**. Mạch điện cho ví dụ 2.8*

Ví dụ 2.9: Hãy xác định điện áp V_o của mạch điện cổng AND trong hình 2.50.





***Hình 2.50**. Mạch điện cho ví dụ 2.9* ***Hình 2.51**. Mạch điện cho ví dụ 2.9*

Giải:

Với điện áp ngõ vào E_1= 10V làm cho D_1 không dẫn (phân cực ngược) xem như hở mạch, điện áp ngõ vào E_2=0V làm cho D_2 dẫn và điện áp rơi trên D_2 bằng 0,7V. Mạch điện tương đương như hình 2.49.

Điện áp ra V_O được xác định bằng điện áp diode D_2:

$$V_O = V_D = 0,7V$$

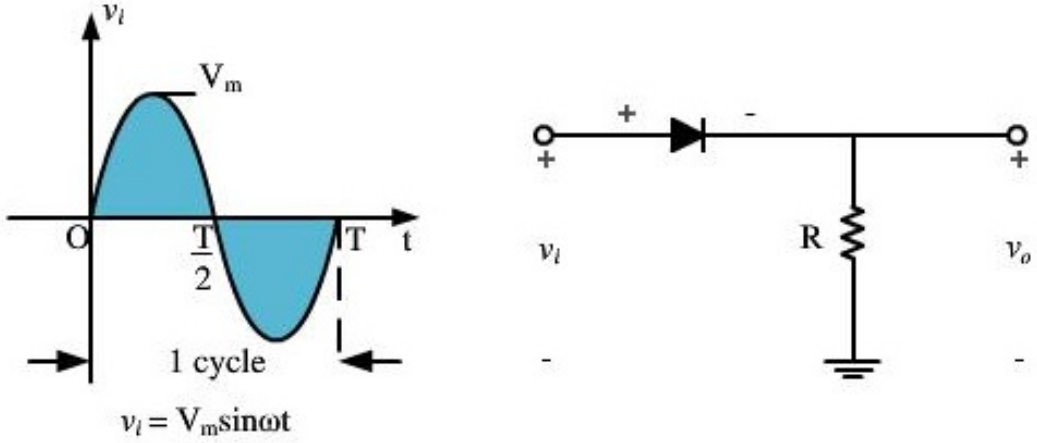
Dòng điện I được xác định:

$$I = \frac{E - V_D}{R} = \frac{10V - 0,7V}{1k\Omega} = 9,3mA$$

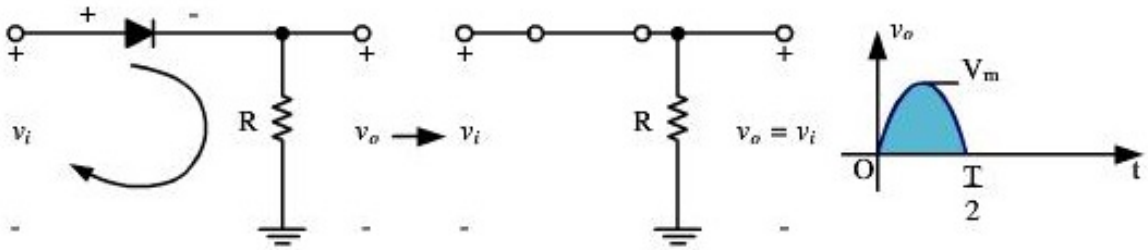
2.4.3. Mạch chỉnh lưu:

a. Mạch chỉnh lưu bán kì

Trong khoảng thời gian [0, T/2], tín hiệu vào v_i dương nên diode D dẫn xem như ngắn mạch và mạch điện tương đương (dùng mô hình tương đương lý tưởng) như hình 2.53.

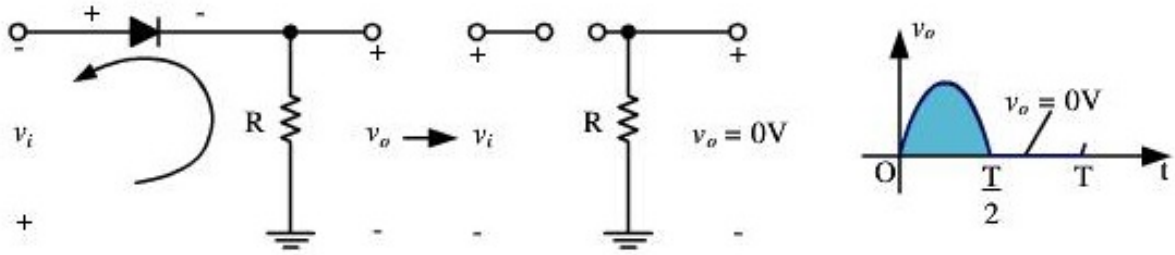


***Hình 2.52**. Mạch chỉnh lưu bán kỳ.*



***Hình 2.53**. Khoảng thời gian dẫn của diode [0,T/2].*

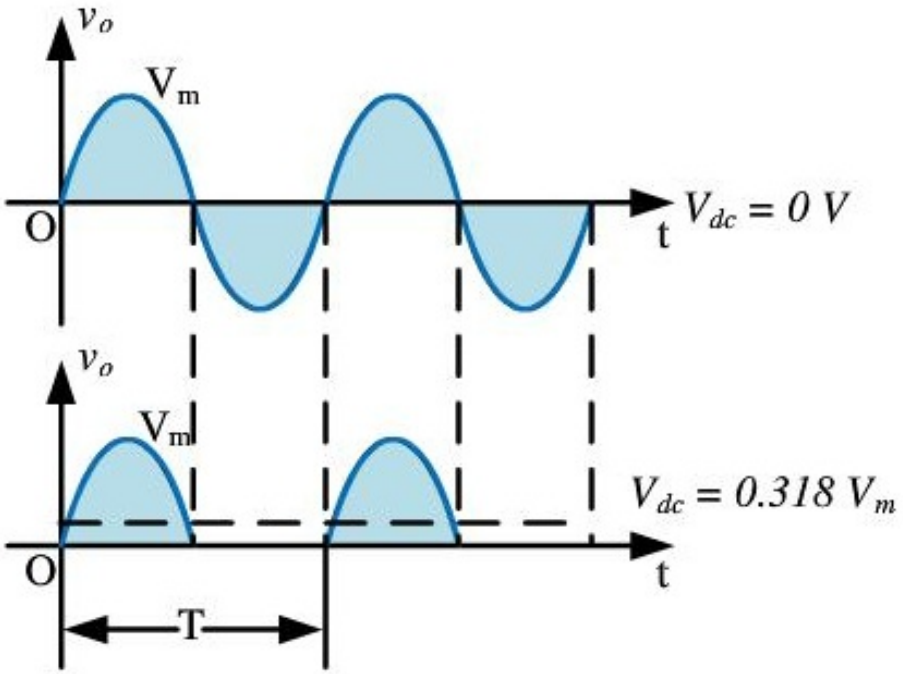
Trong khoảng thời gian [T/2, T], tín hiệu vào v_i âm nên diode D ngưng dẫn xem như hở mạch và mạch điện tương đương như hình 2.54.



***Hình 2.54**. Khoảng thời gian ngưng dẫn của diode [T/2, T].*

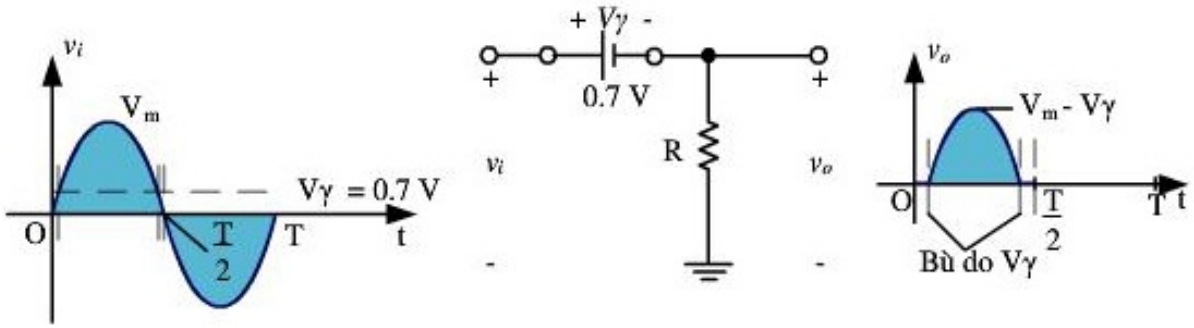
Dạng sóng tín hiệu v_i và v_o được vẽ trong một chu kỳ có dạng như hình 2.55. Tín hiệu v_o chỉ có giá trị dương và giá trị trung bình của điện áp được tính như sau:

$$V_{dc} = \frac{1}{T}\int_0^T V_m \sin\frac{2\pi t}{T}\,dt = -\frac{1}{T}\times\frac{T}{2\pi}V_m\left[\cos\left(\frac{2\pi}{T}\times\frac{T}{2}\right)-\cos\frac{2\pi}{T}\times 0\right] = \frac{V_m}{\pi} = 0{,}318V_m \tag{2.16}$$



***Hình 2.55**. Dạng sóng tín hiệu trong mạch chỉnh lưu bán kỳ.*

Ảnh hưởng điện áp ngưỡng $V_\gamma = 0{,}7V$ của diode Si đến dạng sóng tín hiệu được trình bày ở hình 2.56 ở vùng phân cực thuận. Trong hình vẽ cho thấy khi tín hiệu vào nhỏ hơn 0,7V, diode vẫn chưa dẫn, điện áp ra v_o vẫn bằng 0V, khi điện áp vào v_i lớn hơn 0,7V diode dẫn và điện áp ra $v_o = v_i - 0{,}7V$.



***Hình 2.56**: Ảnh hưởng của V_γ*

Khi đó điện áp trung bình DC được tính như sau:

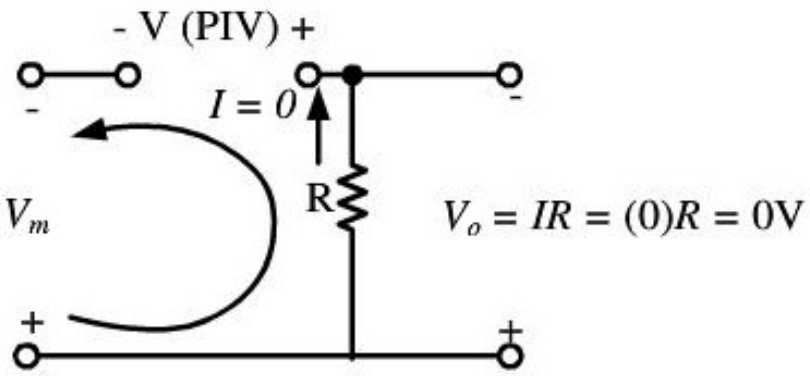
$$V_{DC} = 0{,}318(V_m - V_\gamma) \qquad (2.17)$$

➢ **Điện áp phân cực ngược PIV**

Giá trị điện áp PIV của diode là một thông số quan trọng trong thiết kế các hệ thống chỉnh lưu. Điện áp phân cực ngược diode khi sử dụng không

được vượt quá điện áp PIV cho phép của diode. Điện áp PIV yêu cầu đối với mạch chỉnh lưu bán kỳ có thể xác định từ hình 2.57, áp dụng định luật Kirchhoff ta tính được điện áp PIV của diode phải lớn hơn giá trị điện áp cung cấp.

$$PIV \geq V_m \qquad (2.18)$$

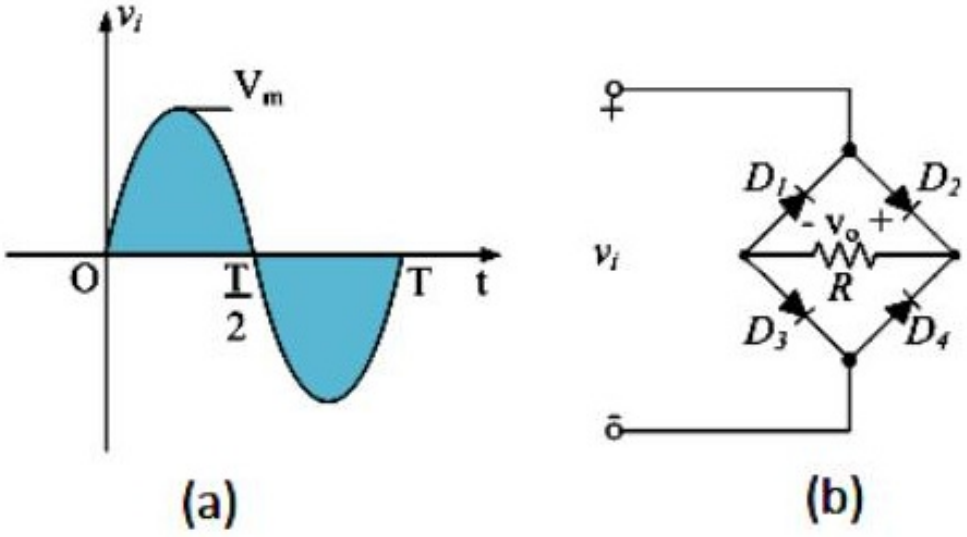


***Hình 2.57**. Xác định điện áp PIV.*

b. Mạch chỉnh lưu toàn kỳ

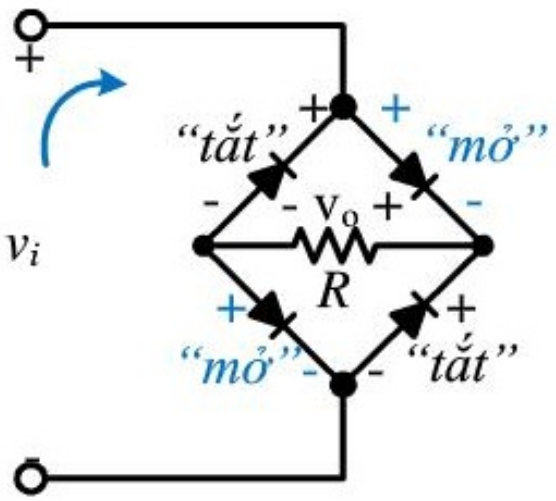
➢ **Mạch cầu**

Mạch điện chỉnh lưu này có dạng như hình 2.58 sử dụng 4 diode kết nối theo cấu hình cầu.



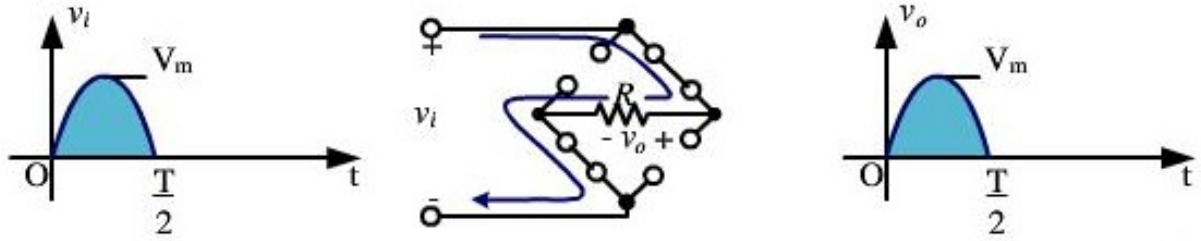
***Hình 2.58**. Mạch chỉnh lưu cầu.*

Trong khoảng thời gian [0,T/2], tín hiệu vào có giá trị dương làm diode D_2, D_3 dẫn (xem như ngắn mạch) còn diode D_1, D_4 ngưng dẫn (xem như hở mạch) như hình 2.60.



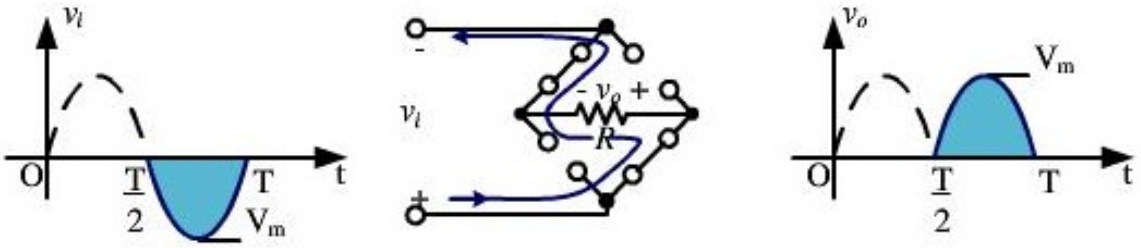
***Hình 2.59**. Mạch cầu ở trạng thái [0,T/2].*

Khi đó, sơ đồ mạch tương đương và dạng sóng vào ra như hình 2.61. Nếu xem diode là lý tưởng thì điện áp ra $v_o = v_i$.



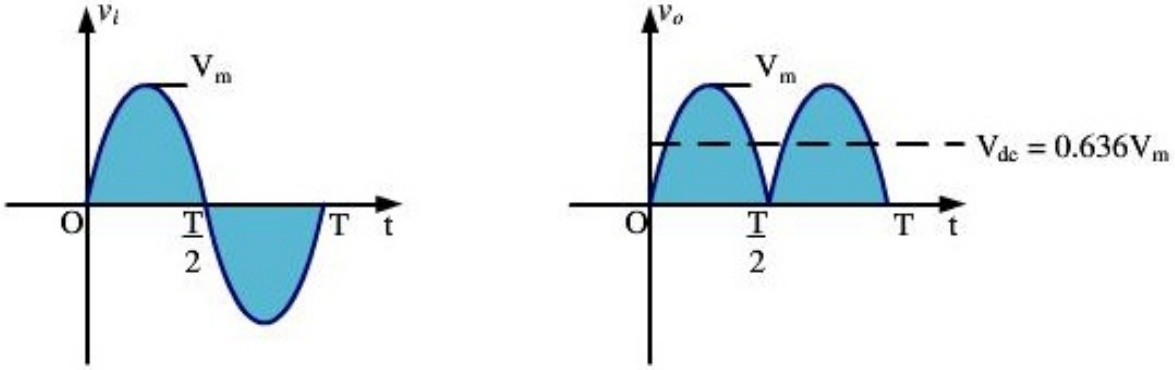
***Hình 2.60**. Mạch tương đương và dạng sóng vào ra của mạch chỉnh lưu cầu ở bán kì dương.*

Trong khoảng thời gian [T/2, T], tín hiệu vào có cực tính âm làm cho diode D_2, D_3 ngưng dẫn (xem như hở mạch) còn diode D_1, D_4 dẫn (xem như ngắn mạch). Khi đó, sơ đồ mạch tương đương và dạng sóng vào ra như hình 2.61.



***Hình 2.61**. Mạch tương đương và dạng sóng vào ra của mạch chỉnh lưu cầu ở bán kì âm.*

Vậy dạng sóng vào ra đối với một chu kỳ tín hiệu vào như hình 2.62.



***Hình 2.62**. Dạng sóng vào và ra trong một chu kỳ của mạch chỉnh lưu cầu.*

Do dạng sóng mạch chỉnh lưu toàn kỳ gấp đôi bán kỳ nên giá trị điện áp trung bình được tính là:

$$V_{dc} = 2\times(0{,}318\times V_m) = 0{,}636V_m \qquad (2.19)$$

Nếu sử dụng diode Si với $V_\gamma = 0{,}7V$ thì tại mỗi bán kì có hai diode dẫn, áp dụng định luật Kirchhoff ta có:

$$v_i - V_\gamma - v_o - V_\gamma = 0 \qquad (2.20)$$

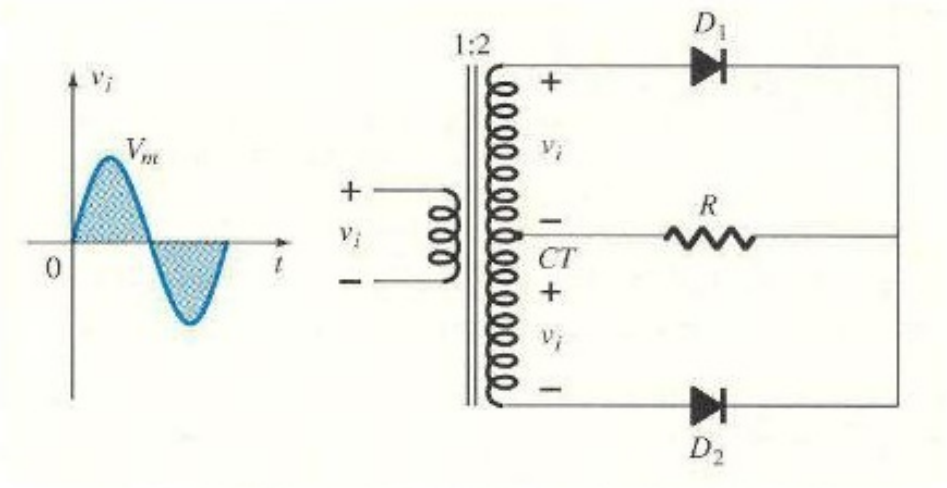
Hay $\quad v_o = v_i - 2V_\gamma$

$$V_{dc} = 2\times(0{,}318\times(V_m - 2V_\gamma) = 0{,}636(V_m - 2V_\gamma) \quad (2.21)$$

➢ **Điện áp phân cực ngược PIV**

Điện áp phân cực ngược của mỗi diode: **PIV ≥Vm**

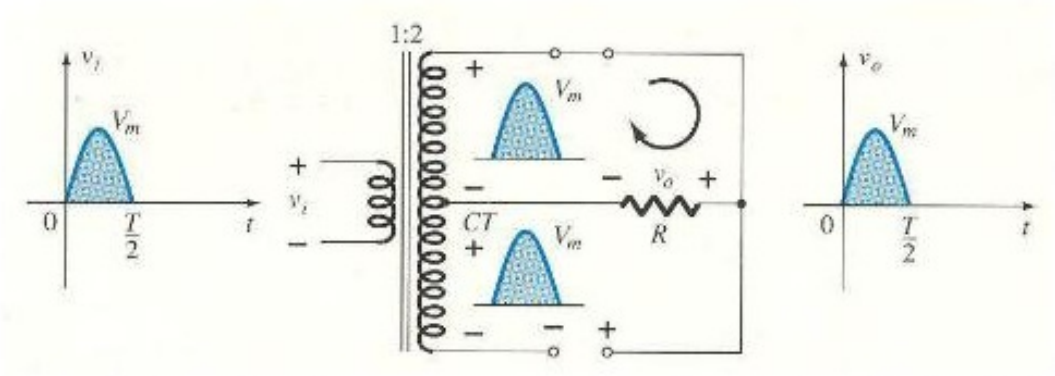
➢ **Dùng biến áp đôi**



***Hình 2.64**: Mạch chỉnh lưu dùng biến áp đôi.*

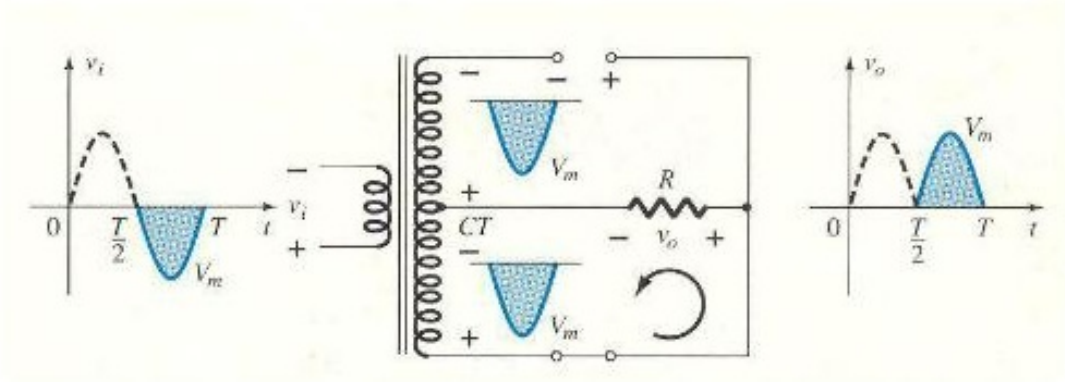
Một mạch chỉnh lưu toàn kỳ như hình 2.64 chỉ sử dụng hai diode nhưng phải sử dụng biến áp đôi.

Khi v_i dương, diode D_1 dẫn và D_2 ngưng dẫn như hình 2.65.



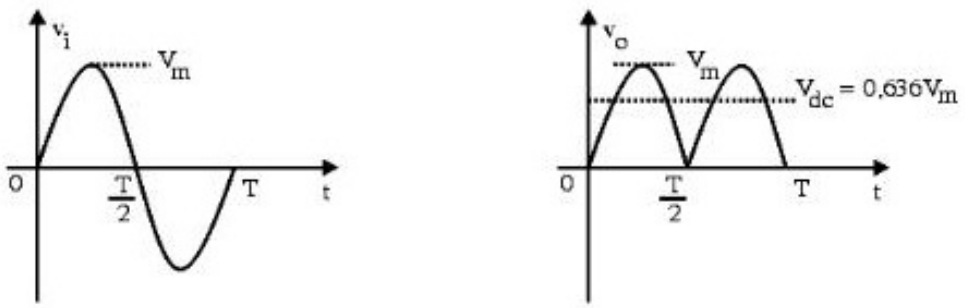
***Hình 2.65**. Dạng sóng vào ra và mạch tương đương ứng với bán kỳ dương của v_i.*

Khi v_i âm thì diode D_1 ngưng dẫn và D_2 dẫn như hình 2.66.



***Hình 2.66**. Dạng sóng tín hiệu vào ra và sơ đồ mạch tương đương ở bán kỳ âm của v_i*

Vậy điện áp ngõ ra gồm cả hai bán kỳ của điện áp ngõ vào, trong đó bán kỳ âm được chỉnh lưu thành điện áp dương ở ngõ ra.



***Hình 2.67**: Dạng sóng vào ra của mạch chỉnh lưu toàn kỳ dùng biến áp đôi.*

Điện áp ngõ ra: $V_{dc} = 2\times(0{,}318\times V_m) = 0{,}636V_m$ (2.22)

Nếu sử dụng diode Si với $V_\gamma = 0{,}7V$ thì tại mỗi bán kỳ có một diode dẫn, áp dụng định luật Kirchhoff ta có: $v_i - V_\gamma - v_o = 0$ (2.23)

Vậy nếu sử dụng diode Si với $V_\gamma = 0{,}7V$:

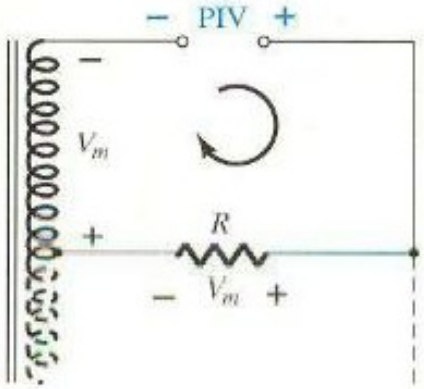
$$V_{dc} = 2\times(0{,}318\times(V_m - V_\gamma) = 0{,}636(V_m - V_\gamma) \quad (2.24)$$

➢ **Điện áp phân cực ngược PIV:**

Điện áp phân cực ngược của mỗi diode có thể được xác định theo hình 2.68. Áp dụng định luật Kirchhoff ta có:

$$PIV = V_{BA} + V_R = V_m + V_m = 2V_m \quad (2.25)$$

Diode sử dụng khi chọn phải có PIV ≥ 2Vm.



***Hình 2.68**. Sơ đồ mạch tương đương ở bán kỳ âm của V_i.*

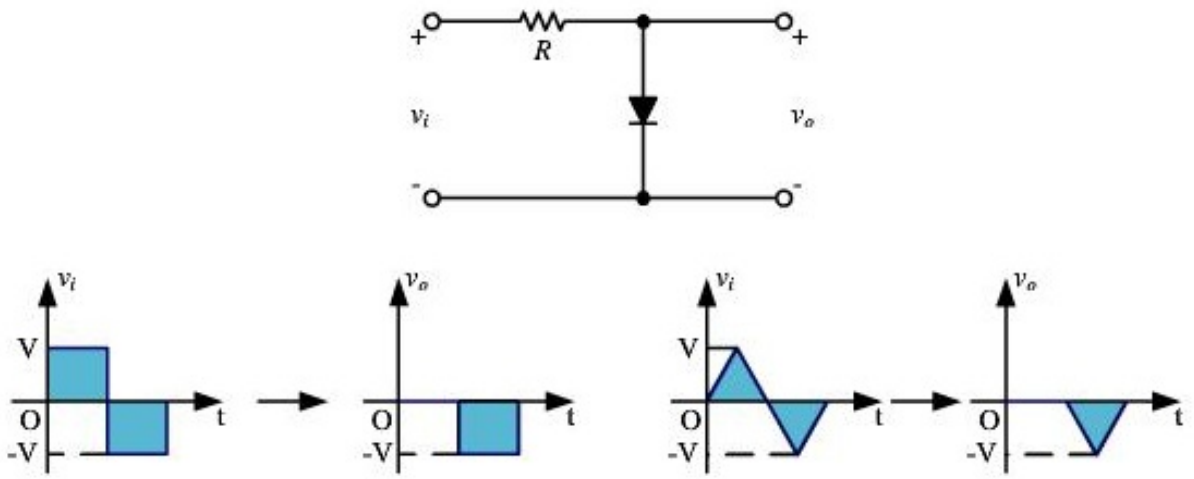
2.4.4. Mạch xén

Mạch xén là mạch cho tín hiệu ngõ ra bị xén một phần so với tín hiệu ngõ vào. Mạch chỉnh lưu bán kỳ đã khảo sát là một dạng mạch đơn giản nhất của mạch xén vì chỉ sử dụng một diode và một điện trở.

Có hai loại mạch xén nối tiếp và song song. Mạch xén nối tiếp là diode trong mạch mắc nối tiếp với tải, trong mạch xén song song thì diode mắc song song với tải.

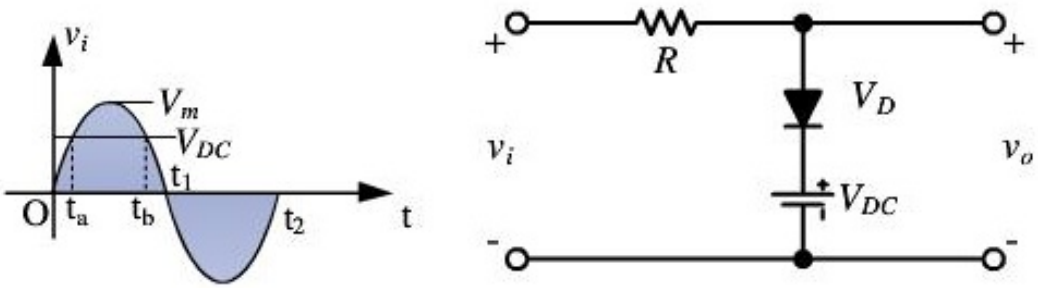
a. Mạch xén song song:

Hình 2.69 trình bày một mạch xén đơn giản sử dụng một diode và một điện trở R. Tín hiệu vào là sóng vuông và sóng tam giác và tín hiệu ra đã bị xén một phần tín hiệu. Tải được mắc song song với linh kiện bán dẫn và nguồn xén.



***Hình 2.69**. Mạch xén song song đơn giản.*

Xét mạch xén như trên nhưng có thêm một nguồn điện áp DC với tín hiệu sin ở ngõ vào như hình 2.70.



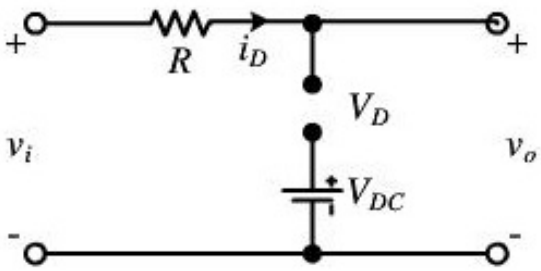
a. b.

***Hình 2.70.** Mạch xén song song.*

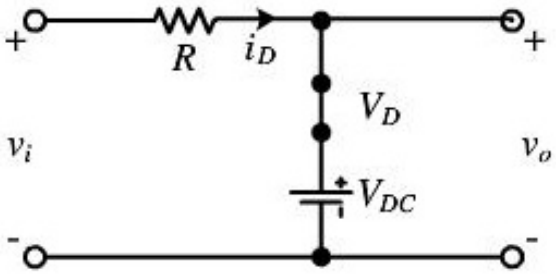
Theo định luật bảo toàn năng lượng $V_i = V_D + V_{DC} + I.R$.

Để phân tích hoạt động của mạch, ta xem diode là lý tưởng và tiến hành các bước sau:

Bước 1: Ở nửa bán kì dương khi $V_i < V_{DC}$ (2 đoạn $[0,t_a]$ và $[t_b,t_1]$) Diode ngưng dẫn tương ứng với dòng $i_D = 0$ và điện áp $V_D = 0$ như mạch hình 2.71. Đoạn $[t_a, t_b]$, $V_i > V_{DC}$ do đó Diode dẫn ta có mạch tương đương hình 2.72.



Hình 2.71.



Hình 2.72.

Khi điện áp vào v_i lớn hơn V_{DC}, diode ở trạng thái dẫn – xem như ngắn mạch, khi v_i nhỏ hơn điện áp V_{DC} thì diode ở trạng thái ngưng dẫn – xem như hở mạch.

Bước 2: Xác định điện áp ra:

Khi diode ngưng dẫn – xem như hở mạch – dòng điện $i_d = 0$ và kết quả điện áp ra:

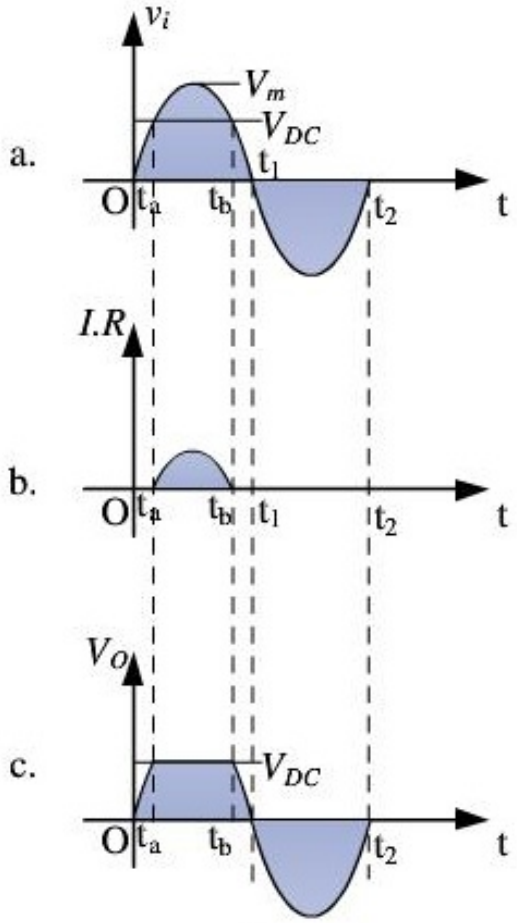
$$V_O = V_i - i_D.R, \text{ mà } i_D.R = 0$$

Suy ra: $V_O = V_i$ (đoạn $[0,t_a]$ trên 2.73c)

Khi diode dẫn – xem như ngắn mạch – $V_D \approx 0$ và kết quả điện áp ra:

$$V_O = V_D + V_{DC} = 0 + V_{DC} = V_{DC} \text{ (đoạn } [t_a,t_b] \text{ trên hình 2.73c)}$$

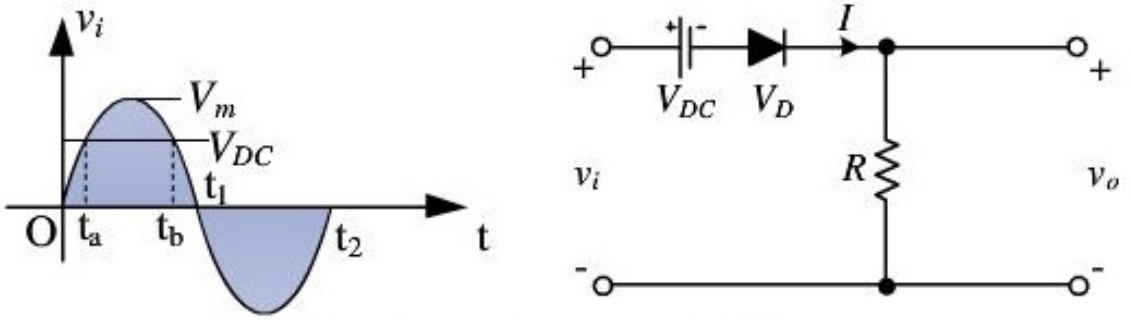
$$I_D.R \neq 0 \text{ (như hình 2.73b)}$$



Hình 2.73.

b. Mạch xén nối tiếp:

Hình 2.74 trình bày một mạch xén nối tiếp tải mắc nối tiếp với linh kiện bán dẫn và nguồn vào là tín hiệu xoay chiều.



***Hình 2.74**: Mạch xén nối tiếp có thêm nguồn DC.*

Để phân tích hoạt động của mạch ta xem diode là lý tưởng và tiến hành các bước giống như trên.

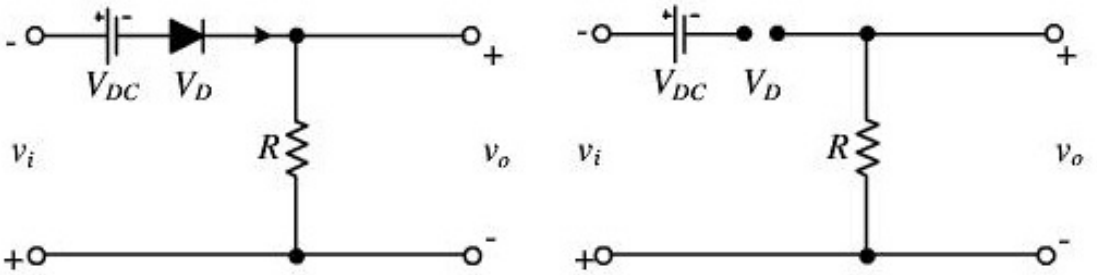
Bước 1: Phương trình Kirchhoff: $V_i = V_{DC} + V_D + I.R$.

Từ đoạn $[0, t_a]$: Diode ngắt, $I_D.R = 0$ nên $V_O = 0$

Trong đoạn $[t_a, t_b]$: $V_i > V_{DC}$ nên Diode dẫn, ta có $V_O = I.R$ (Hình 2.77c).

Đoạn $[t_b, t_1]$ Diode ngắt ta lại có $V_O = 0$.

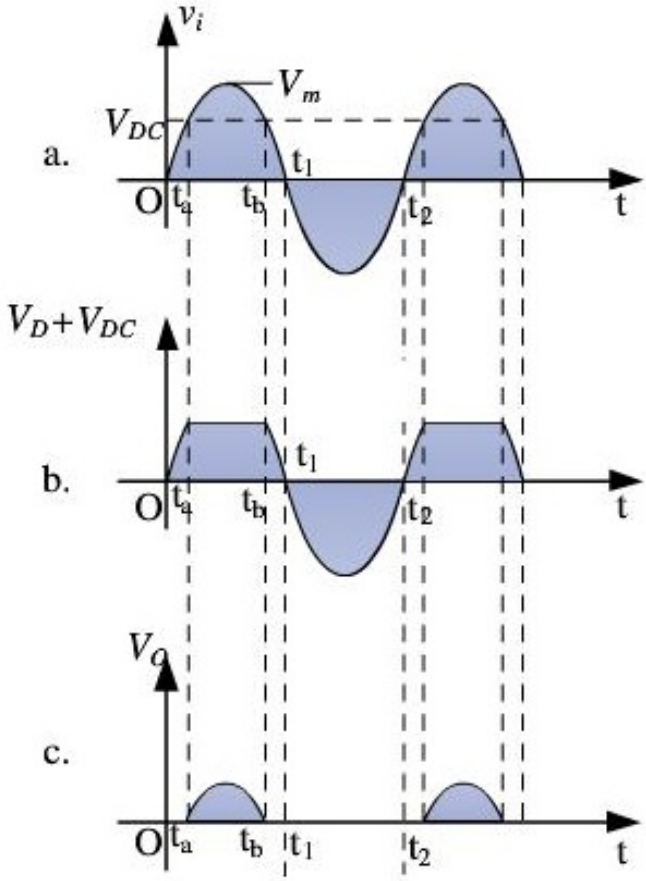
Bước 2: Nửa bán kỳ âm hình 2.75



Hình 2.75 **Hình 2.76**

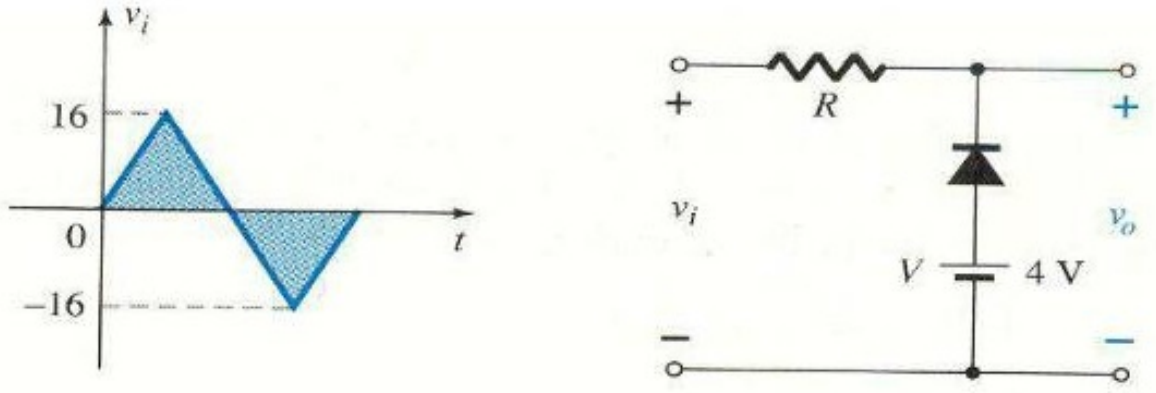
Diode luôn luôn ở trạng thái ngắt, mạch bị hở (Hình 2.76)ta luôn có $V_O = 0$ (đoạn t_1t_2 trên hình 2.77c).

Quá trình cứ thế lặp lại cho các bán kỳ dương và âm ta nhận được kết quả sóng ngõ ra hình 2.77c bị xén và không còn dạng sóng như ngõ vào.

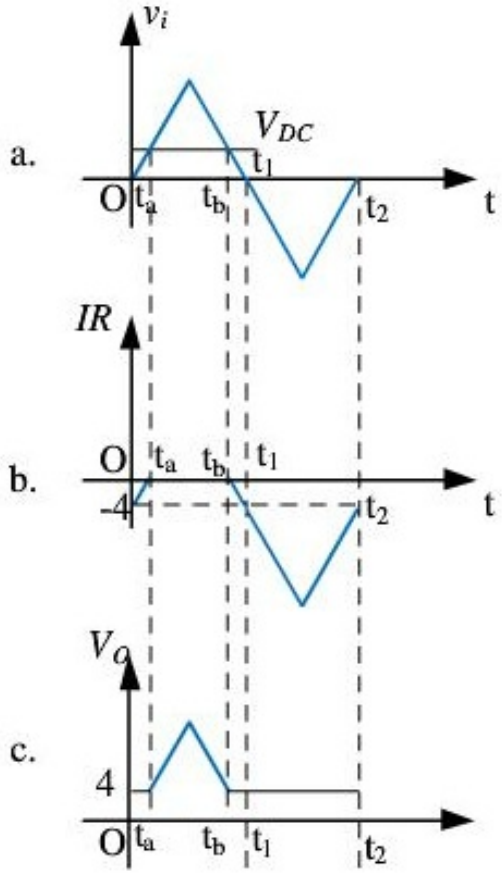


Hình 2.77.

Ví dụ: Cho hình 2.78, với sóng vào có dạng tam giác, hãy vẽ dạng sóng ngõ ra của mạch.



Hình 2. 78.



Hình 2.79

***Giải*:**

Ta có đây là mạch xén song song:

$$V_i = I.R + V_D + V_{DC} = I.R + V_O$$

Nửa bán kỳ đầu:

[0, t_a]: Diode dẫn do $V_i < V_{DC}$.

Diode bị ghim tại cực dương $V_{DC} = 4V$

$$V_O = 0 + V_{DC} = 4 \text{ (V) (hình 2.79c)}$$

[t_a, t_b]: Diode ngắt $V_O = V_i$

[t_b, t_1] và [t_1, t_2]: Diode dẫn do đó:

$$V_O = V_D + V_{DC} = 4\text{(V) (hình 2.79c)}$$

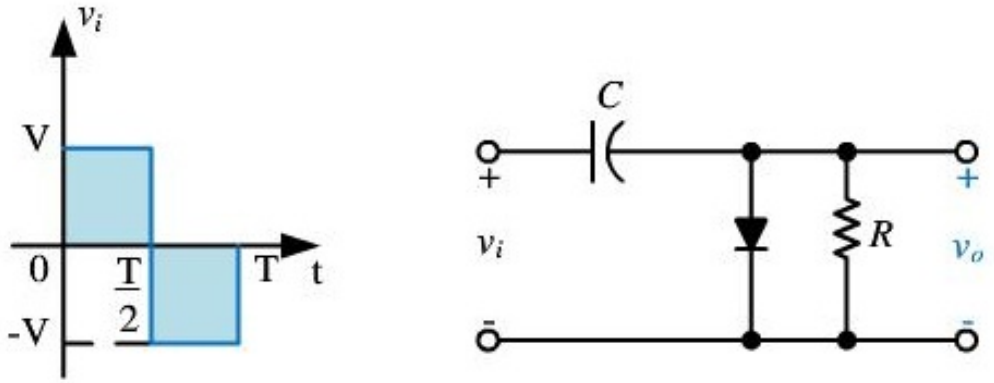
Sau đó chu kỳ sẽ lặp lại như trước. Mạch bị ghim tại điện áp một chiều 4V. Sóng ngõ ra là hình 2.79c.

2.4.5. Mạch kẹp

Mạch kẹp là mạch dời tín hiệu đến một mức điện áp DC khác. Một mạch kẹp phải có một tụ điện, một diode, một điện trở và còn có thể thêm

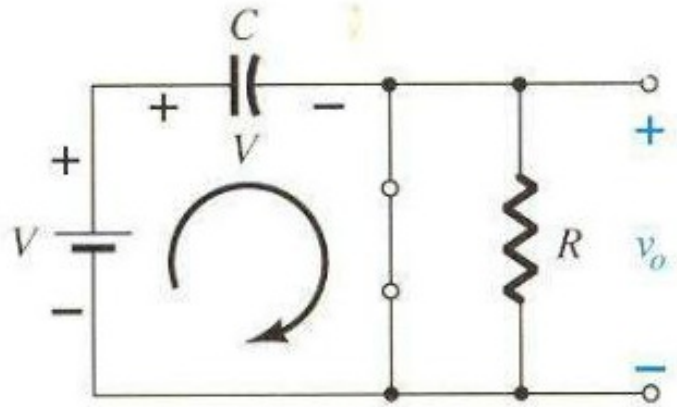
một nguồn điện áp DC. Giá trị của R và C phải được lựa chọn sao cho thời hằng τ = RC đủ lớn để đảm bảo rằng điện áp rơi trên tụ điện C xả không đáng kể trong khoảng thời gian diode ngưng dẫn. Trong khi phân tích mạch, ta có thể xem tụ được nạp đầy và xả hết lượng điện tích sau khoảng thời gian 5τ.

Mạch điện hình 2.80 là một mạch kẹp mức 0V (xem diode là lý tưởng).



Hình 2.80. *Mạch kẹp.*

Trong khoảng thời gian từ [0,T/2], tín hiệu vào dương – mạch tương đương như hình 2.81, diode ở trạng thái dẫn xem như ngắn mạch điện trở R – dẫn đến thời hằng τ có giá trị rất nhỏ và tụ C sẽ nạp đầy điện áp V một cách nhanh chóng còn điện áp ra bằng 0V.



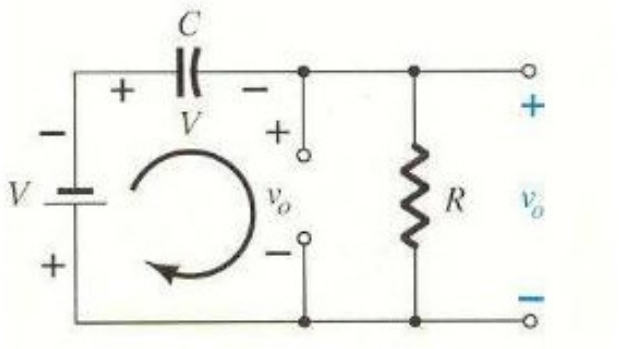
Hình 2.81*. Mạch tương đương ở bán kỳ dương của tín hiệu.*

Trong khoảng thời gian từ [T/2, T], tín hiệu vào âm – mạch tương đương như hình 2.82, diode phân cực ngược – xem như hở mạch – thời hằng τ = RC có giá trị rất lớn – áp dụng định luật Kirchhoff để tìm điện áp ra:

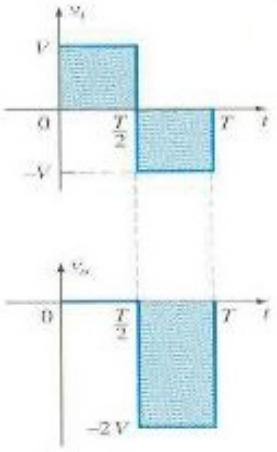
$$-V - V - v_O = 0\text{; Hay } \quad v_o = -2V$$

Dấu trừ trong kết quả ngược với dấu trừ đã xác định trong mạch.

Kết quả dạng sóng vào và ra như hình 2.83.



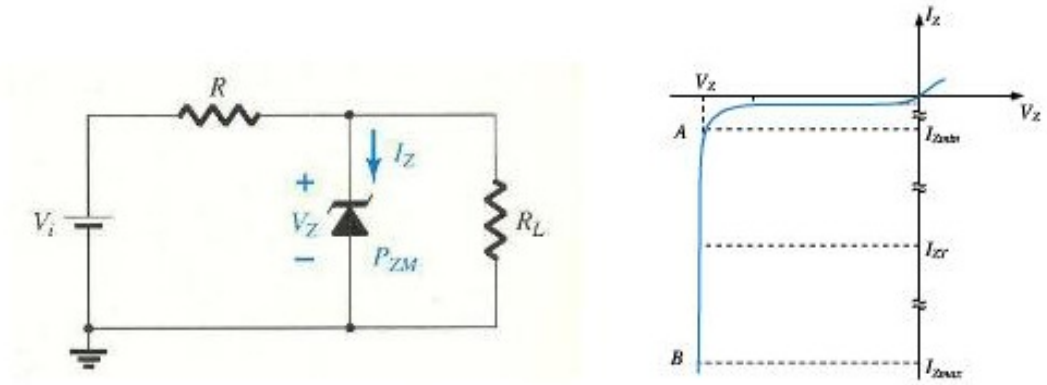
***Hình 2.82**: Mạch tương đương ở bán kỳ âm của tín hiệu*



***Hình 2.83**.*

2.4.6. Mạch ổn áp

Mạch ổn áp song song: tải được mắc song song với linh kiện bán dẫn Diode Zener. Dựa vào đặc tính của Diode Zener làm việc ở vùng phân cực nghịch, khi dòng qua Zener thay đổi từ giá trị min (điểm A) đến giá trị max (điểm B) $I_{Zmin} \leq I_Z \leq I_{Zmax}$, điện áp trên hai đầu cực của Diode Zener không đổi do vậy tải mắc song song sẽ bảo đảm áp không đổi.



a. *b.*

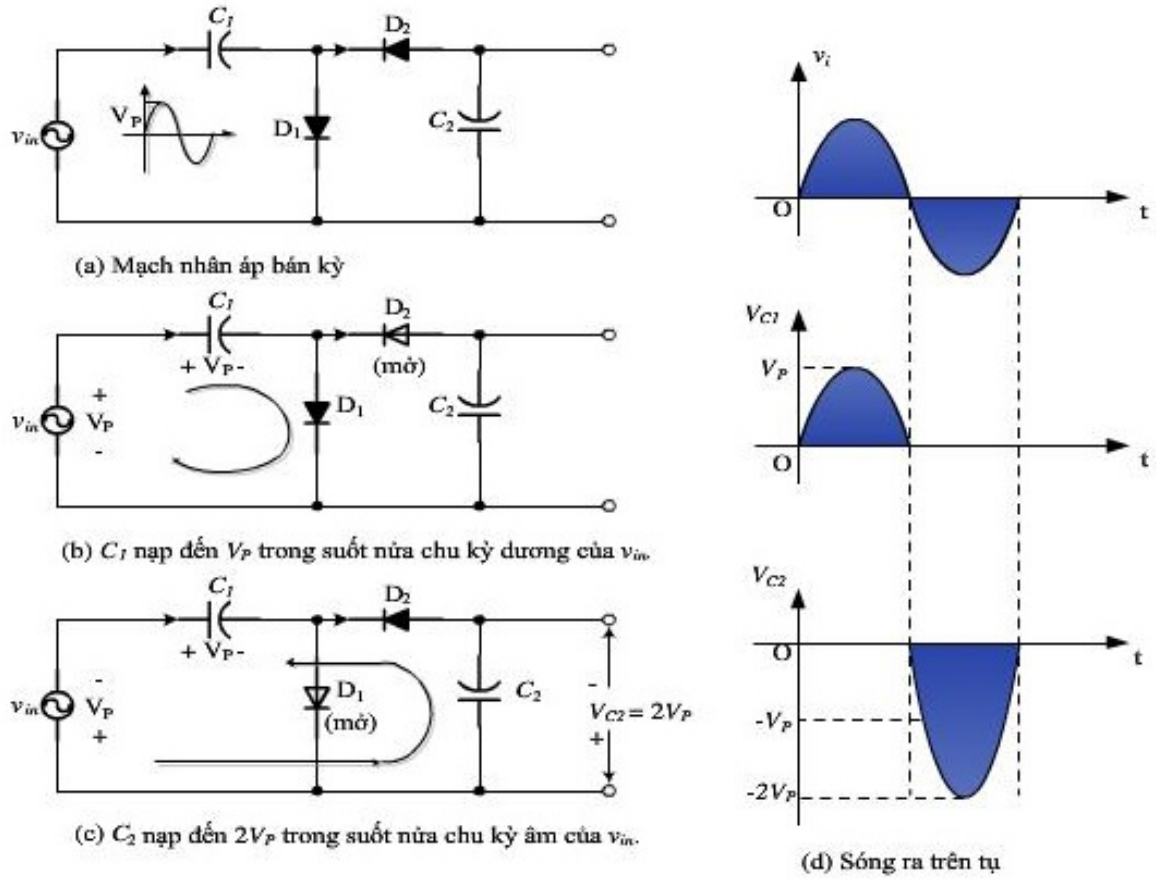
***Hình 2.84**. a. Mạch ổn áp dùng Diode Zener; b. Đặc tuyến Diode Zener*

Trường hợp 1: Cho R_L, V_i, chọn Diode Zener có Vz = V_{RL}. Tính được I_{RL}, chọn I_Z để tính R.

Trường hợp 2: Tìm R_L, biết V_i, chọn dòng cung cấp cho tải I_{RL} = 100mA, biết V_{RL}. Chọn Diode Zener có Vz = V_{RL} và dòng I_Z vào khoảng 120mA < I_{Zmax} khi gắn tải với dòng cực đại I_{RL} = 100mA thì dòng I_Z = 20mA > I_{Zmin}. Thỏa điều kiện ổn áp là $I_{Zmin} \leq I_{RL} \leq I_{Zmax}$.

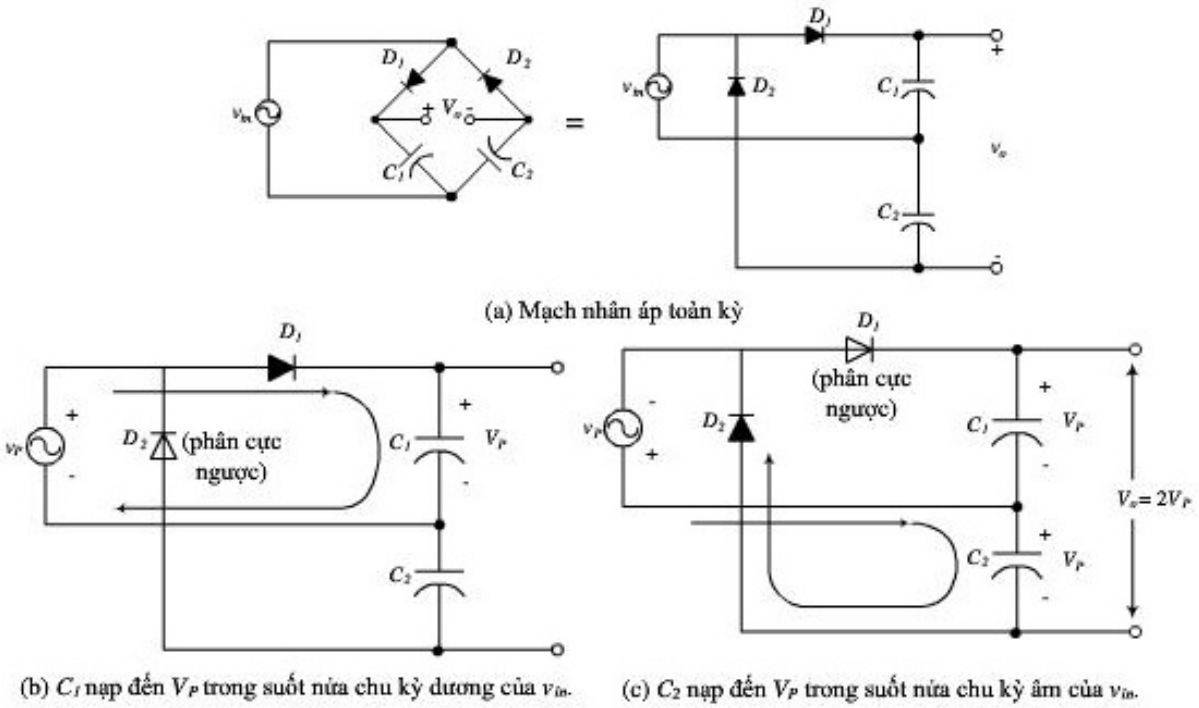
2.4.7. Mạch nhân áp

a. Mạch nhân áp bán kỳ: Có thể sử dụng mạch nhân áp bán kỳ sử dụng hai Diode.



Hình 2.85. Mạch nhân áp bán kỳ.

b. Mạch nhân áp toàn kỳ:

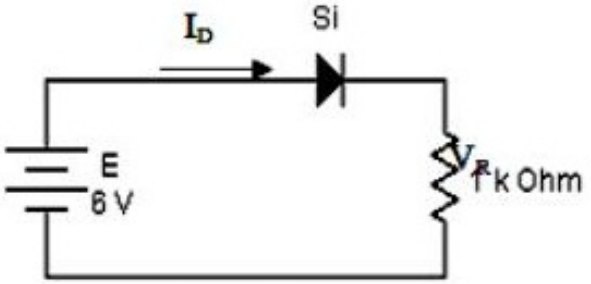


Hình 2.86. Mạch nhân áp toàn kỳ.

2.5. BÀI TẬP CHƯƠNG 2

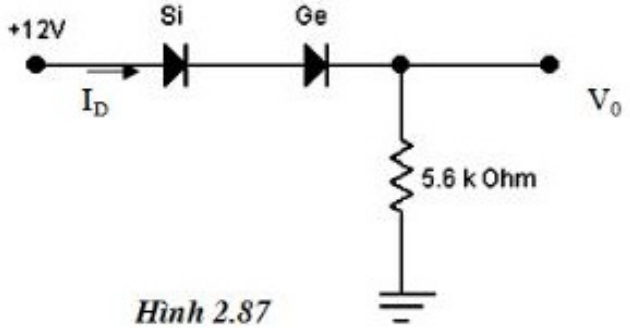
2.5.1. Xác định V_0, và I_D trong mạch điện hình 2.87.

2.5.2. Xác định VD (điện áp trên diode), VR và ID trong mạch điện hình 2.88.



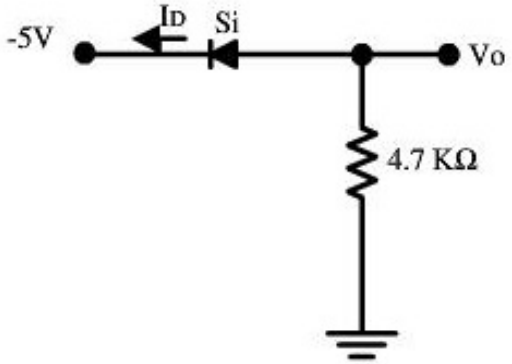
Hình 2.88

2.5.3. Xác định I_D, V_{R1}, V_{R2} và V_0 trong mạch hình 2.89.

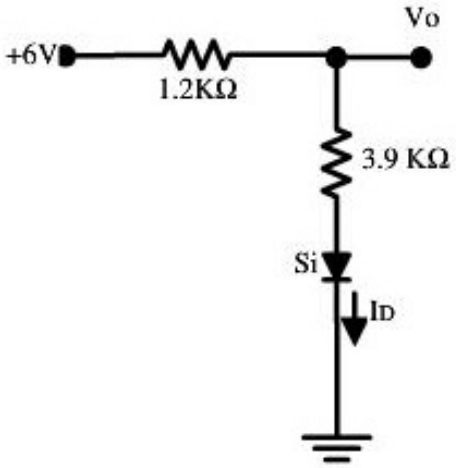


Hình 2.87

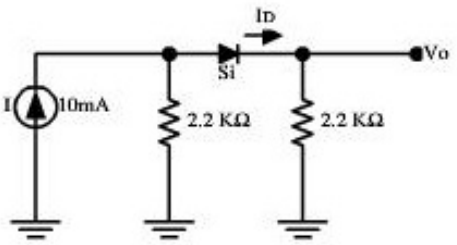
2.5.4. Xác định V_o và I_D trong các hình 2.90, 2.91, 2.92 và 2.93.



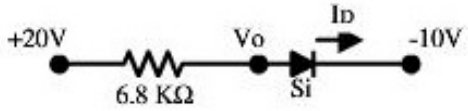
Hình 2.90



Hình 2.91

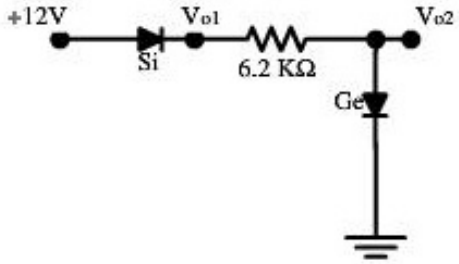


Hình 2.92

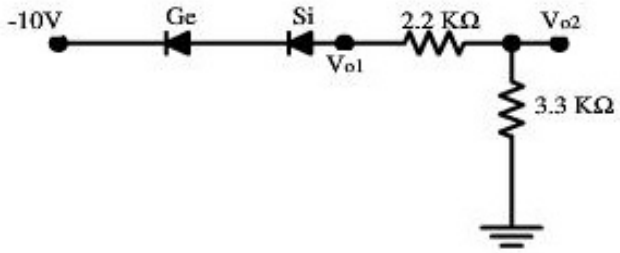


Hình 2.93

2.5.5. Xác định V_{o1} và V_{o2} trong các hình 2.94 và 2.95.

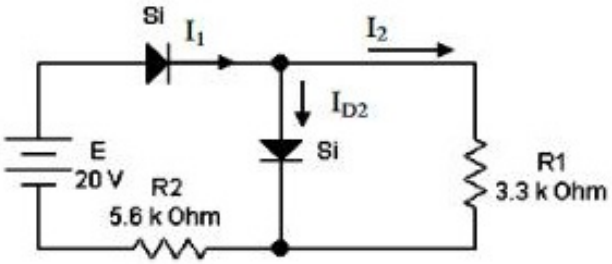


Hình 2.94

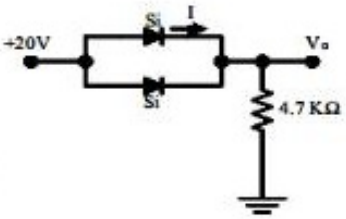


Hình 2.95

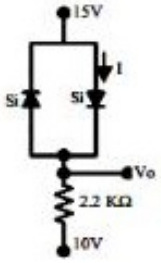
2.5.6. Xác định I_1, I_2, I_{D2} trong mạch hình 2.96.



Hình 2.97

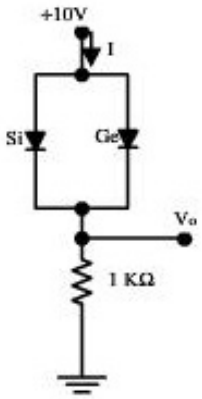


Hình 2.97

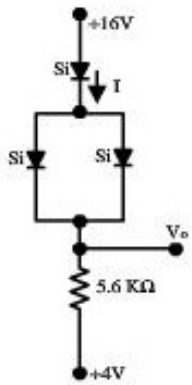


Hình 2.98

2.5.7. Xác định V_o và I trong các hình 2.97, 2.98, 2.99 và 2.100.

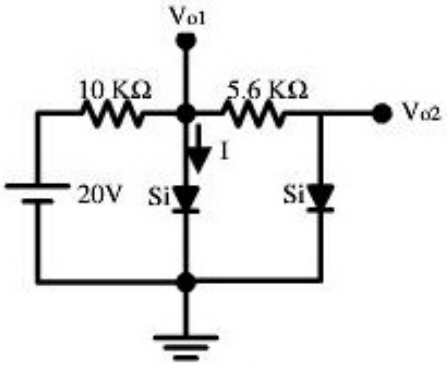


Hình 2.99

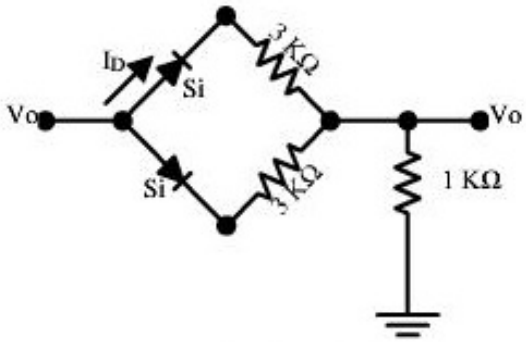


Hình 2.100

2.5.8. Xác định V_{o1}, V_{o2} và I trong mạch hình 2.101.



Hình 2.101

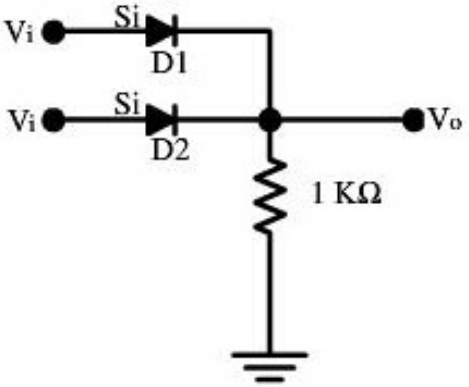


Hình 2.102

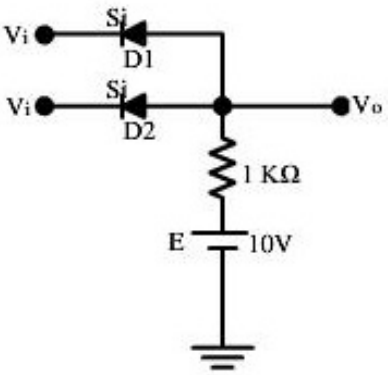
2.5.9. Xác định $_{Vo}$ và I_D trong mạch hình 2.102.

2.5.10. Xác định V_o trong mạch hình 2.103 với cả hai nguồn V_i đều 0V.

2.5.11. Xác định V_o trong mạch hình 2.103 với cả hai nguồn V_i đều 10V.



Hình 2.103

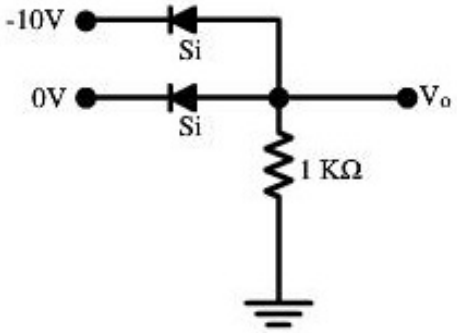


Hình 2.104

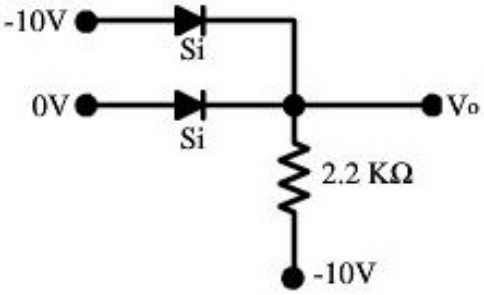
2.5.12. Xác định V_o trong mạch hình 2.104 với cả hai nguồn V_o đều 0V.

2.5.13. Xác định V_o trong mạch hình 2.104 với cả hai nguồn V_o đều 10V.

2.5.14. Xác định V_o cho cổng OR mức logic âm hình 2.105.



Hình 2.105



Hình 2.106

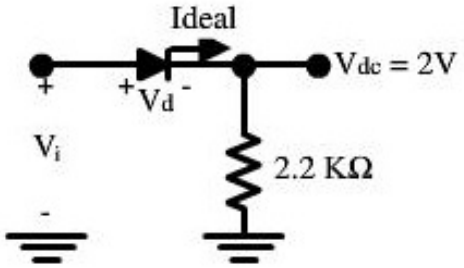
2.5.15. Xác định V_o cho cổng AND mức logic âm hình 2.106.

2.5.16. Một diode có dòng điện bão hòa ngược $I_S = 2{,}5.10^{-14}$ (A).

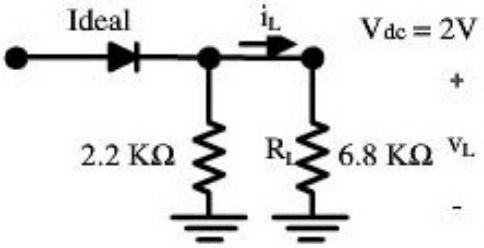
a. Hãy tính dòng điện thuận chạy qua diode khi $V_D = 0{,}5$ (V).

b. Hãy xác định giá trị điện áp phân cực thuận V_D để dòng qua diode là 10mA.

2.5.17. Cho biết dạng sóng Vi, Vd, id với ngõ vào là dạng sóng sin có tần số 60Hz (Hình 2.107).



Hình 2.107

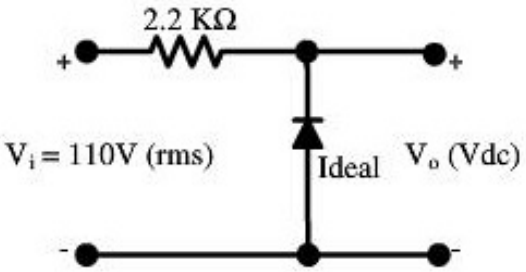


Hình 2.108

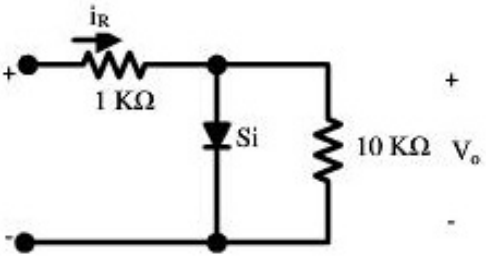
2.5.18. Lặp lại bài 16 với silicon diode, ngõ vào là dạng sóng sin có tần số 60Hz.

2.5.19. Cho biết dạng sóng của V_L và i_L, ngõ vào là dạng sóng sin có tần số 60Hz (Hình 2.108).

2.5.20. Cho biết dạng sóng của V_o và xác định V_{dc} khi ngõ vào là dạng sóng sin có tần số 60Hz (Hình 2.109).



Hình 2.109



Hình 2.110

2.5.21. Cho biết dạng sóng của V_o và i_R khi ngõ vào là dạng sóng sin có tần số 60Hz (Hình 2.110).

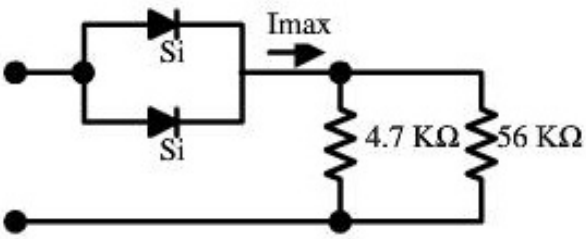
2.5.22. Cho mạch điện như Hình 2.111:

a. Cho Pmax = 14mW cho mỗi diode, hãy xác định giá trị dòng điện lớn nhất của mỗi diode.

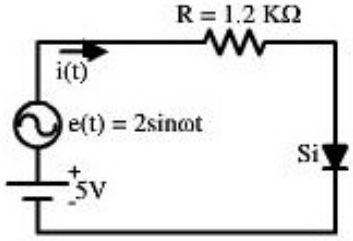
b. Xác định I_{max} để $V_{Imax} = 160$V.

c. Xác định giá trị dòng điện qua mỗi diode với $V_m = 160V$.

d. Nếu chỉ một diode hoạt động hãy cho biết giá trị dòng điện qua diode và so sánh với giá trị max.



Hình 2.111



Hình 2.112

2.5.23. Cho mạch điện như Hình 2.112:

a. Cho V_γ của diode Si là 0.65V, tính điện trở động r_D của diode.

b. Viết biểu thức dòng điện chạy trong mạch i(t).

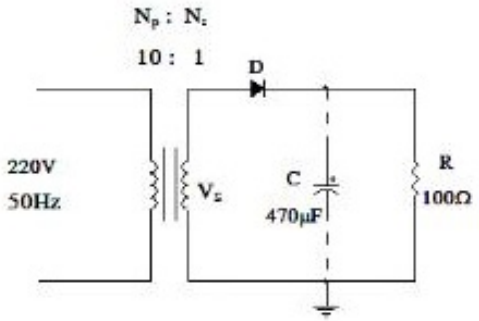
c. Vẽ dạng sóng dòng điện i(t).

2.5.24. Cho mạch điện chỉnh lưu như hình 2.113.

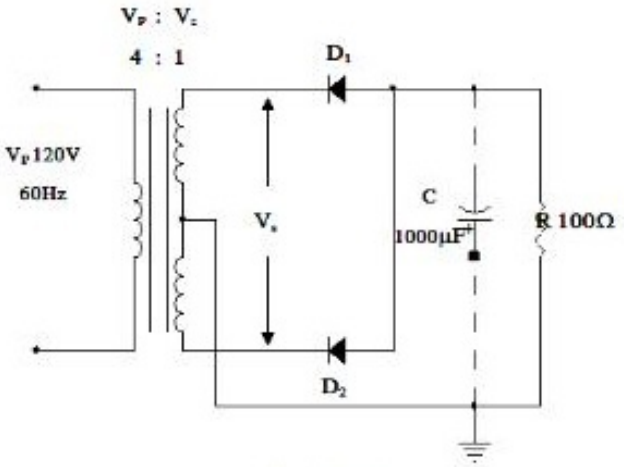
a. Khi cho tải điện trở R = 100Ω (chưa có C)

- *Hãy tính các tham số của mạch: điện áp hiệu dụng V_S, điện áp đỉnh V_{Smax}, điện áp một chiều V_R và dòng một chiều I_R?*
- *Tính dòng qua diode, điện áp ngược đặt lên diode và tần số sóng trên R?*

b. Khi mắc tụ C = 470μF song song với R (xem đường đứt nét). Hãy tính lại các tham số ở câu trên, nhận xét kết quả thu được. Khi chọn C = 1000μF, R = 200Ω có thay đổi gì trong các tham số đã tính ở câu **b**, giải thích sự thay đổi này?



Hình 2.113



Hình 2.114

2.5.25. Cho mạch điện chỉnh lưu hình 2.114. (K = 2: Số pha)

a. Khi tải R = 100Ω (chưa có C) hãy tính các tham số dòng điện và điện áp như bài 6.

b. Cho thêm tụ C = 1000μF vào mạch. Hãy xác định lại các tham số đã tính ở câu **a**.

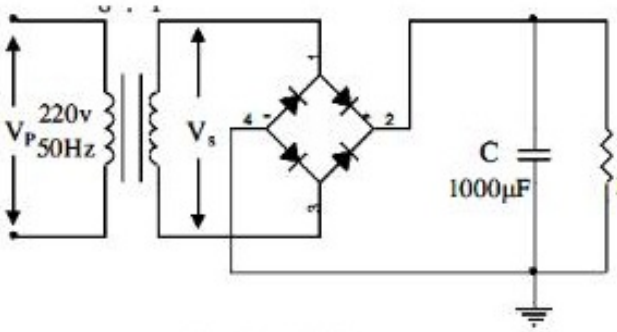
2.5.26. Cho mạch chỉnh lưu cầu toàn sóng hình 2.115.(K = 2).

a. Tính các tham số của mạch khi R = 100Ω (chưa có tụ C): điện áp, dòng điện (hiệu dụng, đỉnh) trên thứ cấp V_S, I_S, I_{Smax}.

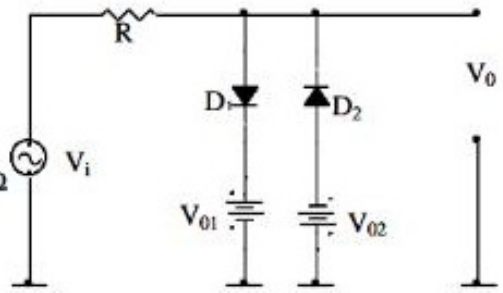
– *Điện áp, dòng điện một chiều trên tải V_R, I_R*

– *Dòng điện qua mỗi diode, điện áp ngược trên mỗi diode và tần số điện áp đập mạch trên tải.*

b. Mắc thêm tụ C = 1000μF, hãy xác định lại các tham số đã tính ở câu **a**. Nhận xét kết quả thu được.



Hình 2.115



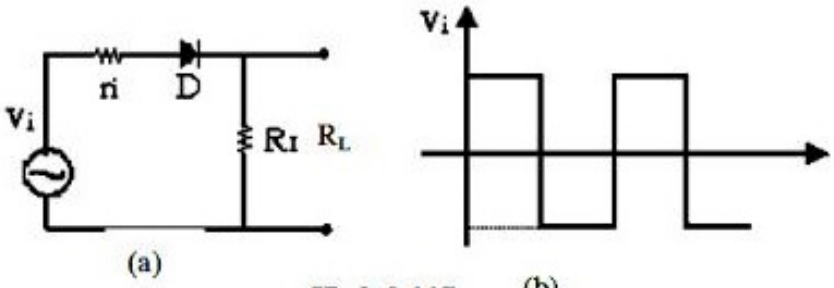
Hình 2.116

2.5.27. Cho mạch như Hình 2.116.

a. Hãy xác định dạng đặc tuyến truyền đạt điện áp V_0 theo V_i của mạch.

b. Vẽ dạng $V_0(t)$ khi $V_i(t)$ có dạng hình sin có biên độ đỉnh – đỉnh (Peak – Peak) là 30 Vpp. Biết V_{01} = 2,5V; V_{02} = 7,5v; R = 1kΩ.

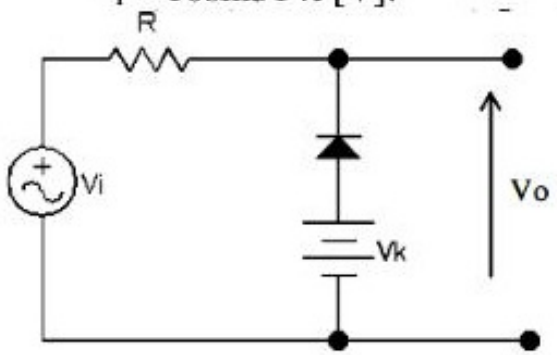
2.5.28. Tìm và vẽ điện áp V_L của mạch điện hình 2.117(a), như là một hàm số biến đổi theo thời gian t với ngõ vào V_i như hình 2.117(b).

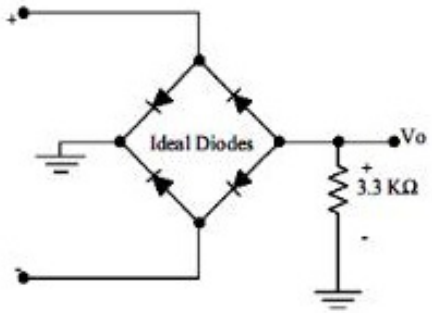


(a) (b)

Hình 2.117

2.5.29. Cho mạch điện hình 2.118. Vẽ dạng sóng ngõ ra V_0 biết V_k= 2V, V_i = 10sin314t [V].

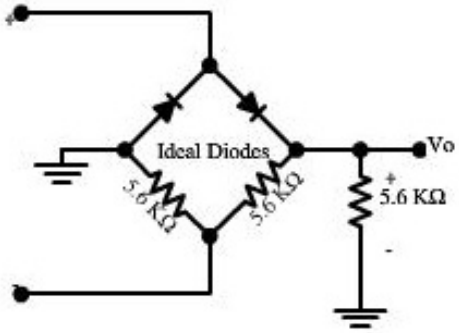


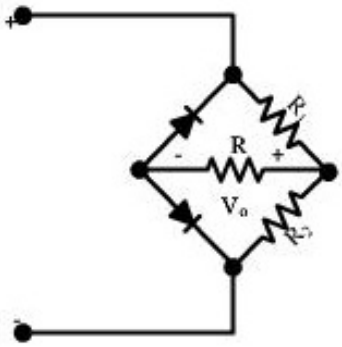


Hình 2.118 *Hình 2.119*

2.5.30. Xác định ngõ ra V_o của mạch hình 2.119.

2.5.31. Vẽ dạng sóng ngõ ra V_ocủa mạch và xác định giá trị điện áp DC với ngõ vào dạng sin có V_{ip} = 30V (Hình 2.114).

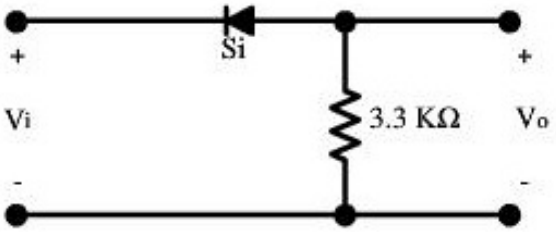




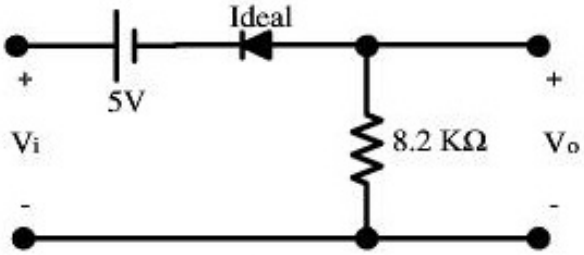
Hình 2.120 *Hình 2.121*

2.5.32. Vẽ dạng sóng ngõ ra V_ocủa mạch và xác định giá trị điện áp DC. Với ngõ vào dạng sin có V_{ip} = 10V, R_1 = R_2 = 3.3kΩ, R=8.2kΩ (Hình 2.121).

2.5.33. Vẽ dạng sóng ngõ ra V_ocủa các mạch hình 2.122(a) và (b) với ngõ vào là dạng sóng sin có V_p = 20V.



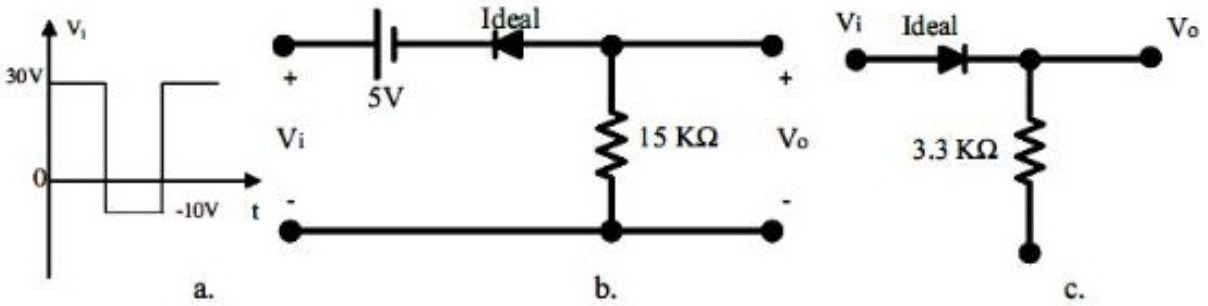
a



b

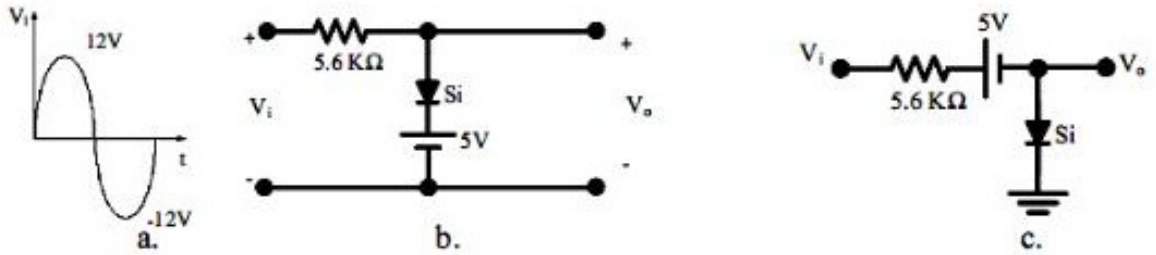
Hình 2.122

2.5.34. Vẽ dạng sóng ngõ ra V_o của mạch hình 2.123 (b) và (c), với ngõ vào có dạng như hình 2.123 (a).



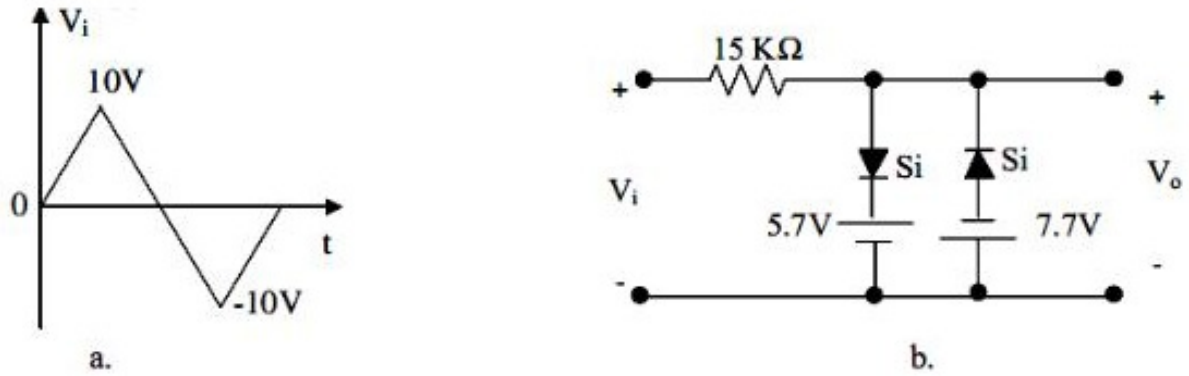
Hình 2.123

2.5.35. Vẽ dạng sóng ngõ ra V_o của mạch hình 2.124(b) và (c), với ngõ vào có dạng như hình 2.124(a).



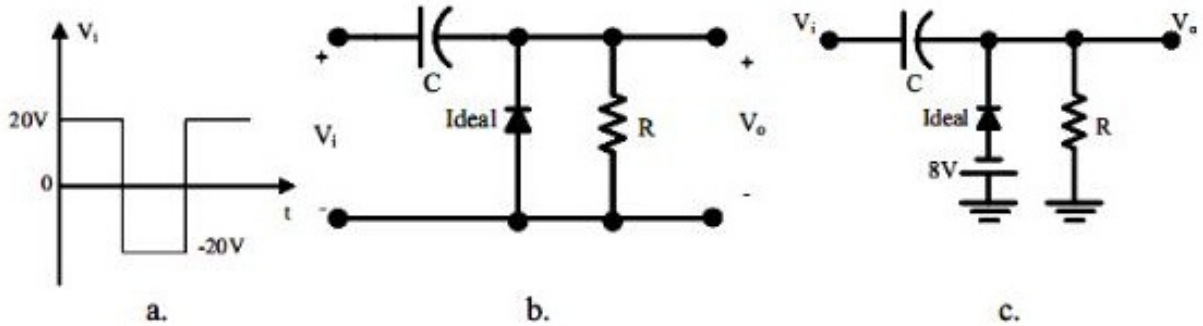
Hình 2.124

2.5.36. Vẽ dạng sóng ngõ ra V_o của mạch hình 2.125(b), với ngõ vào có dạng như hình 2.125(a).



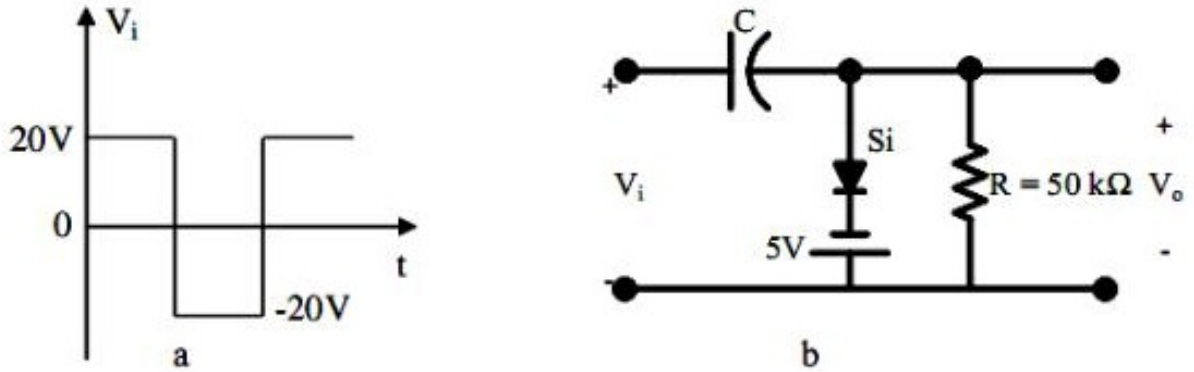
Hình 2.125

2.5.37. Vẽ dạng sóng ngõ ra V_o và xác định giá trị điện áp DC của mạch hình 2.126(b) và (c), với ngõ vào có dạng như hình 2.126(a).



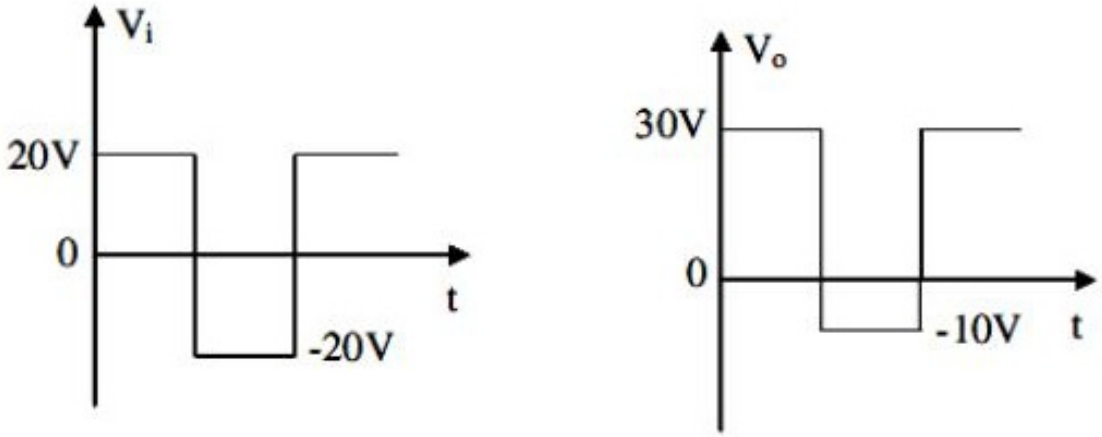
Hình 2.126

2.5.38. Vẽ dạng sóng ngõ ra V_o của mạch hình 2.127(b) với f = 1kHz và ngõ vào có dạng như hình 2.127(a).



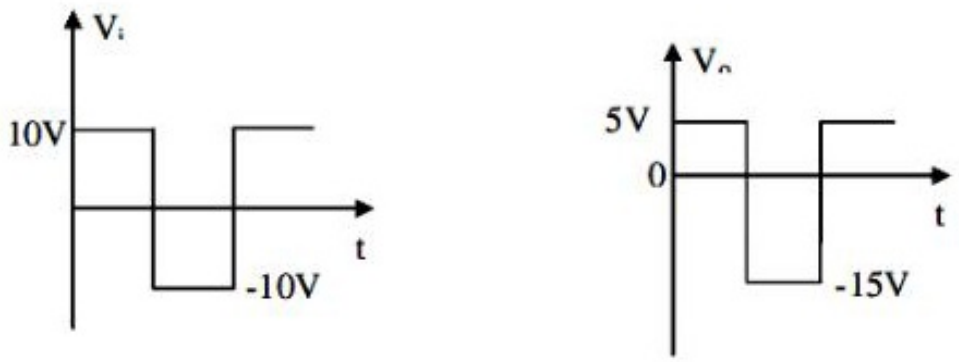
Hình 2.127

2.5.39. Cho diode lý tưởng hãy thiết kế mạch với dạng sóng ngõ vào và ngõ ra như hình 2.128.



Hình 2.128

2.5.40. Cho diode Silicon, hãy thiết kế mạch với dạng sóng ngõ vào và ngõ ra như hình 2.129.



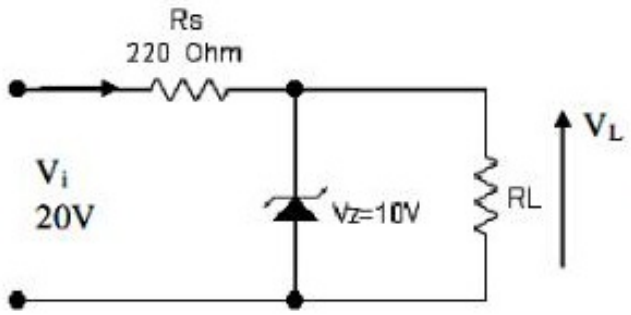
Hình 2.129

2.5.41. Cho mạch điện hình 2.130.

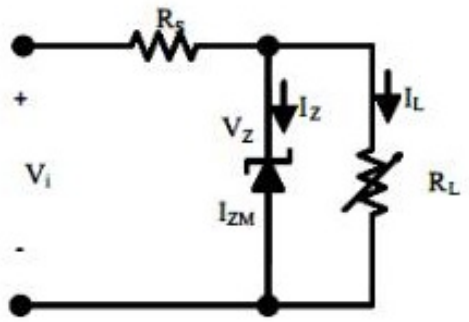
a. Xác định V_L, I_L, I_Z và I_{RS} nếu R_L=300 Ohm.

b. Xác định giá trị của R_L sao cho Diode Zener hoạt động không qúa công suất (P_{zmax} = 400mW).

c. Xác định giá trị tối thiểu của R_L để Zener có thể hoạt động được (I_{zmin} = 1 mA).



Hình 2.130



Hình 2.131

2.5.42. Cho mạch như hình 2.131, với V_i = 20V, V_z = 10V, R_S = 2.2k.

a. Xác định R_L và I_L để V_{RL} = 10V.

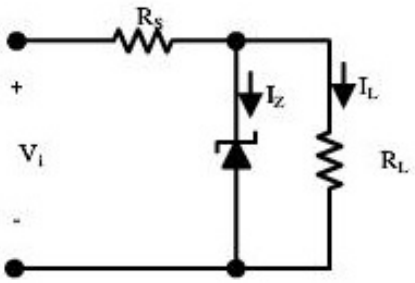
b. Xác định công suất cực đại với I_{ZM} = 32mA.

2.5.43. Cho mạch như hình 2.132, với V_Z = 10V, R_S=110Ω, V_i = 50V.

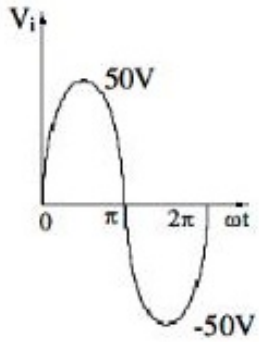
a. Hãy xác định V_L, I_L, I_R với R_L = 180Ω.

b. Xác định giá trị của R_L để có được công suất cực đại P_{Zmax}=400mW.

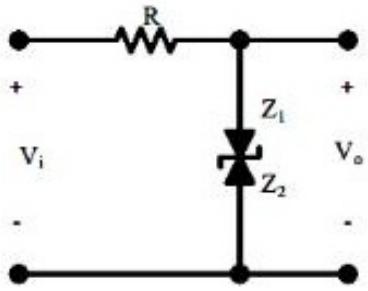
c. Xác định giá trị nhỏ nhất của R_L để Zener diode có thể hoạt động được.



Hình 2.132



a.



b.

Hình 2.133

2.5.44. Cũng với mạch như hình 2.132, với $R_L = 1k\Omega$, $P_{ZM} = 300mW$, $R = 100\Omega$. Hãy xác định giá trị của V_i sao cho $V_L = 9V$ và Zener diode hoạt động không quá công suất.

2.5.45. Hãy thiết kế mạch có ngõ vào V_i thay đổi từ 30 đến 50V, sao cho ngõ ra có điện áp không đổi $V_o = 20V$. Từ đó hãy xác định giá trị thích hợp R_S và dòng điện I_{ZM} max.Cho biết dạng sóng ngõ ra của mạch điện hình 2.133(b), với dạng sóng ngõ vào như hình 2.113(a) và $R = 2k\Omega$, $V_{Z1} = V_{Z2} = 10V$.

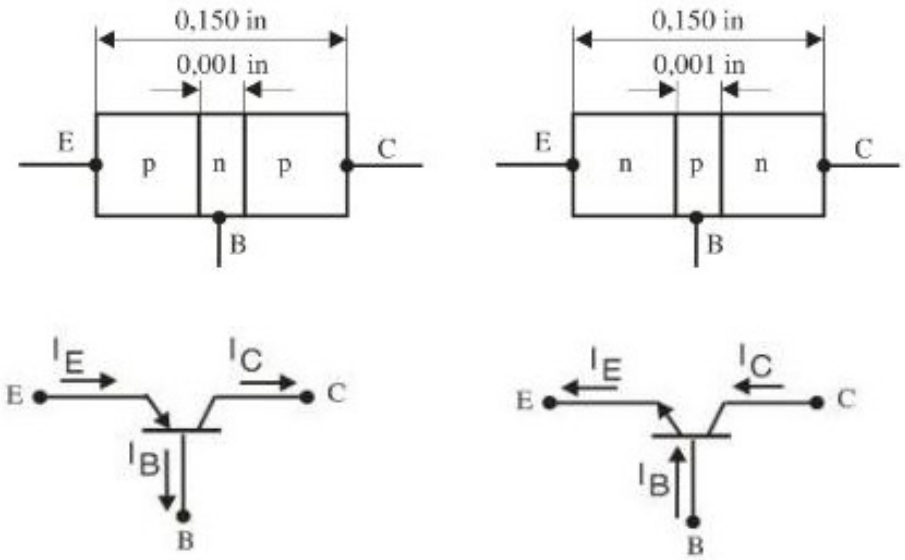
Chương 3
ĐẠI CƯƠNG VỀ TRANSISTOR LƯỠNG CỰC (BJT- BIPOLAR JUNCTION TRANSISTOR)

3.1. GIỚI THIỆU

Transistor lưỡng cực BJT là *linh kiện bán dẫn* có cấu tạo cơ bản dựa trên hai chuyển tiếp P -N. Linh kiện 3 điện cực này được sử dụng như một phần tử khuếch đại hoặc như một khóa điện tử . Transistor là khối đơn vị cơ bản xây dựng nên cấu trúc mạch ở máy tính điện tử và tất cả các thiết bị điện tử hiện đại khác . Vì tính đáp ứng nhanh và chính xác nên BJT thường được sử dụng trong nhiều ứng dụng tương tự và số, như khuếch đại, đóng cắt, điều chỉnh điện áp, điều khiển tín hiệu, và tạo dao động. Transistor cũng thường được kết hợp thành mạch tích hợp (IC).

3.2. CẤU TRÚC TRANSISTOR LƯỠNG CỰC

Transistor là một linh kiện dẫn ba lớp, bao gồm hai lớp bán dẫn loại N và một lớp bán dẫn loại P (gọi là transistor N-PN) hoặc gồm hai lớp bán dẫn loại P và một lớp bán dẫn loại N (gọi là transistor PN -P). Cả hai loại transistor được trình bày ở hình 3.1. Các lớp bán dẫn bên ngoài dày hơn lớp bán dẫn giữa rất nhiều. Transistor ở hình 3.1, tỉ lệ về bề dày của cả transistor so với bề dày của lớp giữa là 0,150inch/0,001inch = 150:1. Lớp bán dẫn giữa được pha tạp ít hơn nhiều so với hai lớp bán dẫn ngoài , (thông thường tỷ lệ này là 1:10, hoặc ít hơn) trong đó lớp bán dẫn cực phát được pha tạp mạnh nhất.



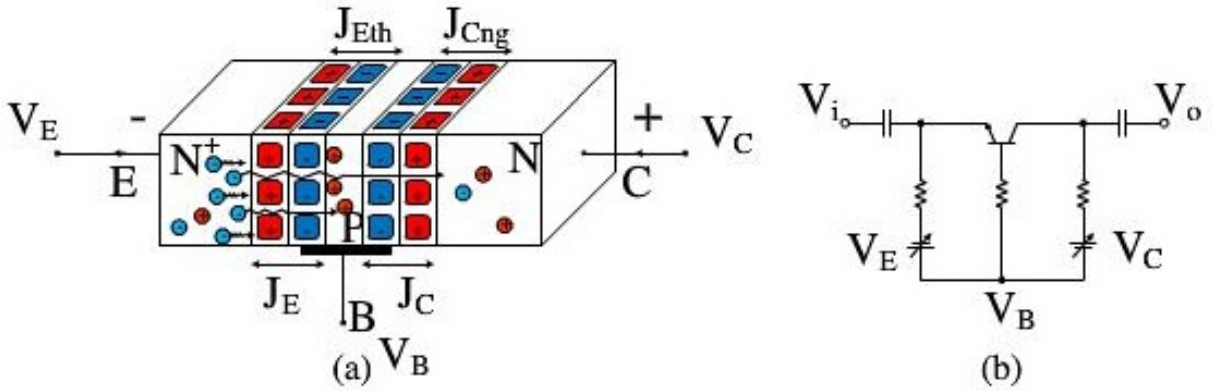
Hình 3.1. *Cấu trúc và kí hiệu transistor PN-P và N-PN.*

Các cực được ký hiệu bằng các kí tự E (Emitter- cực phát), C (Collector- cực thu) và B (Base- cực nền)

3.3. NGUYÊN LÝ HOẠT ĐỘNG CỦA TRANSISTOR

Có hai loại transistor là P^+-N-P và N^+-P-N, nên để giải thích hoạt động ta xét transistor loại N-P-N như sau:

Khi đặt ba phiến bán dẫn N^+-P-N vào sát nhau hình thành hai chuyển tiếp P-N. Chuyển tiếp P-N giữa miền phát E và miền nền B ta gọi là J_E và chuyển tiếp P-N giữa miền nền B và miền thu C là J_C (Hình 3.2a).



Hình 3.2.*Phân cực thuận cho chuyển tiếp P-N*

➢ **Khi V_B = 0V; V_E < 0V; V_C > 0V:**

Chuyển tiếp J_E được phân cực thuận và J_C được phân cực nghịch. Các hạt dẫn đa số là electron tại cực phát sẽ chuyển động thác lũ do bị đẩy từ điện cực E và bị hút bởi điện cực C truyền qua J_E đang phân cực thuận sang miền nền B. Tại đây, một ít hạt electron trung hòa với các hạt đa số ở miền nền (lỗ trống). Do miền nền có diện tích rất bé nên phần lớn e bị hút về cực C điện cực dương mặc dù phải xuyên qua hàng rào tiếp xúc phân cực nghịch J_C tạo dòng I_C mạch ngoài lớn tạo bởi các hạt electron.

Ta gọi α là hệ số truyền đạt có tỷ lệ như sau:

$$\alpha = \frac{\text{Tổng số hạt phát ra từ cực E}}{\text{Số hạt đến cực C}} \approx 0{,}995 \div 1 \qquad (3.1)$$

Ta có: $I_C = \alpha I_E + I_{CEO}$ (3.2)

Theo định luật bảo toàn năng lượng

$$I_E = I_C + I_B \qquad (3.3)$$

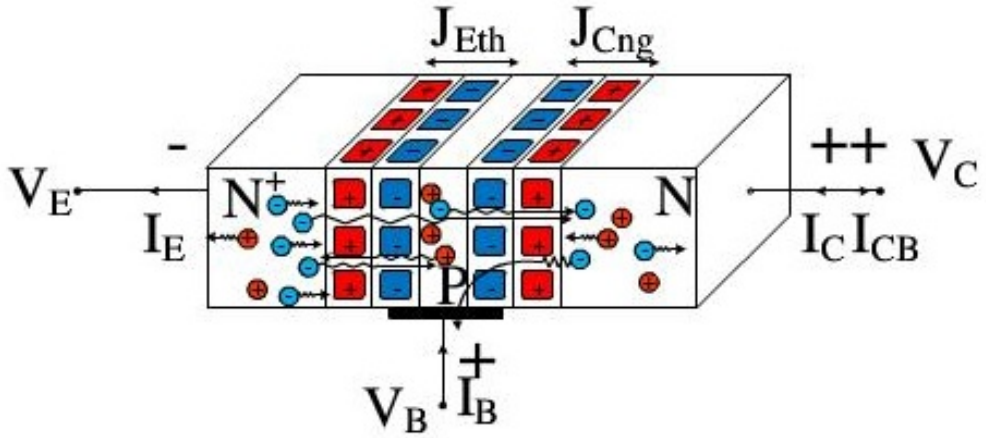
Hệ số khuếch đại dòng $\beta = \frac{\alpha}{1-\alpha} >> 1$

$$I_C = \beta I_B + I_{CBO} \qquad (3.4)$$

Trong đó: I_{CEO} và I_{CBO} là các dòng điện rò do các hạt dẫn thiểu số tạo thành, các dòng rò này có giá trị khoảng vài nA đến vài μA.

Khi có dòng I_C tức là transistor dẫn điện tương ứng với J_E phân cực thuận và J_C phân cực nghịch ta nói BJT ở trạng thái dẫn.

➢ **Khi $V_B \geq 0V$; $V_E < 0V$; $V_C > 0V$ (J_E và J_C cùng phân cực thuận)**



Hình 3.3.

Từ miền phát các hạt đa số vẫn bị hút về cực C đồng thời điện trường tăng làm phá vỡ các liên kết cộng hóa trị tiếp tục hình thành điện tử và lỗ trống mới. J_E và J_C phân cực thuận làm dòng tăng nhanh, I_C đạt giá trị cực đại, ta nói transistor ở chế độ bão hòa (chế độ dẫn mạnh).

➢ **Khi $V_E \geq 0V$; $V_C > 0V$**

Do J_E phân cực nghịch nên miền cực phát không phát ra hạt dẫn. J_C phân cực thuận các hạt thiểu số ở miền nền chuyển động tạo dòng I_C rất bé $I_{Cmin} \approx 0$, dòng này ngược lại với dòng I_C khi BJT dẫn, ta nói transistor đang ở trạng thái ngắt.

Ta có kết luận về các trạng thái của BJT như sau:

1. Trạng thái dẫn khi J_{Eth} và J_{Cng}, $I_C \neq 0$; $I_E = I_C + I_B$

Ở trạng thái này, khi đặt nguồn xoay chiều v(t) có biên độ A và tần số f_O vào cực phát $v(t) = A\sin(2\pi f_o t+\varphi)$ thì tại cực C ta nhận được tín hiệu xoay chiều $V_o(t) = A_1\sin(2\pi f_o t+\varphi)$ có biên độ lớn hơn rất nhiều lần biên độ ngõ vào $A_1 >> A$. Tín hiệu ngõ ra có cùng tần số với tín hiệu ngõ vào ta kết luận BJT có khả năng khuếch đại tín hiệu ở trạng thái dẫn. Các biểu thức quan hệ như sau:

$$I_E = I_C + I_B \qquad (3.5)$$

$$\beta >> 1 \text{ thì } I_{CBO} \approx 0 \qquad (3.6)$$

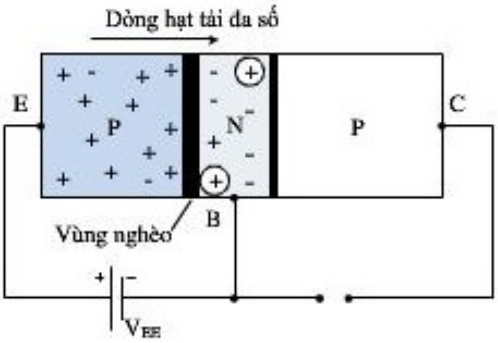
nên $I_C = \beta I_B + I_{CBO} \approx \beta I_B$ (3.7)

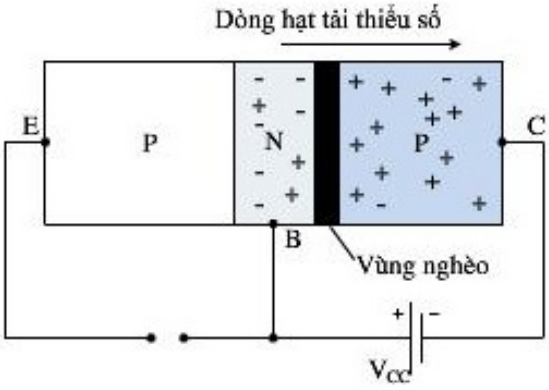
$I_E = (\beta+1)\, I_B \approx I_C$ (3.8)

2. Trạng thái bão hòa khi J_{Eth} và J_{Cth}, $I_C = I_{Cmax}$ do hai dòng thuận của hai tiếp giáp tạo ra. Ở trạng thái này, BJT có khả năng dẫn điện cực lớn và sụt áp trên cực C và E là nhỏ nhất có giá trị khoảng 0,1V (gọi là điện áp bão hòa V_{CEsat}). BJT được coi như là nguồn điện và không có khả năng khuếch đại tín hiệu.

3. Trạng thái ngắt khi JEng và JCth, dòng chạy trong BJT là dòng thuận của chuyển tiếp P-N ở tại cực nền và cự thu có giá trị rất nhỏ và ngược chiều với IC lúc đang dẫn, ta nói IC = ICmin ≈ 0, trạng thái này là trạng thái không dẫn và không khuếch đại tín hiệu xoay chiều.

Hoạt động của transistor loại P-N-P:





Hình 3.4. *Phân cực thuận mối nối BE.* ***Hình 3.5.*** *Phân cực nghịch mối nối BC.*

Trong hình 3.4, transistor P-N-P không có điện áp phân cực mối nối CB, chỉ có mối nối BE được phân cực thuận bởi nguồn điện áp V_{EE} và nó hoạt động giống như chuyển tiếp P -N đã nói ở chương 2. Vùng nghèo giảm độ rộng của hàng rào điện thế và các hạt tải đa số chuyển động mạnh từ miền phát sang miền nền khi chuyển tiếp miền phát phân cực thuận. Tại miền nền, các lỗ trống theo lực hấp dẫn của cực thu C xuyên qua hàng rào điện thế (đang phân cực ngược của miền nền và miền thu) đến cực C tạo thành dòng cực C.

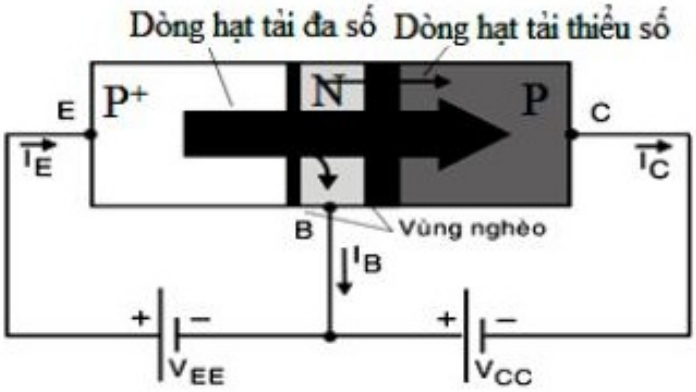
Áp dụng định luật Kirchhoff ta có:

$$I_E = I_C + I_B \qquad (3.9)$$

Trong đó dòng I_C được xem là tổng của hai dòng: dòng của các hạt tải đa số $I_{C\ majority}$ (nếu nói từ vùng E) và dòng của các hạt tải thiểu số kí hiệu là $I_{CO\ minority}$ (dòng I_C khi mối nối BE hở mạch):

$$I_C = I_{Cmajority} + I_{COminority} \qquad (3.10)$$

Đối với các transistor thông dụng, dòng I_C đo được vào khoảng mA trong khi dòng I_{CO} có giá trị rất nhỏ nằm trong khoảng từ nA đến μA. I_{CO} giống như dòng I_S của diode khi phân cực ngược thay đổi lớn dưới tác động của nhiệt độ môi trường, do đó khi khảo sát cần phải tính đến sự thay đổi này trong thực tế.

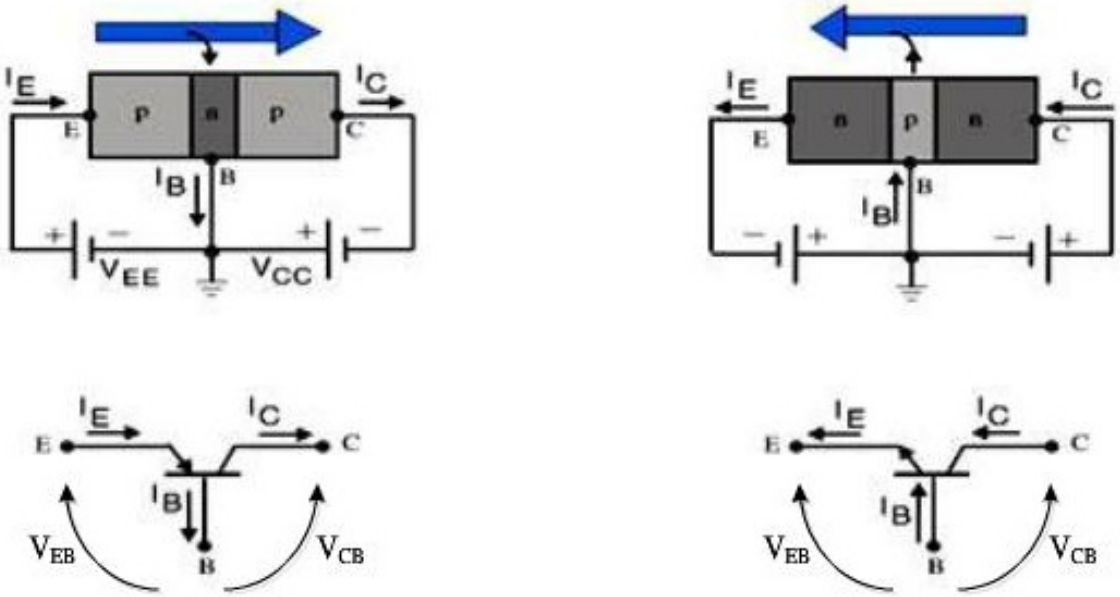


Hình 3.6. *Chiều các hạt tải đa số và thiểu số trong transistor P-N-P.*

3.4. ĐẶC TUYẾN VOLT - AMPE

3.4.1. Mạch cực B chung – CB (Common Base)

Mô hình mạch mắc B chung cho cả hai BJT P-N-P và N-P-N được trình bày ở hình 3.7. Mạch mắc B chung là mạch có dòng ngõ vào I_E và điện áp ngõ vào là V_{EB}, điện áp ngõ ra và dòng ngõ ra là I_C và V_{CB}.

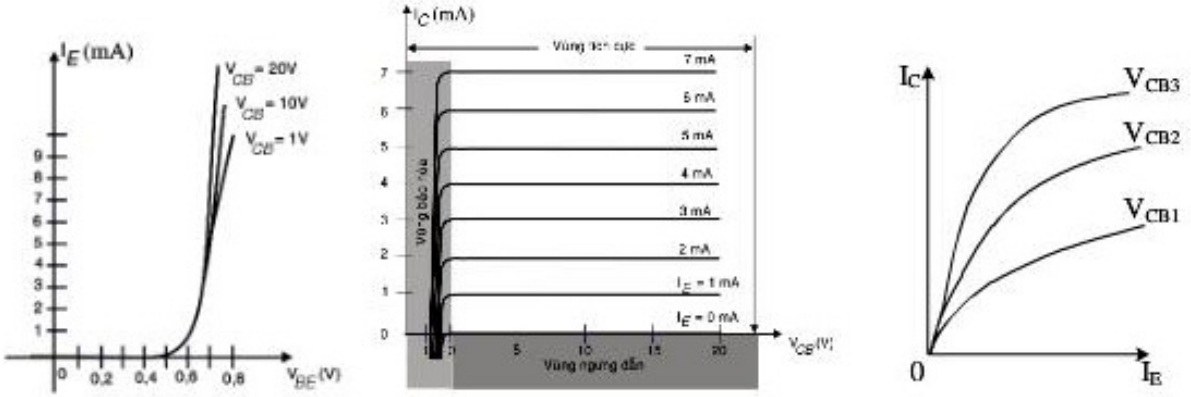


Hình 3.7. *Mạch mắc B chung cho BJT PNP và NPN.*

a. Họ đặc tuyến ngõ vào của mạch khuếch đại cực B chung: được trình bày trên hình 3.8a diễn tả sự liên hệ giữa dòng điện ngõ vào I_E với điện áp ngõ vào V_{BE} tương ứng với các điện áp ra khác nhau của V_{CB}.

$$I_E = f(V_{BE})\Big|_{V_{CB}=const} \qquad (3.11)$$

Trong họ đặc tuyến ngõ vào hình 3.8a với điện áp V_{CB} cố định thì khi điện áp V_{BE} tăng thì dòng điện I_E cũng tăng và đặc tuyến của nó giống như diode.



a. b. c.

Hình 3.8. *a. Họ đặc tuyến ngõ vào của mạch khuếch đại cực B chung;*

b. Họ đặc tuyến ngõ ra của mạch khuếch đại cực B chung;

c. Đặc tuyến truyền đạt

b. Họ đặc tuyến ngõ ra của mạch mắc B chung: diễn tả sự liên hệ giữa dòng điện ra I_C với điện áp ra V_{CB}, với các tham số dòng điện ngõ vào I_E khác nhau được trình bày ở hình 3.8b.

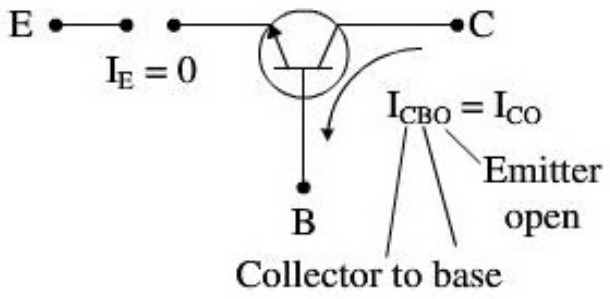
Đặc tuyến ra chia thành ba vùng: vùng tích cực (active), vùng ngưng dẫn (cutoff) và vùng bão hòa (saturation).

Vùng tích cực thường được sử dụng trong các mạch khuếch đại tuyến tính. Trong vùng tích cực mối nối CB phân cực ngược và mối nối BE phân cực thuận.

Trên họ đặc tuyến ra hình 3.8b, ở vùng tích cực, dòng điện I_C tăng gần bằng dòng điện I_E:

$$I_C \cong I_E \qquad (3.12)$$

Trong vùng ngưng dẫn, dòng $I_E = 0$ và dòng điện cực C được xem như phụ thuộc vào dòng bão hòa ngược I_{CO} có giá trị rất nhỏ khoảng vài μA và xem như dòng $I_C = 0$, mạch điện được vẽ lại như hình 3.9.



Hình 3.9. *Khi dòng $I_E = 0$.*

Trong vùng ngưng dẫn cả hai mối nối CB và BE đều phân cực ngược.

Trong vùng bão hòa điện áp V_{CB} gần bằng 0V (bằng điện áp V_{Sat}).

Trong vùng bão hòa cả hai mối nối CB và BE đều phân cực thuận.

Qua khảo sát đặc tuyến ta thấy để transistor làm việc ở vùng khuếch đại thì điện áp phân cực mối nối BE:

$$V_{BE} = 0{,}7V \qquad (3.13)$$

Dòng điện I_C và I_E phụ thuộc vào các hạt tải đa số có mối liên hệ với nhau bởi hệ số alpha hay còn gọi là hệ số truyền đạt và được xác định bởi phương trình:

$$\alpha_{dc} = \frac{I_{Cmajority}}{I_E} \cong \frac{I_C}{I_E} \qquad (3.14)$$

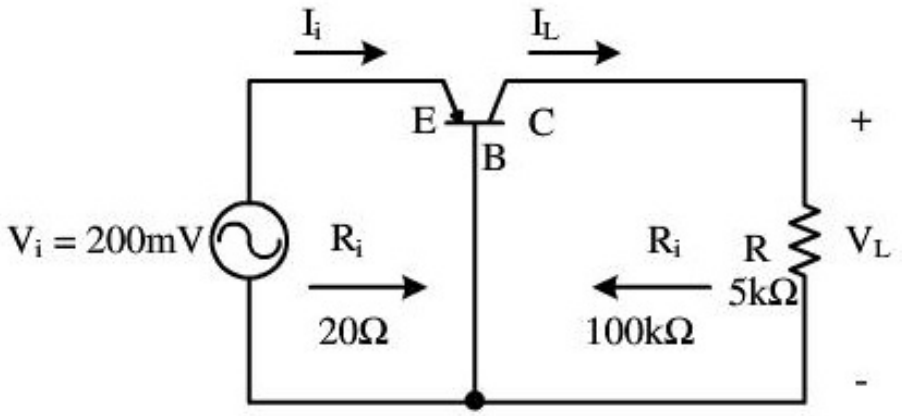
Trong đó I_E và I_C là các dòng điện tại điểm làm việc. Đối với các linh kiện thực tế thì hệ số alpha nằm trong khoảng từ 0,9 đến 0,998. Hệ số alpha DC hay có thể gọi là alpha (α), khi đó phương trình (3.10) được viết lại như sau:

$$I_C = \alpha I_E + I_{CBO} \qquad (3.15)$$

Đối với trường hợp tín hiệu ac điểm làm việc di chuyển trên đường cong đặc tính khi đó hệ số alpha ac được xác định với V_{CB} = hằng số như sau:

$$\alpha_{ac} = \frac{\Delta I_C}{\Delta I_E} \qquad (3.16)$$

Mối quan hệ giữa dòng I_C và I_E đã được thiết lập ở trên, hoạt động khuếch đại của transistor có thể trình bày bằng mạch điện hình 3.10. Điện áp phân cực không xuất hiện trong cấu hình này vì chúng ta chỉ quan tâm đến đáp ứng của tín hiệu ac.



Hình 3.10. *Hoạt động khuếch đại điện áp của mạch B chung.*

Điện trở ngõ vào của mạch khi có nguồn xoay chiều được xác định trên đường cong của họ đặc tuyến ngõ vào (Hình 3.8.a) có giá trị rất nhỏ nằm trong khoảng từ 10 đến 100Ω.

Điện trở ngõ ra được xác định bởi đường cong đặc tính hình 3.8.b có giá trị nằm trong khoảng từ 50 kΩ đến 1MΩ.

c. Họ đặc tuyến truyền đạt của mạch mắc B chung: hình 3.8.c mô tả sự lệ thuộc của dòng ngõ ra I_C vào dòng ngõ vào khi điện áp ra cố định.

Họ đặc tuyến của mạch mắc B chung có thể sử dụng để xác định các thông số cơ bản của mạch khuếch đại khi sử dụng cách mắc này.

Ví dụ tính hệ số khuếch đại của một mạch sử dụng BJT mắc B chung ta có thể chọn điện trở ngõ vào bằng 20Ω và dòng điện vào được xác định:

$$I_i = \frac{V_i}{R_i} = \frac{200mV}{20\Omega} = 10mA$$

Nếu giả sử hệ số $\alpha_{ac} = 1$ ($I_E \cong I_C$), khi đó:

$$V_L = I_L R = (10mA) \times (5k\Omega) = 50V$$

Và $\quad I_L = I_i = 10mA$

Khi đó hệ số khuếch đại điện áp là

$$A_v = \frac{V_L}{V_i} = \frac{50V}{200mV} = 250$$

Hệ số khuếch đại điện áp của mạch cực B chung thường nằm trong khoảng từ 50 đến 300. Hệ số khuếch đại dòng điện (I_C/I_E) luôn luôn nhỏ hơn 1.

Ví dụ 3.1

a Sử dụng đặc tuyến như hình 3.8b, Xác định dòng cực thu I_C nếu I_E=3mA và điện áp V_{CB}=10V.

b Xác định dòng cực thu I_C nếu dòng điện I_E vẫn duy trì 3mA, nhưng điện áp V_{CB} giảm xuống còn 2V.

c Sử dụng đặc tuyến như hình 3.8a và 3.8b, xác định điện áp V_{BE} nếu I_E=4mA và điện áp V_{CB}=10V.

Giải:

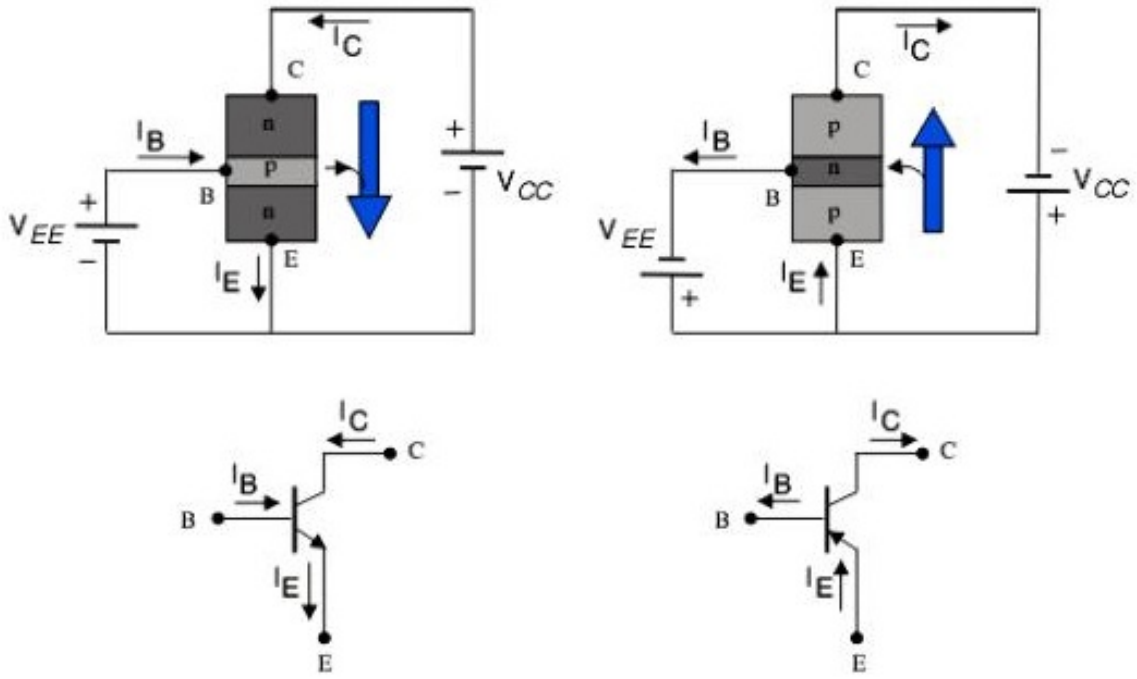
a) Từ đặc tuyến, ta có: $I_C \approx I_E$=3mA

b) Ảnh hưởng của điện áp V_{CB} có thể bỏ qua nên dòng I_C vẫn duy trì ở3mA

c) Từ hình 3.8b, ta có: $I_C \approx I_E$=4mA, trên hình 3.8a, ta xác định được điện áp V_{BE} là 0.74V

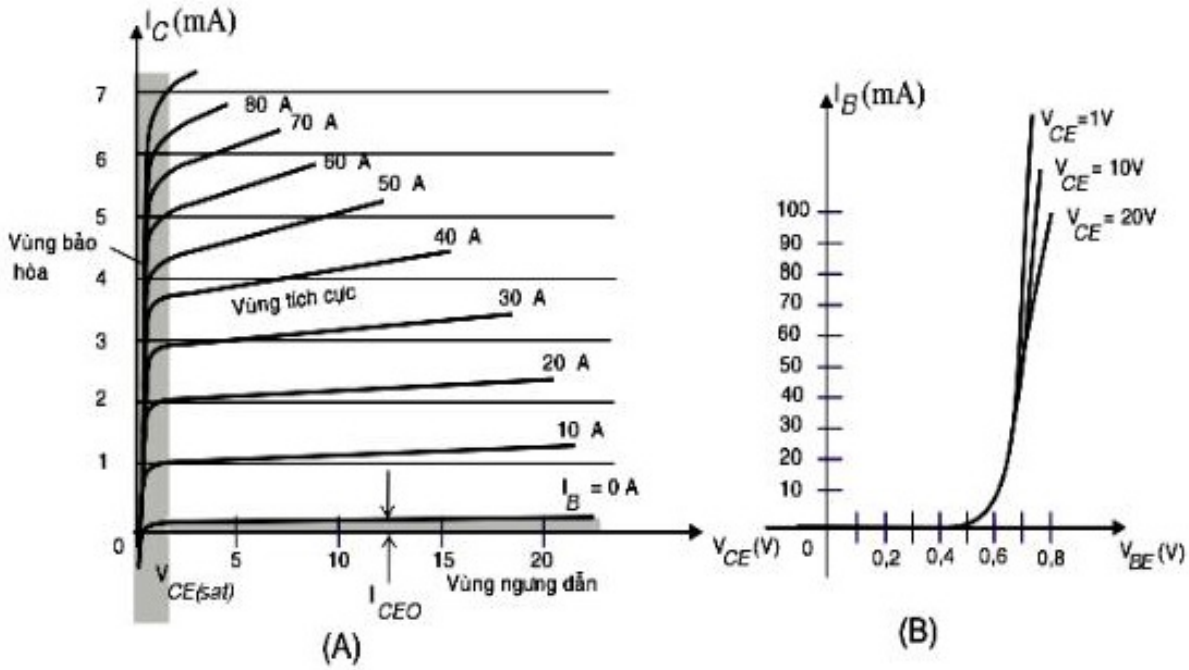
3.4.2. Mạch cực E chung – CE (Common Emitter)

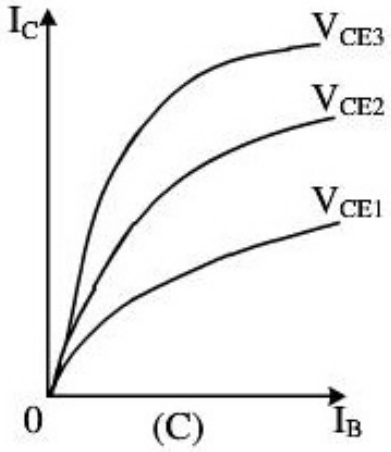
Mạch cực E chung có dạng như hình 3.11 đối với cả hai transistor PNP và NPN. Mạch có dòng vào và điện áp vào là I_B, V_{BE}, dòng ra và điện áp ra I_C, V_{CE}.



Hình 3.11. *Mạch khuếch đại mắc cực E chung.*

Họ đặc tuyến vào và đặc tuyến ra mạch E chung được trình bày ở hình 3.12.





Hình 3.12. *Mạch mắc CE a. đặc tuyến ngõ ra; b. đặc tuyến ngõ vào; c. đặc tuyến truyền đạt*

Ta có: $I_E = I_C + I_B$ và $I_C = \alpha I_E$.

a. Đặc tuyến ngõ vào:

Đặc tuyến ngõ vào diễn tả mối quan hệ giữa dòng điện vào I_B và điện áp vào V_{BE} trong một dãy điện áp ra V_{CE} khác nhau.

Giá trị dòng điện I_B vào khoảng μA trong khi giá trị dòng điện I_C vào khoảng mA.

$$I_B = f(V_{BE})\Big|_{V_{CE}=const} \qquad (3.17)$$

b. Đặc tuyến ngõ ra:

Đặc tuyến ngõ ra mô tả mối quan hệ giữa dòng điện ra I_C và điện áp ra V_{CE} trong một dãy dòng điện ngõ vào I_B khác nhau.

$$I_C = f(V_{CE})\Big|_{I_B=const} \qquad (3.18)$$

c. Họ đặc tuyến truyền đạt:

$$I_C = f(I_B)\Big|_{V_{CE}=const} \qquad (3.19)$$

Trong vùng tích cực của mạch khuếch đại cực E chung, trên đặc tuyến ngõ ra ta có mối nối J_E và J_C phân cực thuận.

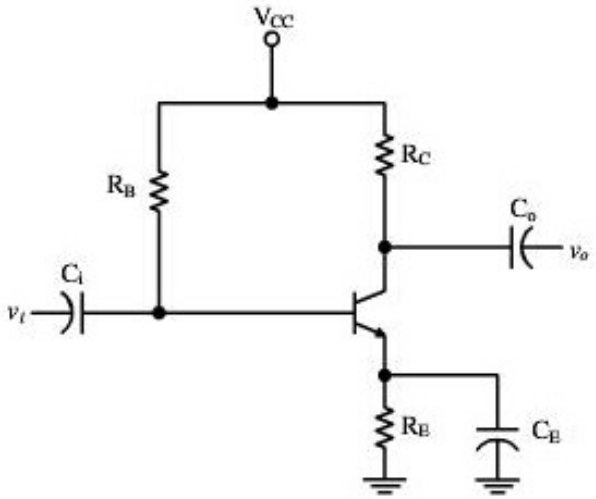
Ta có thể chứng minh được từ các phương trình (3.12) và (3.15) như sau:

$$I_C = \alpha I_E + I_{CBO}$$

Thay 3.9 vào, ta có: $I_C = \alpha(I_C + I_B) + I_{CBO}$

Suy ra dòng I_C: $$I_C = \frac{\alpha I_B}{1-\alpha} + \frac{I_{CBO}}{1-\alpha} \qquad (3.20)$$

Đặt: $$I_{CEO} = \frac{I_{CBO}}{1-\alpha}\Bigg|_{I_B=0} \qquad (3.21)$$



Hình 3.13. *Mạch khuếch đại dùng BJT NPN mắc CE*

Ta có I_C và I_B có mối liên hệ với nhau bởi hệ số β, hay còn gọi là hệ số khuếch đại dòng điện DC, và xác định bởi phương trình:

$$\beta_{dc} = \frac{I_C}{I_B} \qquad (3.22)$$

Trong đó, I_B và I_C là các dòng điện tại điểm làm việc trên các đường đặc tuyến. Đối với các linh kiện thực tế thì hệ số β nằm trong khoảng từ 50 đến 400. Nếu một BJT có hệ số β = 200 điều này có nghĩa là dòng điện I_C lớn gấp 200 lần dòng điện I_B.

Khi tra các thông số của transistor, hệ số β_{DC} thường được xem như là h_{FE}.

Đối với tín hiệu ac thì hệ số β_{ac} được xác định như sau:

$$\beta_{ac} = \frac{\Delta I_C}{\Delta I_B}\Big|_{V_{CE}=const} \qquad (3.23)$$

Khi tra các thông số của transistor thì hệ số β_{ac} chính là hệ số h_{fe}.

➢ ***Mối quan hệ giữa hệ số Alpha và Beta:***

Ta có $\quad I_E = I_C + I_B$

Từ phương trình (3.14) suy ra $I_E = \dfrac{I_C}{\alpha}$ và từ phương trình (3.22) ta suy ra:

$I_B = \dfrac{I_C}{\beta}$, thế vào phương trình trên được: $\quad \dfrac{1}{\alpha} = 1 + \dfrac{1}{\beta}$

Suy ra
$$\alpha = \frac{\beta}{\beta+1} \qquad (3.24a)$$

Hay
$$\beta = \frac{\alpha}{1-\alpha} \qquad (3.24b)$$

Từ hai phương trình trên, ta suy ra

$$\frac{1}{1-\alpha} = \beta + 1$$

Phương trình (3.21) được viết lại theo hệ số β như sau:

$$I_{CEO} = (\beta+1)I_{CBO} \cong \beta I_{CBO} \qquad (3.25)$$

Từ phương trình (3.22) suy ra

$$I_C = \beta I_B + I_{CEO} \cong \beta I_B \qquad (3.26)$$

Và:
$$I_E = I_C + I_B = \beta I_B + I_B = (\beta+1)I_B \qquad (3.27)$$

Ví dụ 3.2:

Sử dụng đặc tuyến hình 3.12

a) Tìm giá trị dòng I_c tương ứng với $V_{BE} = +700mV$ và $V_{CE} = +10V$

b) Tìm giá trị điện áp V_{CE} và V_{BE} tương ứng với Ic = +4mA và $I_B = +40\mu A$

***Giải*:**

a) Trên đặc tuyến ngõ vào, ứng với $V_{BE} = +700mV$ và $V_{CE} = +10V$, ta tìm được

$$I_B \approx 50\mu A$$

Trên đặc tuyến ngõ ra, ứng với $I_B = 50\mu A$ và $V_{CE} = 10V$, ta tìm được:

$$I_C \approx 5,1mA$$

b) Trên đặc tuyến ngõ ra, ứng với Ic = +4mA và $I_B = +40\mu A$, ta tìm được

$$V_{CE} = +6,2V$$

Trên đặc tuyến ngõ vào, ứng với các $I_B = +40\mu A$ và $V_{CE} = +6,2V$, ta tìm được

$$V_{BE} \approx 670mV$$

Ví dụ 3.3

a) Xác định hệ số β_{dc} tại điểm làm việc có $V_{CE} = +10V$ và $I_c = 3mA$ trên đặc tuyến hình 3.

b) Tìm giá trị α tương ứng với điểm làm việc này

c) Tại $V_{CE} = 10V$, tìm giá trị dòng điện rò I_{CEO} tương ứng.

d) Tính giá trị gần đúng dòng rò I_{CBO} sử dụng hệ số β tìm được ở câu a.

***Giải*:**

a) Tại $V_{CE} = 10V$ và $I_C = +3mA$, $I_B = +25\mu A$, ta có:

$$\beta_{dc} = \frac{I_C}{I_B} = \frac{3.10^{-3}}{25.10^{-6}} = 120$$

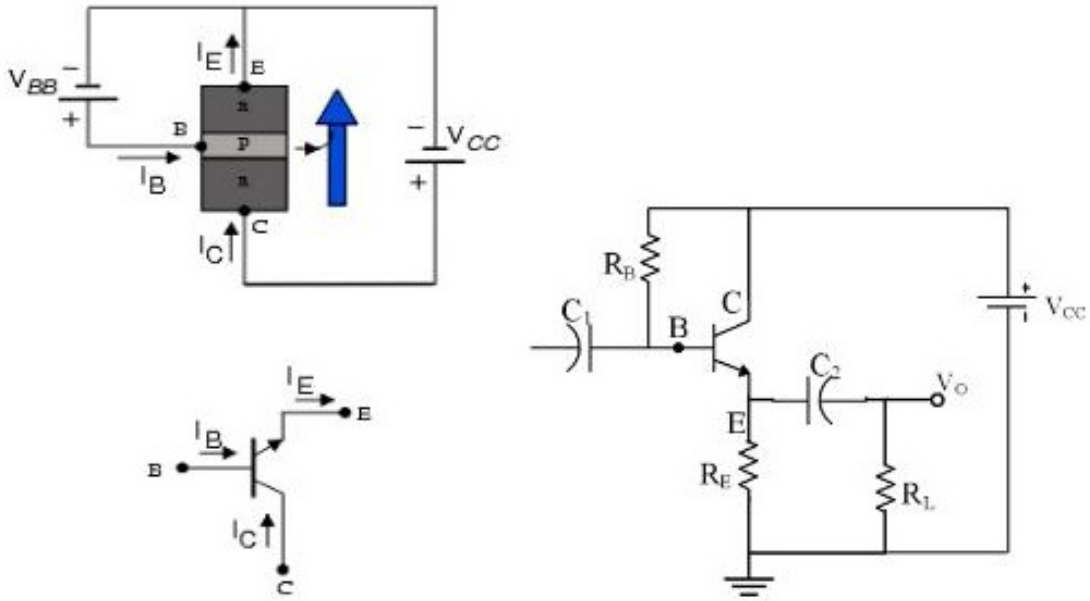
b) $$\alpha = \frac{\beta}{\beta+1} = \frac{120}{120+1} = 0,992$$

c) $I_{CEO} = 0,3mA$ tại $V_{CE} = 10V$ và $I_B = 0\mu A$

d) $$I_{CBO} \approx \frac{I_{CEO}}{\beta} = \frac{0,3mA}{120} = 2,5\mu A$$

3.4.3. Mạch cực C chung – CC (Common Collector)

Mạch C chung được trình bày như hình 3.14.



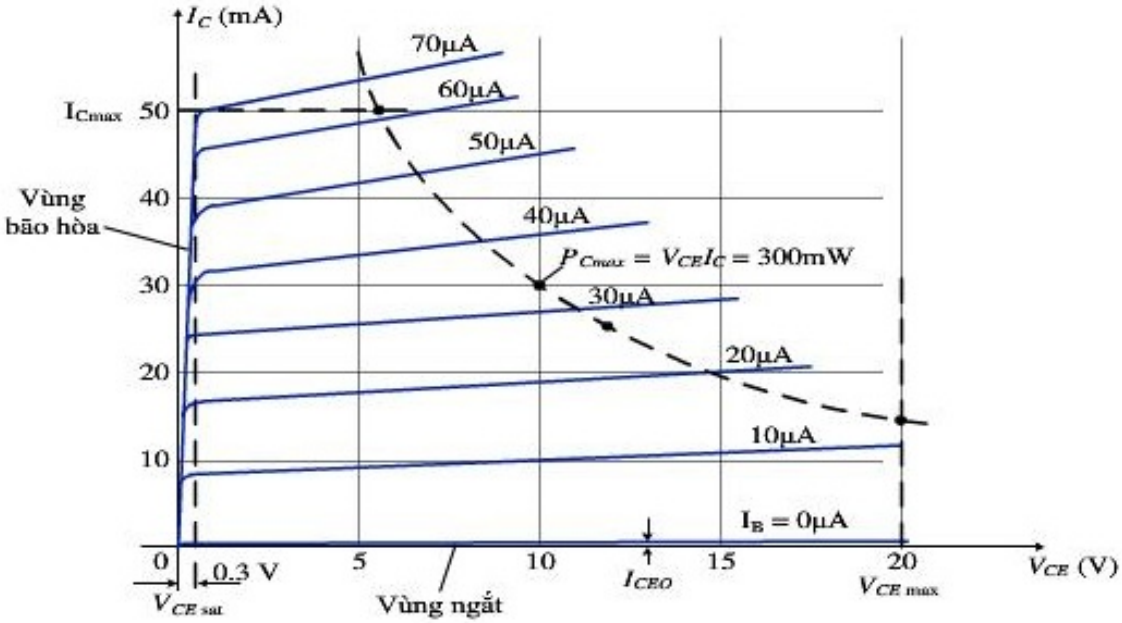
a. *b.*

Hình 3.14. *Mạch mắc cực C chung (CC)*

Các đặc tuyến ngõ ra, ngõ vào và truyền đạt của mạch được sử dụng như mạch E chung.

3.5. CÁC THÔNG SỐ GIỚI HẠN CỦA BJT

Trên đặc tuyến ngõ ra của BJT có vùng giới hạn P_{Cmax}. Điểm làm việc của mạch có thể nằm trong vùng khuếch đại và dưới vùng giới hạn.



Hình 3.15. *Đặc tuyến ngõ ra của BJT N-P-N và các vùng giới hạn của nó.*

Vùng giới hạn có dòng điện I_C cực đại và điện áp giữa 2 cực C và E (thường ký hiệu là V_{CE}) là điện áp bão hòa V_{CEsat} thường có giá trị từ 0,1V đến 0,2V (Saturation).

Công suất tiêu tán cực đại được xác định bởi phương trình:

$$P_{C\max} = V_{CE} I_C \qquad (3.28)$$

Đối với transistor NPN C1815 ở hình 3.15 thì công suất tiêu tán là:

$$P_{C\max} = V_{CE} I_C = 10 \times 30 = 300mW$$

Trong hình 3.15, tại bất kỳ điểm nào trên đường đặc tuyến đều có công suất tiêu tán là 300mW.

Nếu ta chọn I_C = 50mA thì ta sẽ suy ra được điện áp V_{CE} = 6V và nếu ta chọn điện áp V_{CE} = 20V thì dòng I_C = 15mA. Nếu ta chọn dòng điện I_C nằm chính giữa là 25mA thì điện áp V_{CE} = 12V.

Vùng ngưng dẫn được xác định bên dưới dòng điện $I_C = I_{CEO}$.

Khi phân cực cho BJT ở vùng khuếch đại, tín hiệu được khuếch đại ít méo khi thỏa mãn điều kiện của các phương trình 3.29.

$$\begin{aligned} &I_{CEO} \le I_C \le I_{C\max} \\ &V_{CEsat} \le V_{CE} \le V_{CE\max} \qquad (3.29) \\ &V_{CE} I_C \le P_{C\max} \end{aligned}$$

Các mạch khuếch đại E chung và C chung có công suất tiêu tán $P_{Cmax} = I_C.V_{CE}$ trên cực C bởi phương trình 3.30.

$$P_{C\max} = V_{CB} I_C \qquad (3.30)$$

3.6. BÀI TẬP

3.6.1. Tên của hai loại transistor BJT? Mô tả mỗi loại và chỉ ra loại hạt dẫn đa số và hạt dẫn thiểu số trong mỗi lớp bán dẫn. Ký hiệu của mỗi loại transistor.

3.6.2. Khác biệt giữa một linh kiện lưỡng cực (bipolar) và một linh kiện đơn cực (unipolar) là gì?

3.6.3. Làm thế nào để phân cực cho hai chuyển tiếp của transistor cho các hoạt động thích hợp?

3.6.4. Nguồn gốc của dòng điện rò trong transistor?

3.6.5. Mô tả sự chuyển động của hạt dẫn như trong hình 3.4 phân cực thuận chuyển tiếp đối với transistor N-P-N.

3.6.6. Mô tả sự chuyển động của hạt dẫn như trong hình 3.5 đối với phân cực nghịch chuyển tiếp transistor N-P-N.

3.6.7. Mô tả sự chuyển động của hạt dẫn như trong hình 3.6 đối với dòng hạt đa số và thiểu số của transistor N-P-N.

3.6.8. Xác định sự thay đổi của dòng điện cực phát đối với sự thay đổi của dòng I_C 2mA và hệ số $\alpha = 0,98$.

3.6.9. Một transistor có dòng điện cực phát là 8mA và α là 0,99, dòng cực thu là bao nhiêu?

3.6.10. Tính độ lợi điện áp ($A_v = V_0/V_i$) đối với mạch hình 3.10 nếu điện trở nội của nguồn là 100Ω mắc nối tiếp với tín hiệu vào V_i.

3.6.11. Xác định điện trở ac trung bình đối với đặc tuyến hình 3.12b.

3.6.12. a) Sử dụng đặc tuyến ở hình 3.9, xác định dòng cực thu nếu I_E =4,5mA và $V_{CB} = 4V$

b) Lặp lại câu a đối với $I_E = 4,5mA$ và $V_{CB} = 16V$

c) Điện áp V_{CB} thay đổi ảnh hưởng đến dòng I_C như thế nào?

3.6.13. a) Sử dụng đặc tuyến hình 3.8, xác định I_C nếu $V_{CB} = 10V$ và $V_{BE} = 700mV$

b) Xác định V_{BE} nếu $I_C = 5mA$ và $V_{CB} = 10V$

3.6.14. a) Cho $\alpha_{DC} = 0,998$, xác định I_C nếu $I_E = 4mA$

b) Xác định α_{DC} nếu $I_E = 2,8mA$ và $I_B = 20\ \mu A$

c) Tìm I_E nếu $I_B = 40\ \mu A$ và $\alpha_{DC} = 0,98$.

3.6.15. Để ghi nhớ, vẽ ra cấu trúc transistor BJT cấu hình mạch B chung (cho loại N-P-N và P-N-P) và chỉ ra cực tính của nguồn phân cực và kết quả chiều dòng điện

3.6.16. Xác định dòng ICBO và ICEO có gì khác nhau? Sự liên quan giữa chúng?

3.6.17. Sử dụng đặc tuyến hình 3.11

a) Tìm giá trị I_C tương ứng với $V_{BE} = +750mV$ và $V_{CE} = +5V$

b) Tìm giá trị V_{CE} và V_{BE} tương ứng với $I_C = 3mA$ và $I_B = 30\ \mu A$

3.6.18. a) Đối với đặc tuyến mạch C_E hình 3.11, tìm β_{dc} tại điểm làm việc có $V_{CE} = 8V$ và $I_C = 2mA$

b) Tìm giá trị α tương ứng

c) Tại $V_{CE} = 8V$, tìm giá trị dòng I_{CEO} tương ứng.

d) Tính giá trị xấp xỉ dòng I_{CBO} sử dụng hệ số β_{DC} đạt được ở câu a.

3.6.19. a) Sử dụng đặc tuyến hình 3.11a, xác định I_{CEO} ở $V_{CE} = 10V$

b) Xác định β_{DC} ở IB = 10 μA và $V_{CE} = 10V$

c) Sử dụng β tìm được ở câu b, tính I_{CBO}

3.6.20. a) Sử dụng đặc tuyến hình 3.11a, xác định β_{DC} ở $I_B = 80$ μA và $V_{CE} = 5V$

b) Lặp lại câu a với IB = 5 μA và VCE = 15V

c) Lặp lại câu b với IB = 30 μA và VCE = 10V

d) Xem lại kết quả câu a đến c, giá trị βDC thay đổi từ điểm làm việc nào đến điểm làm việc nào trên đặc tuyến. Giá trị lớn nhất tìm thấy ở vị trí nào?

3.6.21. a) Sử dụng đặc tuyến hình 3.11a, xác định β_{ac} ở $I_B = 80$ μA và $V_{CE} = 5V$

b) Lặp lại câu a với $I_B = 5$ μA và $V_{CE} = 15V$

c) Lặp lại câu b với $I_B = 30$ μA và $V_{CE} = 10V$

d) Xem lại kết quả câu a đến c, giá trị β_{ac} thay đổi như thế nào?

3.6.22. Sử dụng đặc tuyến hình 3.11a, xác định β_{DC} ở $I_B = 25$ μA và $V_{CE} = 10V$. Tính α_{DC} và I_E. (Dùng công thức xác định $I_C = \beta_{DC}I_B$)

3.6.23. a) Cho $\alpha_{DC} = 0,987$, xác định giá trị β_{DC} tương ứng.

b) Cho $\beta_{DC} = 120$, xác định giá trị α_{DC} tương ứng.

c) Cho $\beta_{DC} = 180$, và $I_C = 2,0mA$, tìm I_E và I_B.

3.6.24. Vẽ cấu hình mạch CE (đối với transistor N-P-N và P-N-P), và đặt vào điện áp phân cực và phân tích kết quả chiều dòng điện I_B, I_C, I_E.

3.6.25. Xác định vùng hoạt động của transistor có đặc tuyến như hình 3.11 nếu $I_{Cmax} = 7mA$, $V_{CEmax} = 17V$ và $P_{Cmax} = 40mW$.

3.6.26. Xác định vùng hoạt động của transistor có đặc tuyến như hình 3.11nếu $I_{Cmax} = 6mA$, $V_{CBmax} = 15V$ và $P_{Cmax} = 40mW$.

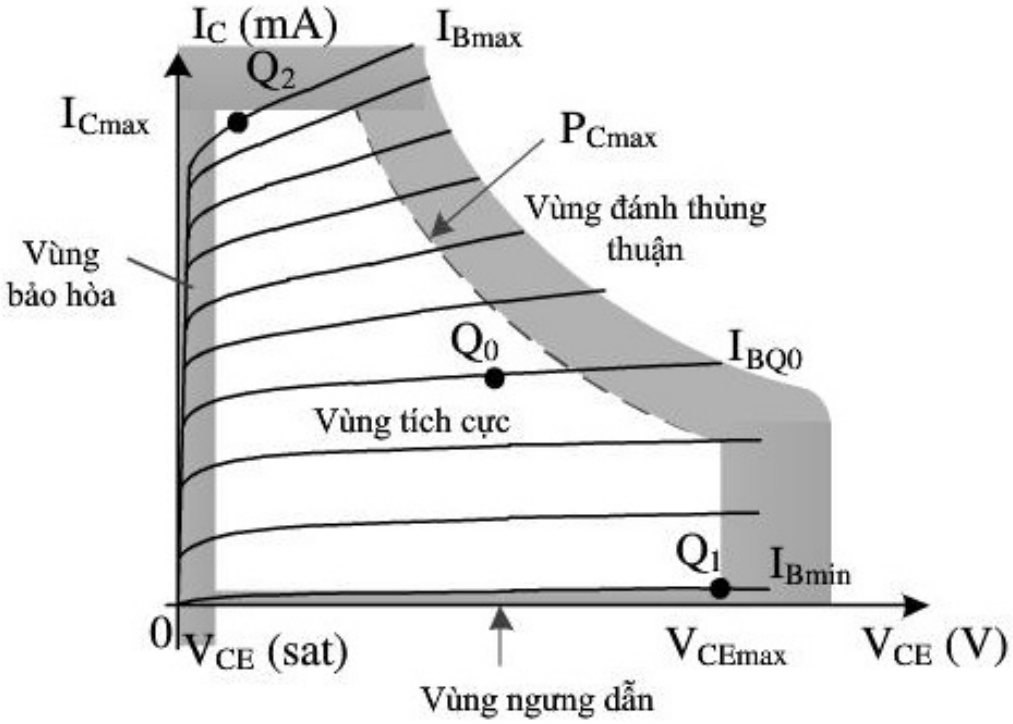
Chương 4
PHÂN CỰC CHO TRANSISTOR LƯỠNG CỰC BJT (BIPOLAR JUNCTION TRANSISTOR)

4.1. GIỚI THIỆU ĐIỂM LÀM VIỆC Q

Mạch phân cực cho transistor là mạch cung cấp năng lượng một chiều DC cho transistor (cho các chuyển tiếp J_E và J_C phân cực) để xác định các trạng thái làm việc của BJT. Để thiết kế một mạch điều khiển hay một mạch khuếch đại, ta phải thiết kế mạch phân cực chế độ tĩnh DC và chỉ khi BJT được phân cực ở một trong các chế độ xác định như chế độ ngắt, chế độ dẫn hoặc chế độ bão hòa, lúc đó mạch mới có thể hoàn thành chức năng tiếp theo là khuếch đại tín hiệu xoay chiều (hoạt động trong chế độ động ac (Alternating current)).

Đối với BJT, ta phải xác định vị trí *tĩnh điểm Q trên họ đặc tuyến ngõ ra*

Giả sử ta có đặc tuyến ngõ ra $I_C = f(V_{CE})\big|_{I_B=const}$ của mạch mắc EC



Hình 4.1. *Đặc tuyến ngõ ra của BJT.*

Như hình 4.1, ta có các vị trí của điểm Q tương đương với mạch được phân cực như sau:

1. Khi mạch được phân cực ở điểm Q_0: J_E phân cực thuận và J_C phân cực nghịch, ta có BJT được phân cực ở chế độ dẫn – chế độ khuếch đại. Điểm Q_0 thuộc vùng tích cực trên đồ thị họ đặc tuyến V-I của transistor BJT. Vùng hoạt động tích cực của transistor bị giới hạn bởi các tham số:

$$I_{Bmin} \leq I_{BQ} \leq I_{Bmax}$$

$$I_{CEO} \leq I_{CQ} \leq ICmax$$

$$V_{CEsat} \leq V_{CEQ} \leq V_{CEmax}$$

$$P_{CQ} = I_{CQ}.V_{CEQ} \leq P_{Cmax}$$

Các phương trình trong tính toán chế độ phân cực như sau:

$$V_{BE(Si)} = 0,7V;\ V_{BE(Ge)} = 0,3V;\ V_{CEsat} = 0,2V$$

$$I_E = I_C + I_B$$

$$I_C = \beta I_B + I_{CBO}$$

Chỉ ở điểm Q_o hoặc Q trong vùng tích cực thì transistor mới thực hiện được nhiệm vụ khuếch đại tín hiệu xoay chiều ac.

2. Khi mạch được phân cực ở điểm Q_2: J_E phân cực thuận và J_C phân cực thuận, BJT được phân cực ở trạng thái bão hòa. Trạng thái này, BJT được coi như một nguồn dòng điện.

$$I_{CQ2} = I_{Cmax}$$

$$V_{CEQ2} = V_{CEsat} = 0,2\ V \approx 0$$

$$P_{CEQ2} = I_{Cmax}.V_{CEsat} \approx 0$$

3. Điểm Q_1: J_E phân cực nghịch và J_C phân cực nghịch, mạch điện tử được phân cực ở trạng thái ngắt (Cut off). Trạng thái không dẫn.

$$I_{CQ1} = I_{Cmin} \approx 0$$

$$V_{CEQ1} = V_{CEmax}$$

$$P_{CEQ1} = I_{Cmin}.V_{CE}max \approx 0.$$

Chế độ phân cực DC của BJT thường bị phụ thuộc vào nhiệt độ tác động lên mạch, nhiệt độ của môi trường và nhiệt độ tích lũy trong linh kiện bán dẫn khi mạch làm việc trong thời gian dài. Do ảnh hưởng của nhiệt độ, điểm Q có thể bị thay đổi và chuyển dời vị trí từ vùng ngắt sang dẫn hoặc ngược lại hoặc từ vùng dẫn sang vùng bão hòa, nhiệt độ làm thay đổi các hệ số như β_{ac} và dòng điện I_{CEO}. Nhiệt độ càng tăng thì dòng điện I_{CEO} tăng làm thay đổi điểm làm việc Q. Do đó, các mạch điện phải thiết kế có sự ổn định

nhiệt độ, để khi có sự thay đổi nhiệt độ thì sự thay đổi của điểm làm việc là nhỏ nhất. Sự ổn định của điểm làm việc được chỉ định bởi hệ số ổn định S để xác định mức độ thay đổi điểm làm việc phụ thuộc vào sự thay đổi của nhiệt độ.

4.2. ĐỘ ỔN ĐỊNH CỦA MẠCH

Các yếu tố gây bất ổn định điểm làm việc Q đó là: điện áp nguồn cung cấp, nhiệt độ… Ở đây, ta chỉ xét đến yếu tố nhiệt độ vì nó liên quan đến vấn đề phân cực cho transistor . Khi nhiệt độ thay đổi sẽ ảnh hưởng đến các thông số của transistor, thể hiện bởi các tham số sau:

– Dòng rỉ: $$I_{CBO}(T_2) = I_{CBO}(T_1)2^{\frac{T_2-T_1}{\Delta T^*}} \qquad (4.1)$$

Trong đó, ΔT^* là độ biến thiên nhiệt độ làm dòng điện bão hòa ngược tăng gấp đôi thường bằng 10°C.

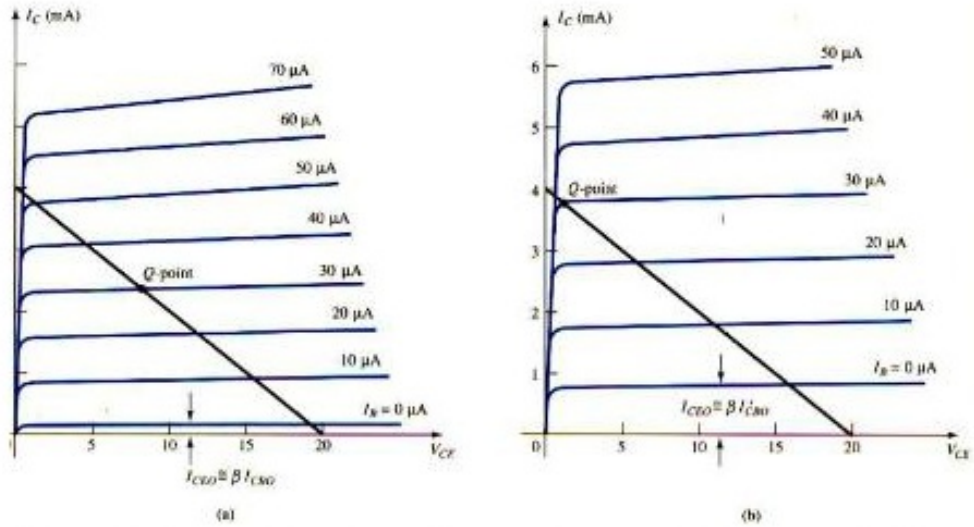
– Hệ số truyền đạt dòng điện:

$$\beta_{T_2} = \beta_{T_1}(1 + \frac{T_2 - T_1}{75}) \qquad (4.2)$$

– Điện áp V_{BE} ứng với I_B = const:

$$\Delta V_{BE} = -(2 \div 2{,}5) mV/^o C \qquad (4.3)$$

Vậy khi nhiệt độ làm việc của transistor bị thay đổi làm các thông số trên của transistor thay đổi theo kết quả là điểm làm việc Q bị dịch chuyển trên đặc tuyến ngõ ra hình 4.2.



Hình 4.2. *Điểm làm việc Q bị dịch chuyển khi nhiệt độ thay đổi a. 25°C, b. 100°C.*

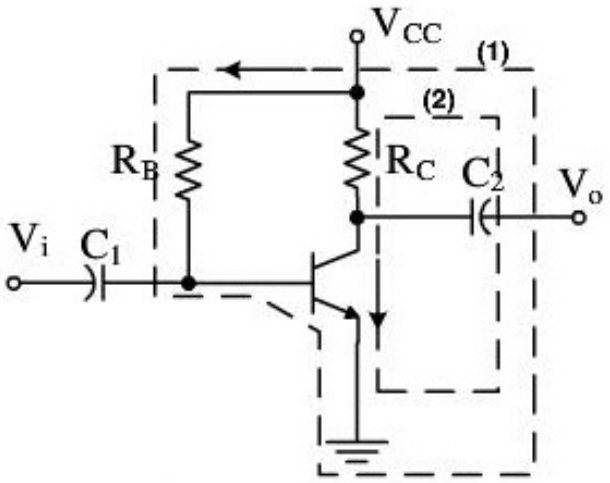
Tiêu chuẩn đánh giá sự bất ổn định của mạch theo nhiệt độ là S, các hệ số bất ổn định là:

$$S(I_{CBO}) = \frac{\Delta I_C}{\Delta I_{CBO}} \quad (4.4)$$

$$S(V_{BE}) = \frac{\Delta I_C}{\Delta V_{BE}} \quad (4.5)$$

$$S(\beta) = \frac{\Delta I_C}{\Delta \beta} \quad (4.6)$$

Xét sự bất ổn định nhiệt của mạch hình 4.3:



Hình 4.3. *Sơ đồ mạch khuếch đại ổn định cực E.*

Giải:

Xét mạch vòng (1) hình 4.3 ta có: $V_{CC} = I_B R_B + V_{BE} + I_E R_E$ (4.7)

$$I_C = \alpha I_E + I_{CBO}$$

hay $$I_E = \frac{I_C + I_{CBO}}{\alpha}$$; I_{CEO}: dòng rò rỉ (4.8)

Và: $$I_B = I_E - I_C = \frac{I_C - I_{CBO}}{\alpha} - I_C \quad (4.9)$$

Thay công thức (4.8) và (4.9) vào (4.7):

$$V_{CC} = \left(\frac{I_C - I_{CBO}}{\alpha} - I_C\right)R_B + V_{BE} + \left(\frac{I_C + I_{CBO}}{\alpha}\right)R_E$$

$$= I_C \times \left[\frac{(1-\alpha)R_B + R_E}{\alpha}\right] + V_{BE} + \frac{I_{CBO}}{\alpha}(R_E - R_B)$$

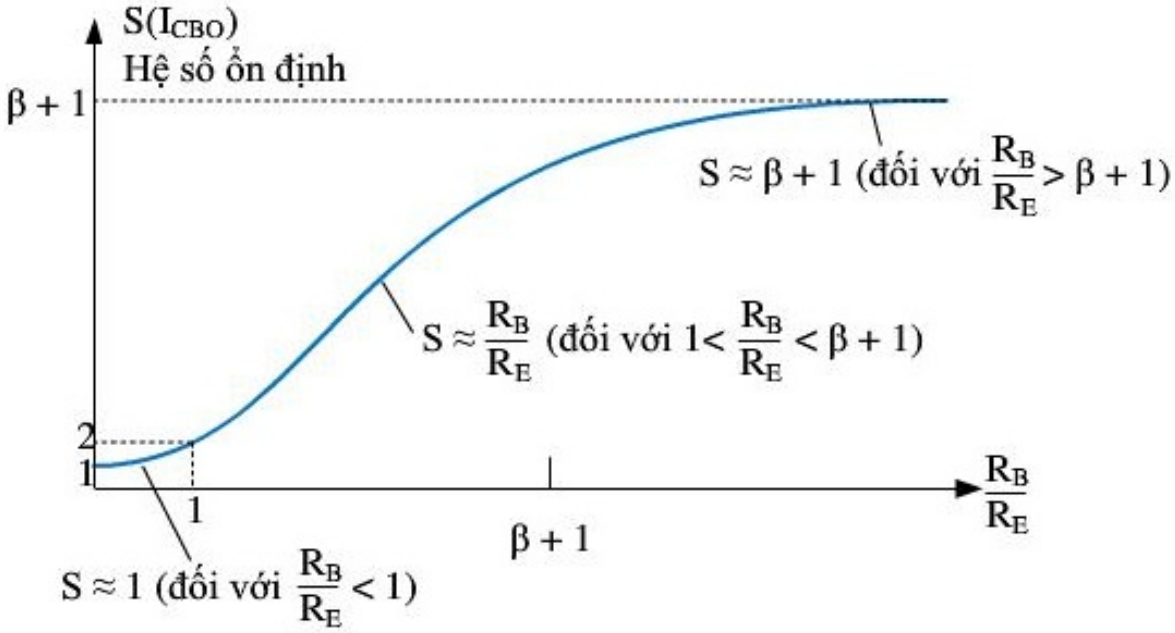
Suy ra: $I_C = \alpha\dfrac{(V_{CC} - V_{BE})}{R_E + R_B(1-\alpha)} + \dfrac{R_E + R_B}{R_E + R_B(1-\alpha)}I_{CBO}$

Thay $\alpha = \dfrac{\beta}{\beta+1}$ vào biểu thức trên:

$$I_C = \beta\frac{(V_{CC} - V_{BE})}{R_B + (\beta+1)R_E} + (\beta+1)\frac{R_E + R_B}{R_B + (\beta+1)R_E}I_{CBO} \qquad (4.10)$$

Từ công thức (4.10), ta có: $S(I_{CBO}) = (\beta+1)\dfrac{R_E + R_B}{R_B + (\beta+1)R_E}$

Hay $$S(I_{CBO}) = (\beta+1)\frac{1 + \dfrac{R_B}{R_E}}{(\beta+1) + \dfrac{R_B}{R_E}} \qquad (4.11)$$



Hình 4.4. *Đồ thị của $S(I_{CO})$ theo R_B/R_E*

Nếu $\dfrac{R_B}{R_E} \gg (\beta+1)$ thì ta có $S(I_{CBO}) \cong (\beta+1)$

Nếu $1 < \frac{R_B}{R_E} < (\beta + 1)$ thì ta có $S(I_{CBO}) = \frac{R_B}{R_E}$

Nếu $\frac{R_B}{R_E} << 1$ thì ta có $S(I_{CBO}) -> 1$

Và cũng từ công thức (4.10), ta có:

$$S(V_{BE}) = -\beta \frac{1}{R_B + (\beta + 1)R_E} \quad (4.12)$$

Và:

$$S(\beta) = \frac{I_C(1 + R_B/R_E)}{\beta_1(1 + \beta_2 + R_B/R_E)} \quad (4.13)$$

Từ công thức (4.10), (4.11), (4.12) ta thấy các hệ số bất ổn định nhiệt này có giá trị biên độ lớn nhất khi $\frac{R_B}{R_E} \gg (\beta + 1)$ khi R_E có giá trị nhỏ và R_B có giá trị càng lớn. Vậy R_E đóng vai trò ổn định nhiệt cho mạch.

Tóm lại, sự thay đổi của dòng I_C theo các thông số của transistor khi nhiệt độ thay đổi là:

$$\Delta I_C = S(I_{CBO})\Delta I_{CBO} + S(V_{BE})\Delta V_{BE} + S(\beta)\Delta\beta \quad (4.14)$$

Để thiết kế mạch hoạt động ổn định, người ta thường chọn như sau:

$$V_E = (\frac{1}{10} \rightarrow \frac{1}{5})V_{CC} \quad (4.15)$$

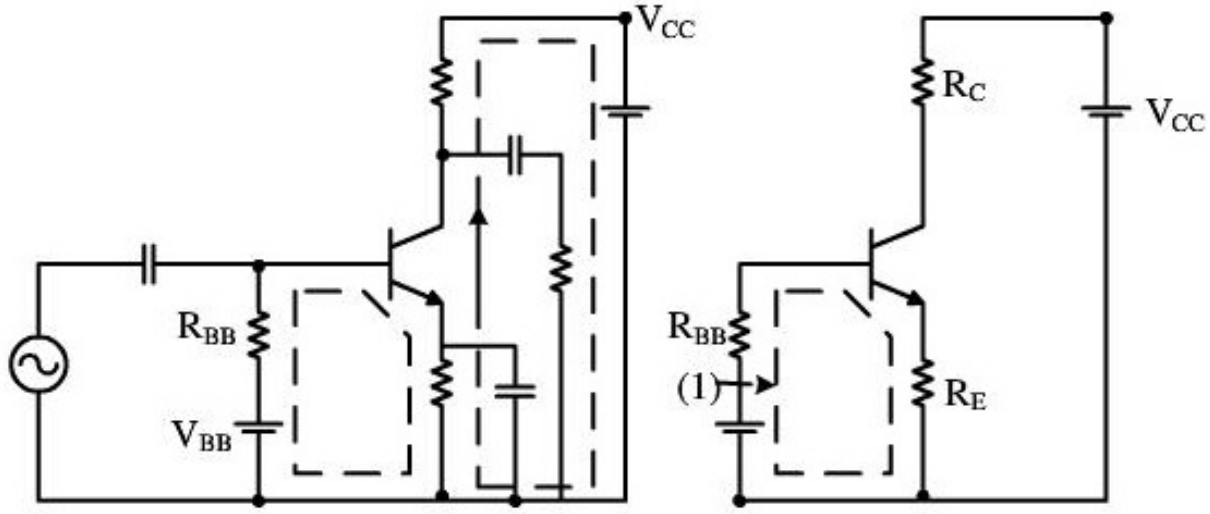
Hay

$$R_{BB} = (\frac{1}{10} \rightarrow \frac{1}{5})(\beta + 1)R_E \quad (4.16)$$

Tóm lại, khi nhiệt độ tăng, điểm Q bị dịch chuyển tại các vị trí Q_o Q_1 Q_2 do đó ta có thể đánh giá sự thay đổi đó qua công thức độ bất ổn định:

$$S = \frac{dI_C}{dI_{CBO}} \quad (4.17)$$

Lý tưởng nhất , khi S = 1, mạch ổn định nhất . Để tính toán S ta xét mạch khuếch đại được phân cực như hình 4.5 sử dụng BJT loại NPN (Si).



Hình 4.5a **Hình 4.5b**

Ta xét thành phần mộ t chiều hình 4.5b. Áp dụng định luật Ohm cho mạch vào khung 1 ta có

$$V_{BB} = I_B R_{BB} + V_{BE} + I_E R_E \quad (4.18)$$

Ta có: $I_C = \alpha I_E + I_{CEO}$ (4.19)

$$I_C = \frac{I_C - I_{CEO}}{\alpha} \quad (4.20)$$

$$I_B = I_E - I_C = \frac{I_C - I_{CEO}}{\alpha} - I_C \quad (4.21)$$

Ta thay 4.19, 4.20 vào 4.21 ta có

$$I_C = \frac{\alpha(V_{BB} - V_{BE})}{R_E + R_B(1-\alpha)} + \frac{R_E + R_B}{R_E + R_B(1-\alpha)} I_{CBO} \quad (4.22)$$

Ta thay vi phân 2 vế ta được

$$\frac{dI_C}{dI_{CBO}} = \frac{R_E + R_B}{R_E + R_B(1-\alpha)} \quad (4.23)$$

Ta có: $I_C = \alpha(I_B + I_C) + I_{CBO}$

=> $I_C = \beta I_B + I_{CEO}$ (4.24)

$$\beta = \frac{\alpha}{1-\alpha} \quad (4.25)$$

=> $$\frac{1}{1-\alpha} = (\beta + 1) \quad (4.26)$$

Ta có thể nhận được

$$S = (\beta + 1) + \frac{R_E + R_{BB}}{R_E + (\beta + 1)R_E} \quad (4.27)$$

Đây là công thức tính độ bất ổn định của mạch và để thiết kế mạch khuếch đại ổn định ta sẽ tính S cho từng mạch phân cực riêng

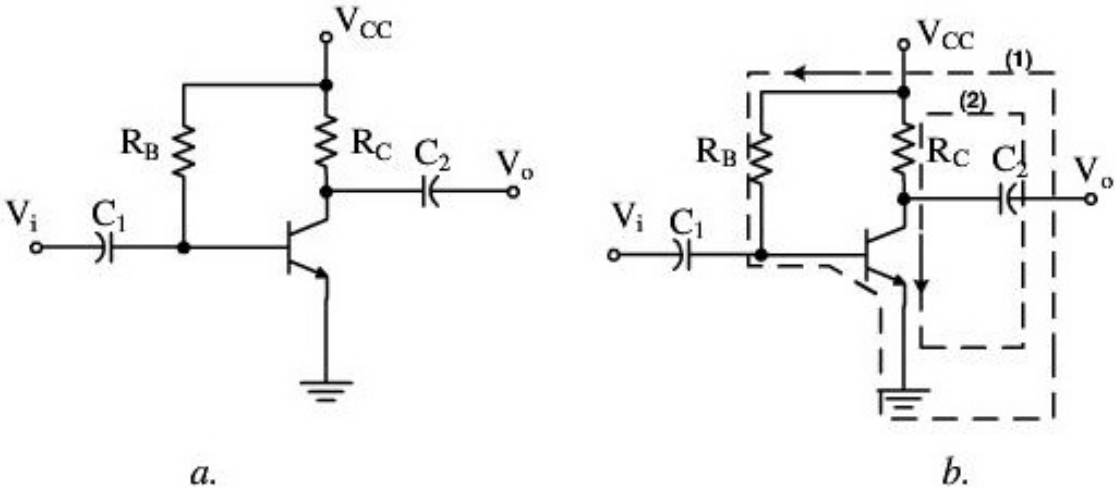
Thường để mạch ổn định ta thường chọn

$$R_{BB} = \left(\frac{1}{5} \div \frac{1}{10}\right)(\beta + 1)R_E \quad (4.28)$$

4.3. CÁC DẠNG MẠCH PHÂN CỰC CHO BJT

4.3.1. Mạch phân cực kiểu định dòng I_B (R_E=0)

Mạch phân cực kiểu định dòng I_B được cho trong hình 4.6 sử dụng transistor NPN mắc chung cực phát . Ta phải xác định điểm làm việc của mạch, tức là xác định điểm Q(I_{CQ}, V_{CEQ}) trên họ đặc tuyến ngõ ra. Để xác định được trạng thái hoạt động của BJT, ta phải xác định được I_B.



Hình 4.6. *Mạch phân cực định dòng cực B*

Trên hình 4.6, theo khung mạch vòng kín V_{CC}, R_B, V_{BE} ta có phương trình phân cực như sau:

$$+V_{CC} = I_B R_B + V_{BE} \quad (4.29)$$

Do điện áp nguồn cung cấp và điện áp V_{BE} là những giá trị cố định, nên với một giá trị điện trở phân cực R_B cụ thể, dòng I_B là cố định. Nếu bỏ qua điện áp phân cực V_{BE}, ta có thể tính toán dòng I_B đơn giản hơn

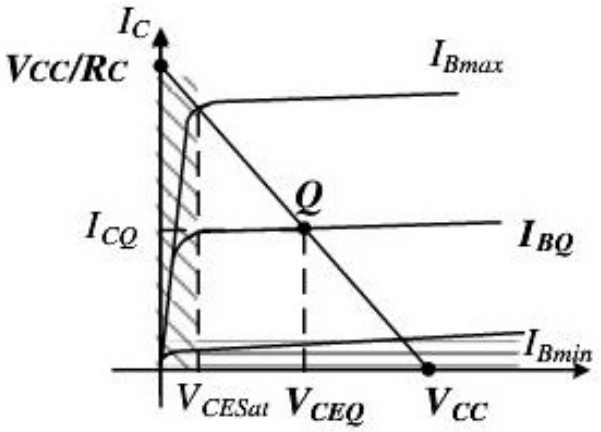
$$I_{BQ} = \frac{V_{CC} - V_{BE}}{R_B} \approx \frac{V_{CC}}{R_B} \qquad (4.30)$$

$$V_{BE} = \begin{cases} 0,6 \div 0,7V & (Si) \\ 0,2 \div 0,3V & (Ge) \end{cases}$$

Dòng I_B được xác định là giá trị I_{BQ} trên họ đặc tuyến ngõ ra, I_B có giá trị phụ thuộc vào V_{CC}, R_B do đó mang tên "định dòng I_B".

Khi có giá trị của I_{BQ}, ta suy ra dòng I_{CQ} như sau:

$$I_{CQ} = \beta I_{BQ} + I_{CBO} \qquad (4.31)$$



Hình 4.7. *Xác định điểm làm việc Q trên đường tải một chiều (DCLL)*

Để xác định giá trị V_{CEQ},ta phải tiến hành xét khung mạch vòng kín (2) như hình 4.6b.

Theo khung mạch vòng kín hình 4.6b ta có:

$$V_{CC} = I_C R_C + V_{CE} \qquad (4.32)$$

Phương trình đường tải tĩnh được suy ra từ phương trình (4.32) như sau:

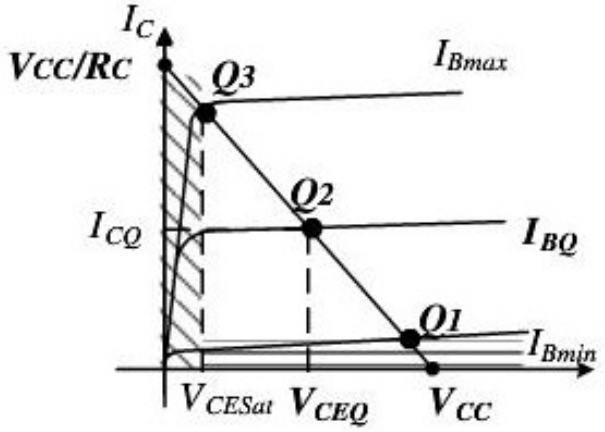
$$I_C = \frac{1}{R_C} V_{CE} + \frac{V_{CC}}{R_C}$$

Từ đó ta suy ra:

$$V_{CEQ} = V_{CC} - I_{CQ} R_C \qquad (4.33)$$

Điểm Q được xác định trên đồ thị đặc tuyến ngõ ra hình 4.7 $Q(I_{CQ};V_{CQ})$ là giao điểm của đặc tuyến phi tuyến của BJT và đường tải tĩnh DCLL (Direct current load line).

Phân tích mạch phân cực của BJT là xác định trạng thái làm việc của mạch điện tử, là vị trí của tĩnh điểm Q trên đồ thị họ đặc tuyến ngõ ra.



Hình 4.8. *Đường tải tĩnh và vị trí của điểm tĩnh Q*

Trên hình 4.8 ta xét:

– Nếu vị trí của điểm Q trùng với $Q_1(I_{CQ1};V_{CEQ1})$ là điểm có giá trị $V_{CEQ1}=V_{CC}$, ta nói mạch đang được phân cực ở chế độ ngắt; lúc này $I_{CQ1}= I_{Cmin} \approx 0$. Công suất tiêu tán trên BJT lúc này là: $P_{Q1} = I_{CQ1}.V_{CEQ1}\approx 0$

– Nếu vị trí điểm Q tại điểm $Q_2(I_{CQ2};V_{CEQ2})$, lúc này $P_{Q2}=I_{CQ2}.V_{CEQ2} \neq 0$. Mạch đang được phân cực ở trạng thái dẫn khuếch đại.

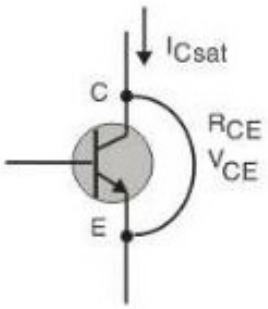
– Nếu vị trí điểm Q tại điểm $Q_3(I_{CQ3}; V_{CEQ3})$, lúc này $I_{CQ3}=I_{Cmax}$; $V_{CEQ3} = V_{CEsat} \approx 0,1V$

Do đó $P_{Q3} = I_{CQ3}.V_{CEQ3} \approx 0$. Ta có thể xác định nhanh các mức giá trị trong vùng bão hòa như sau: Do dòng điện bão hòa I_{Csat} tương đối cao còn điện áp V_{CE} xem như bằng 0V. Áp dụng định luật Ohm để tính điện trở mối nối CE:

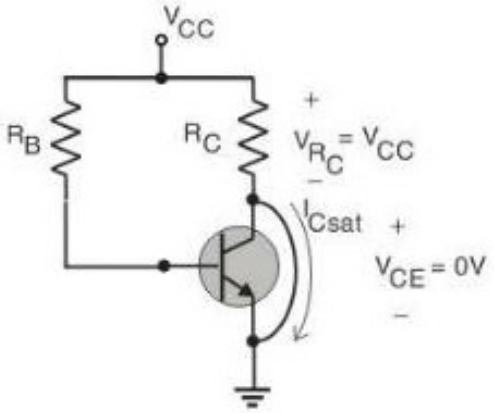
$$R_{CE} = \frac{V_{CE}}{I_C} = \frac{0V}{I_{Csat}} = 0\Omega$$

Áp dụng kết quả trên ta vẽ lại mạch có mô hình như hình 4.9.

Đối với mạch phân cực cố định khi transistor ở chế độ bão hòa, sơ đồ mạch như hình 4.9, điện áp rơi trên R_C chính bằng Vcc và dòng điện I_C bão hòa có giá trị:



Hình 4.9. Xác định I_{Csat}.



Hình 4.10. Xác định I_{Csat} của mạch phân cực.

$$I_{Csat} = \frac{V_{CC}}{R_C} \qquad (4.34)$$

Transistor lúc này đóng vai trò như nguồn dòng điện có $V_{CEsat} = 0$ và dòng I_{Cmax} đạt giá trị cực đại.

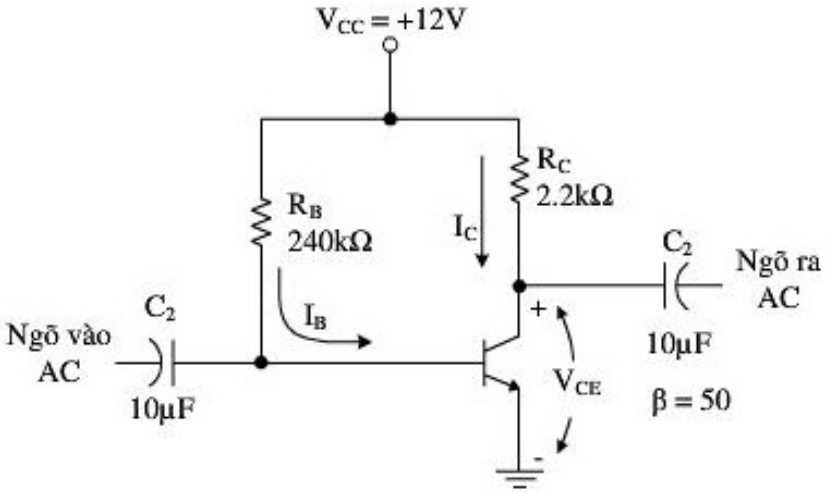
Độ ổn định của mạ ch trong trường hợp này theo (4.27) ta có:

$$R_E = 0;\ S = \beta + 1$$

Mạch có độ bất ổn rất lớn.

Ví dụ 4.1

Cho mạch phân cực BJT loại NPN , xác định điểm làm việc tĩnh Q và vẽ đường tải tĩnh DCLL của mạch.



Hình 4.11. Mạch phân cực cố định cho ví dụ 4.1

***Giải*:**

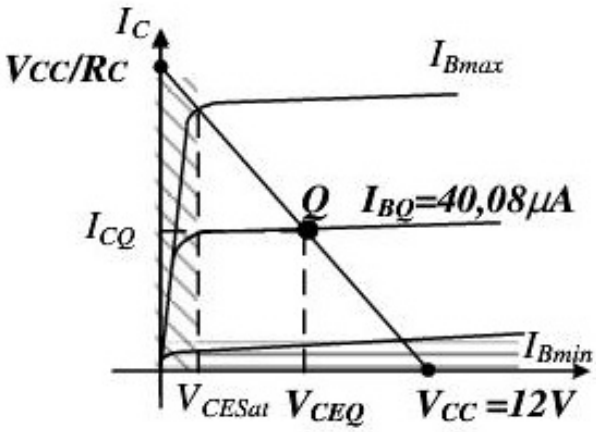
a. $I_{B_Q} = \dfrac{V_{CC} - V_{BE}}{R_B} = \dfrac{12V - 0,7V}{240k\Omega} = 47,08\mu A$

$I_{C_Q} = \beta I_{B_Q} = (50)(47,08\mu A) = 2,35mA$

b. $V_{CE_Q} = V_{CC} = I_C R_C = 12V - (2,35mA)(2,2k\Omega) = 6,83V$ c. c.

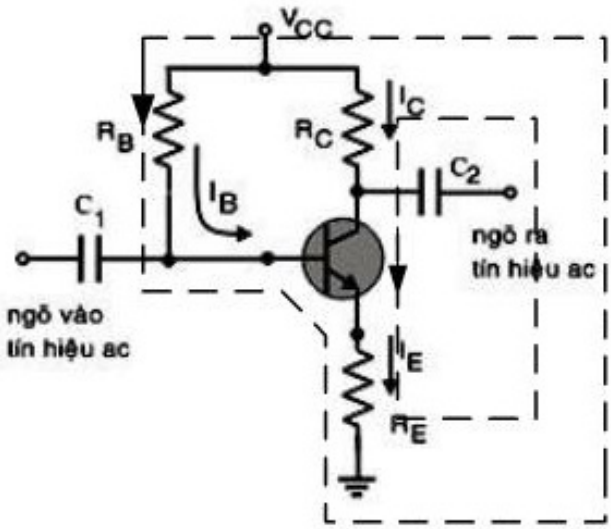
$V_B = V_{BE} = 0,7V$

$V_C = V_{CE} = 6,83V$



4.3.2. Mạch phân cực định dòng I_B có điện trở R_E ($R_E \neq 0$)

Cho mạch phân cực như hình 4.12



Hình 4.12. *Mạch phân cực BJT có thêm điện trở cực E*

Xét khung mạch vòng kín V_{CC}, V_{BE}, R_E khung (1) ta có:

$$V_{CC} = I_B R_B + V_{BE} + I_E R_E \quad (4.35)$$

Ta có: $I_E = (\beta + 1) I_B$

Thế vào phương trình (4.35) ta được:

$$V_{CC} = I_B R_B + V_{BE} + (\beta + 1) I_B R_E \quad (4.36)$$

Dòng điện I_{BQ} được tính như sau:

$$I_{BQ} = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1) R_E} \quad (4.37)$$

Có sự khác nhau trong phương trình dòng điện I_B so với mạch phân cực cố định là thành phần $(\beta+1)R_E$.

Từ phương trình (4.37), ta có mạch điện tương đương như hình 4.12b. Nếu nhìn từ phía điện áp V_{BE} thì điện trở R_E phản hồi trở lại dòng điện ngõ vào I_B bởi hệ số $(\beta+1)$. Do β thường có giá trị vào khoảng 50 đến 400 nên điện trở cực R_E sẽ trở thành một điện trở rất lớn đối với ngõ vào giữa cực B và cực E như hình 4.12b. Điện trở ngõ vào nhìn từ cực B:

$$R_i = (\beta + 1) R_E \quad (4.38)$$

Ta xác định: $I_{CQ} = \beta I_{BQ} + I_{CBO}$

Xét khung (2) hình 4.12 ta có phương trình đường tải tĩnh DCLL:

$$V_{CC} = I_E R_E + V_{CE} + I_C R_C \quad (4.39)$$

Thay thế $I_E \cong I_C$ và suy ra điện áp V_{CE}:

$$V_{CEQ} = V_{CC} - I_{CQ}(R_C + R_E) \quad (4.40)$$

Phương trình đường tải tĩnh được suy ra từ phương trình (4.40) như sau:

$$I_C = -\frac{1}{(R_C + R_E)} V_{CE} + \frac{V_{CC}}{(R_C + R_E)}$$

Điện áp tại cực Emitter V_E:

$$V_E = I_E R_E = V_{RE} \quad (4.41)$$

Điện áp tại cực Collector V_C:

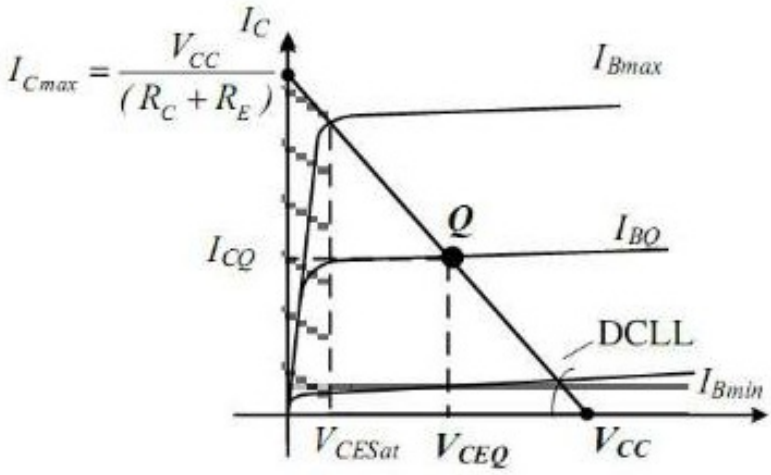
$$V_C = V_{CE} + V_E \quad (4.42)$$

Hay:

$$V_C = V_{CC} - I_C R_C \quad (4.43)$$

Điện áp tại cực Base V_B:

$$V_B = V_{CC} - I_B R_B \tag{4.44}$$



Hình 4.13. *Đường tải một chiều và điểm tĩnh Q của mạch phân cực định dòng cực B có điện trở R_E*

Độ ổn định $S = (\beta+1) + \dfrac{R_E + R_{BB}}{R_E + (\beta+1)R_E} \approx \dfrac{R_{BB}}{R_E + \dfrac{R_{BB}}{(\beta+1)}}$

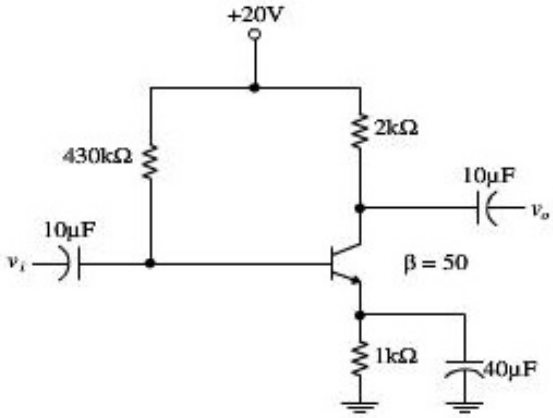
Mạch ổn định ta chọn:

$$R_{BB} = \left(\frac{1}{5} \div \frac{1}{10}\right)(\beta+1)R_E$$

Ví dụ 4.2.Cho mạch phân cực như hình 4.14. sử dụng BJT Si loại NPN,

a) Xác định điểm Q

b) Vẽ đường tải một chiều DCLL



Hình 4.14. *Mạch phân cực cố định có điện trở Emitter*

Giải:

Công thức:

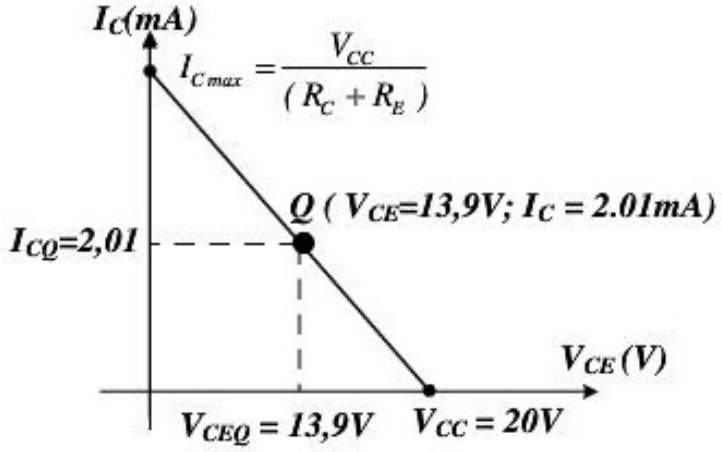
$$I_B = \frac{V_{cc} - V_{BE}}{R_B + (\beta+1)R_E} = \frac{(20-0,7)V}{430k\Omega + (51)(1k\Omega)} = \frac{19,3V}{481k\Omega} = 40,1\mu A$$

$$I_C = \beta I_B = (50)(40,1\mu A) \cong 2,01mA$$

$$V_{CE} = V_{CC} - I_C(R_C + R_E)$$
$$= 20V - (2,01mA)(2k\Omega + 1k\Omega) = 20V - 6,03V = 13,97V$$

$$V_C = V_{CC} - I_C R_C = 20V - (2,01mA)(2k\Omega) = 15,98V$$

$$V_E = V_{CC} - I_C R_C - V_{CE} = V_C - V_{CE} = 15,98 - 13,97 = 2,01V$$



Ví dụ 4.3

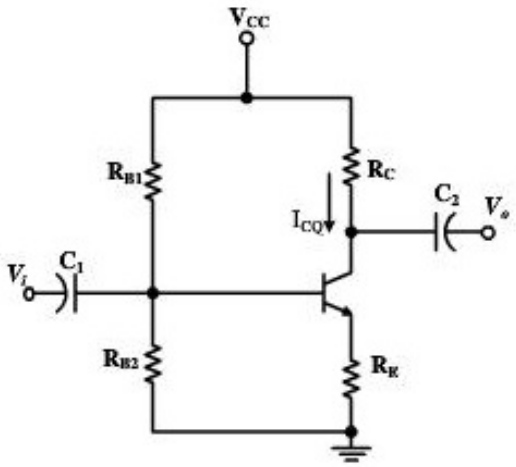
Xác định dòng điện bão hòa trong hình 4.14

Giải:

$$I_{csat} = \frac{V_{CC}}{R_C + R_E} = \frac{20V}{1k\Omega + 2k\Omega} = \frac{20V}{3k\Omega} = 6,67mA$$

4.3.3. Mạch phân cực cầu phân áp

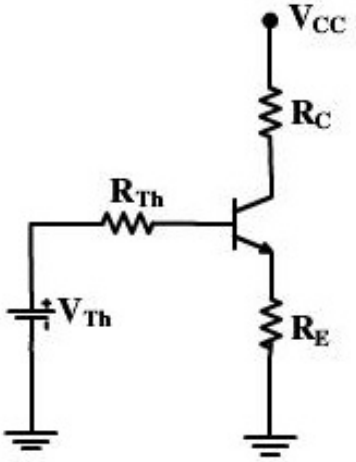
Mạch phân cực bằng cầu phân áp DC hình 4.15. Có hai phương pháp phân tích mạch: phân tích chính xác và phân tích gần đúng.



***Hình 4.15**. Mạch phân cực cầu phân áp.*

➢ **Phân tích chính xác:**

Mạch điện hình 4.15 được chuyển sang mạch tương đương Thevenin như hình 4.16



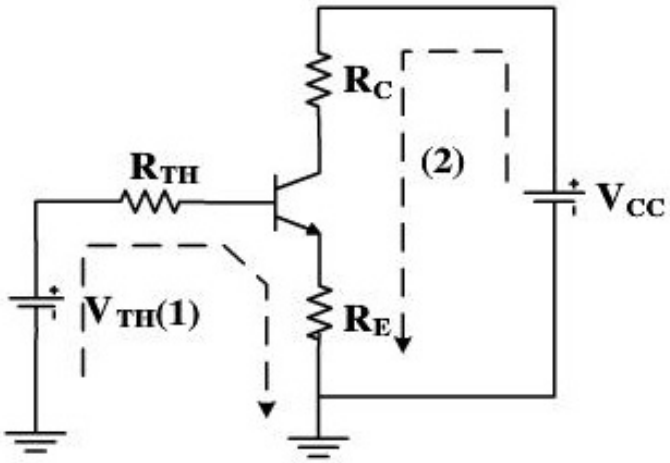
***Hình 4.16**. Mạch tương đương Thevenin của mạch phân cực cầu phân áp*

Xác định điện trở Thevenin R_{TH}: ngắn mạch nguồn điện áp cung cấp V_{CC}

$$R_{TH} = R_{B1} \backslash\backslash R_{B2} = R_{BB} \qquad (4.45)$$

Xác định điện áp Thevenin E_{th}:

$$V_{TH} = V_{CC} \frac{R_{B2}}{R_{B1} + R_{B2}} \qquad (4.46)$$



***Hình 4.17**. Sơ đồ các mạch vòng phân tích dòng điện.*

Theo mạch vòng (1) hình 4.17, dòng điện I_B có thể xác định bằng định như sau:

$$V_{TH} - I_B R_{TH} - V_{BE} - I_E R_E = 0$$

Thay thế dòng $I_E = (\beta + 1)I_B$ vào suy ra dòng I_B:

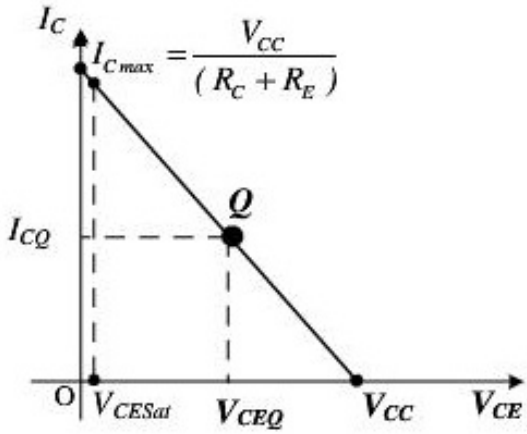
$$I_{BQ} = \frac{V_{TH} - V_{BE}}{R_{TH} + (\beta + 1)R_E} \qquad (4.47)$$

Theo mạch vòng (2) hình 4.17, ta có phương trình:

$$V_{CEQ} = V_{CC} - I_C(R_C + R_E) \qquad (4.48)$$

Phương trình đường tải tĩnh được suy ra từ phương trình (4.48) như sau:

$$I_C = \frac{-1}{(R_C + R_E)} V_{CE} + \frac{V_{CC}}{(R_C + R_E)}$$



***Hình 4.18**. Đường tải một chiều và điểm tĩnh Q của mạch phân cực cầu phân áp*

➢ **Phân tích gần đúng:**

Mạch phân áp ngõ vào có thể thay thế bằng mạch điện hình 4.17. Điện trở R_i là điện trở tương đương giữa cực B và mass – đã xác định ở phần trước

$$R_i = (\beta + 1)R_E.$$

Nếu R_i lớn hơn nhiều so với R_2 thì dòng I_B nhỏ hơn dòng qua R_2 rất nhiều có nghĩa là dòng I_1 xấp xỉ bằng dòng I_2. Khi đó điện áp trên R_2 bằng điện áp V_B xác định bởi phương trình:

$$V_B = \frac{R_{B2}V_{CC}}{R_{B1} + R_{B2}} \qquad (4.49)$$

Có thể xem $R_{TH} = (\beta + 1)R_E \cong \beta R_E$ thì điều kiện để thỏa mãn phép tính gần đúng là

$$\beta R_E \geq 10R_2 \qquad (4.50)$$

Xác định điện áp V_E: $V_E = V_B - V_{BE}$

Xác định dòng điện I_E: $I_E = \dfrac{V_E}{R_E}$

Và có thể xem: $I_{CQ} \cong I_E$

Điện áp V_{CEQ}: $V_{CEQ} = V_{CC} - I_C(R_C + R_E)$

Điểm tĩnh Q không phụ thuộc vào hệ số β.

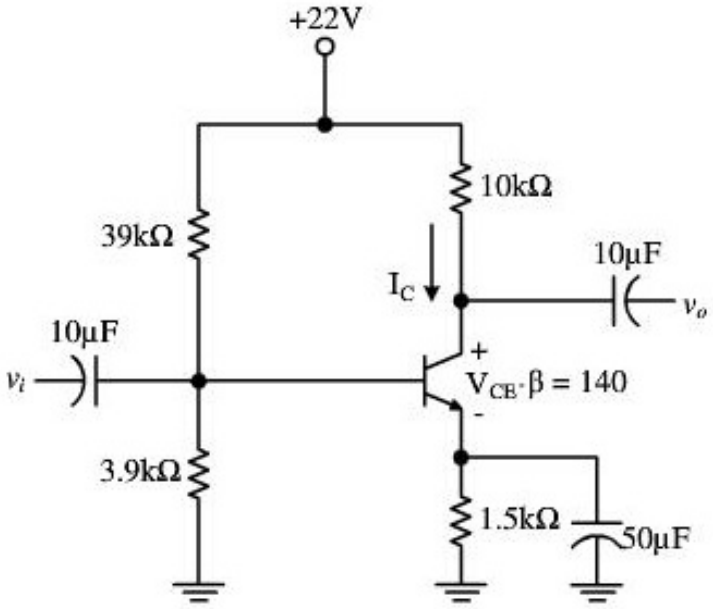
$$V_{CE} = V_{CC} - I_C(R_C + R_E)$$

Ví dụ 4.4

Cho mạch phân cực như hình 4.19, sử dụng BJT loại Si

a) Xác định điểm làm việc Q.

b) Vẽ đường tải một chiều DCLL



Hình 4.19

***Giải*:**

Tính theo cách chính xác

Công thức: $R_{TH} = R_{B1} \backslash\backslash R_{B2} = \dfrac{(39k\Omega)(3{,}9k\Omega)}{39k\Omega + 3{,}9k\Omega} = 3{,}55k\Omega$

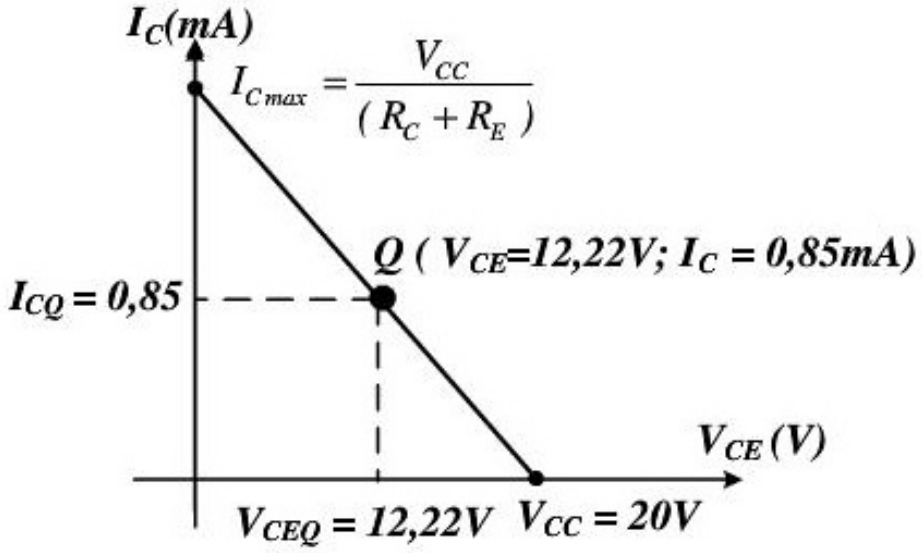
Công thức: $V_{TH} = \dfrac{R_{B2}}{R_{B1} + R_{B2}}.V_{CC} = \dfrac{(3{,}9k\Omega).(22V)}{39k\Omega + 3{,}9k\Omega} = 2V$

Công thức:

$$I_B = \frac{E_{th} - V_{BE}}{R_{th} + (\beta + 1)R_E} = \frac{2V - 0{,}7V}{3{,}55k\Omega + (141)(1{,}5k\Omega)} = 6{,}05\mu A$$

$$I_C = \beta I_B = (140)(6{,}05\mu A) = 0{,}85mA$$

$$\begin{aligned} V_{CE} &= V_{CC} - I_C(R_C + R_E) \\ &= 22V - (0{,}85mA)(10k\Omega + 1{,}5k\Omega) \\ &= 22V - 9{,}78V = 12{,}22V \end{aligned}$$



Hình 4.20

Tính theo cách gần đúng

Kiểm tra $\beta R_E \geq 10R_2$

$(140)(1,5k\Omega) \geq 10(3,9k\Omega)$

$210k\Omega \geq 39k\Omega$ (thỏa mãn)

Công thức: $V_B = \frac{R_2}{R_1 + R_2}.V_{CC} = \frac{(3,9k\Omega).(22V)}{39k\Omega + 3,9k\Omega} = 2V$

Công thức:

$V_E = V_B - V_{BE} = 2V - 0,7V = 1,3V$

$I_{CQ} \cong I_E = \frac{V_E}{R_E} = \frac{1,3V}{1,5k\Omega} = 0,867mA$

So sánh với 0,85mA đối với phân tích chính xác:

$V_{CE} = V_{CC} - I_C(R_C + R_E) = 22V - (0,867mA)(10k\Omega + 1,5k\Omega) = 12,03V$

Nhận xét:

- Các kết quả I_{CQ} và V_{CEQ} tính theo hai phương pháp gần bằng nhau.
- Giá trị R_i càng lớn so với R_2 thì kết quả càng gần so với cách giải chính xác

Ví dụ 4.5

Lặp lại phân tích chính xác ở ví dụ 4.4, nếu β giảm xuống 70, so sánh kết quả I_{CQ} và V_{CEQ}

Giải:

R_{TH} và V_{TH} không đổi: $R_{TH} = 3,55k\Omega$ và $E_{th} = 2V$

$$I_B = \frac{V_{TH} - V_{BE}}{R_{TH} + (\beta+1)R_E} = \frac{2V - 0,7V}{(3,55k\Omega) + (71)(1,5k\Omega)} = 11,81\mu A$$

$$I_{CQ} = \beta I_B = (70)(11,81\mu A) = 0,83mA$$

$$V_{CEQ} = V_{CC} - I_C(R_C + R_E) = 22V - (0,83mA)(10k\Omega + 1,5k\Omega) = 12,46V$$

Lập bảng ta có

β	I_{CQ} (mA)	V_{CEQ} (V)
140	0,85	12,22
70	0,83	12,46

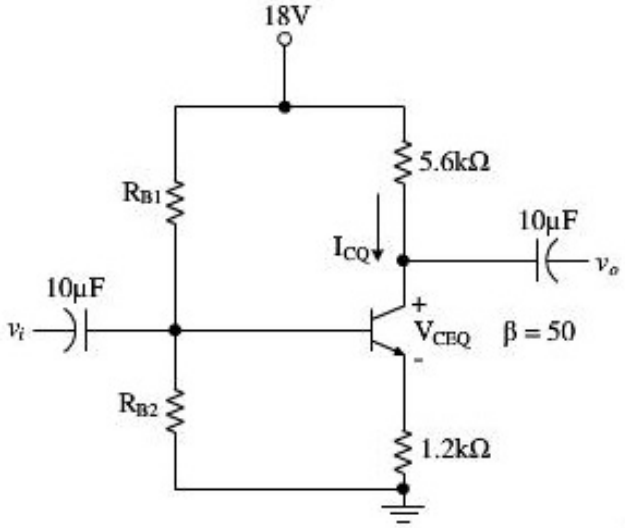
Kết quả cho thấy mạch này không nhạy với sự thay đổi của β. Mặc dù β giảm đi một nửa, nhưng I_{CQ} và V_{CEQ} gần như không đổi.

Ví dụ 4.6

Cho mạch phân cực BJT như hình 4.21

a) Xác định R_{B1}, R_{B2} sao cho $V_{CE} = \frac{V_{CC}}{2}$

b) Vẽ đường tải một chiều DCLL và xác định điểm tĩnh Q



Hình 4.21

***Giải*:**

Ta xác định I_{CQ} từ phương trình $V_{CC} = I_{CQ}(R_C + R_E) + V_{CEQ}$; biết $V_{CEQ} = \frac{V_{CC}}{2}$

Ta có
$$I_{CQ} = \frac{V_{CC} - V_{CEQ}}{R_C + R_E}$$

$$I_{BQ} = \frac{I_{CQ}}{\beta} = \frac{V_{th} - V_{BE}}{R_{th} + (\beta + 1)R_E} \quad (1)$$

Ta lại có
$$V_{Th} = \frac{R_{B2}.V_{CC}}{R_{B1} + R_{B2}} \quad (2)$$

$$R_{Th} = \frac{R_{B2}.R_{B1}}{R_{B1} + R_{B2}} \quad (3)$$

R_{Th} được chọn như sau: $R_{Th} = \left(\frac{1}{10} \rightarrow \frac{1}{5}\right)(\beta + 1)R_E$

Cho giá trị R_{Th} vừa chọn vào phương trình (1) ta tính được giá trị V_{Th}

Giải hệ phương trình 2 ẩn số (2), (3) ta có:

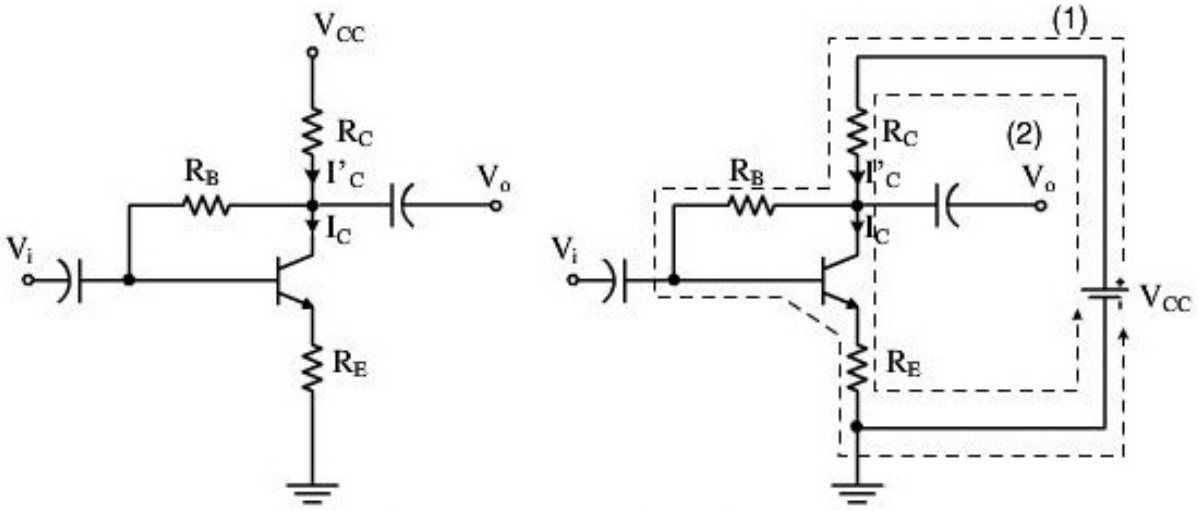
$$X = \frac{R_{B2}}{R_{B1} + R_{B2}} = \frac{V_{Th}}{V_{CC}}$$

$$R_{B1} = \frac{R_{Th}.V_{CC}}{V_{Th}}; \quad R_{B2} = \frac{R_{Th}}{1 - \frac{V_{Th}}{V_{CC}}}$$

4.3.4. Mạch phân cực hồi tiếp từ Collector

Xét mạch phân cực hồi tiếp điện áp như hình 4.22.

$$V_B = V_E + V_{BE}$$



***Hình 4.22**. Mạch khuếch đại hồi tiếp cực C*

Điện trở hồi tiếp R_B nhằm ổn định mạch theo phương trình phân cực như sau:

$$V_{CC} = I'_C R_C + I_B R_B + V_{BE} + I_E R_E \qquad (4.51)$$

V_{BE} là điện áp tác động lên trạng thái làm việc của BJT:

$$V_{BE} = V_{CC} - (R_C + R_E + \frac{1}{\beta} R_B) I_C$$

Theo khung mạch vòng (2) hình 4.22, ta có phương trình mạch điện như sau:

$$V_{CC} = I_E R_E + V_{CE} + I'_C R_C$$

Do $I'_C \cong I_C$ và $I_E \cong I_C$ nên:

$$V_{CE} = V_{CC} - I_C (R_E + R_C) \qquad (4.52)$$

$$I_C = \frac{-1}{R_C + R_E} V_{CE} + \frac{V_{CC}}{R_C + R_E} \text{ (DCLL)}$$

R_B mắc hồi tiếp có tác dụng ổn định và bảo vệ mạch khi có ảnh hưởng của tải tại cực C hoặc nhiệt độ môi trường làm thay đổi trạng thái làm việc của mạch điện tử.

Từ (4.51) ta có:

$$V_{BE} = V_{CC} - (R_C + R_E + \frac{1}{\beta} R_B) I_C$$

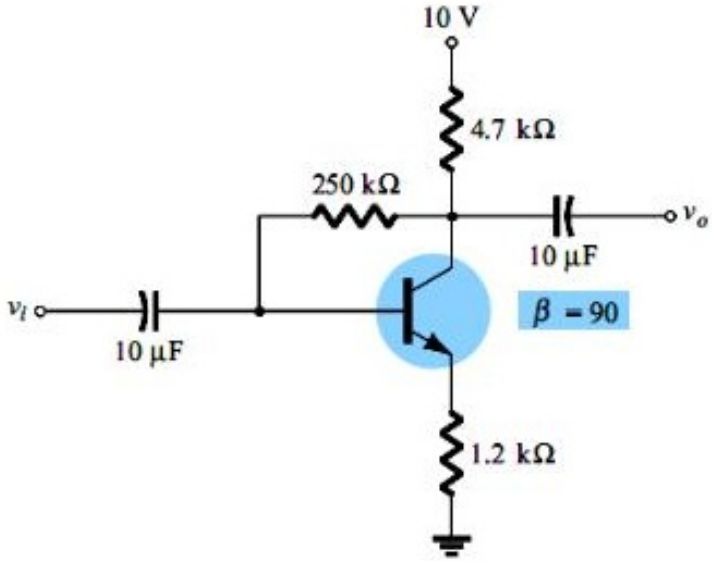
Khi I_C trên tải tăng do nhiệt độ tăng hoặc do chập mạch trên tải. Chuyển tiếp J_C đang phân cực nghịch bị đánh thủng làm hỏng BJT. Nhờ có R_B mắc hồi tiếp ta có phương trình (4.51) I_C tăng V_{BE} giảm (do V_{CC} là hằng số trừ một lượng tăng). Điện áp V_{BE} suy giảm tác động lên chuyển tiếp J_E làm I_B giảm và BJT dẫn yếu đi I_C giảm bù lượng tăng vừa xảy ra bảo vệ BJT. Vậy R_B mắc hồi tiếp để bảo vệ BJT giảm sự thay đổi trên tải tự động ổn định mạch.

Ví dụ 4.7

Cho mạch phân cực BJT như hình 4.23

a) Xác định dòng I_{CQ}, V_{CEQ}

b) Vẽ đường tải một chiều DCLL



Hình 4.23

Giải:

Công thức:

$$I_B = \frac{V_{cc} - V_{BE}}{R_B + \beta(R_C + R_E)} = \frac{(10 - 0,7)V}{250k\Omega + (90)(4,7k\Omega + 1,2k\Omega)} = 19,91\mu A$$

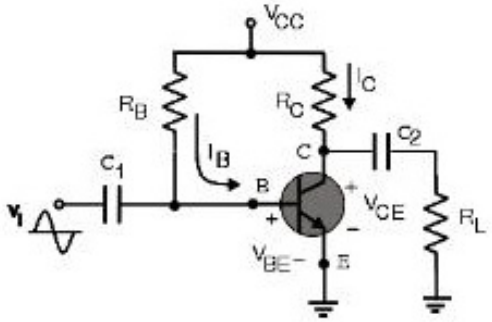
$$I_{CQ} = \beta I_B = (90)(11,91\mu A) = 1,07mA$$

$$V_{CEQ} = V_{CC} - I_C(R_C + R_E) = 10\ V - (1,07\ mA)(4,7\ k\Omega + 1,2\ k\Omega) = 3,69\ V$$

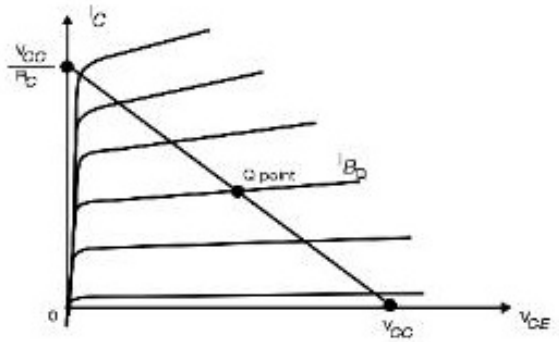
4.4. PHÂN TÍCH ĐƯỜNG TẢI MỘT CHIỀU DCLL

Đường tải tĩnh DCLL

Xét chế độ phân cực một chiều DC của mạch điện như hình 4.24



Hình 4.24. Mạch khuếch đại phân cực cố định



Hình 4.25. Đường tải DCLL

Đường tải một chiều (DCLL – DC load line)

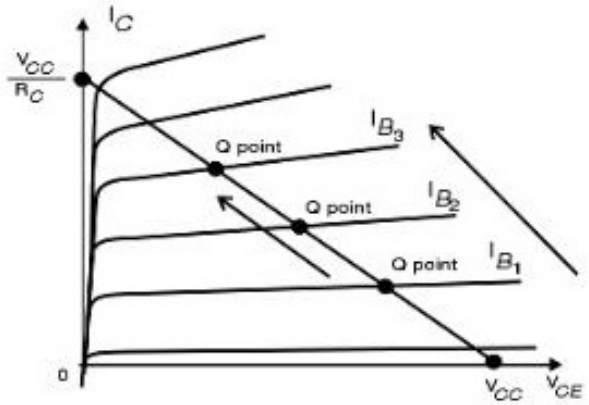
Mạch điện hình 4.24 thiết lập một phương trình ngõ ra diễn tả mối liên hệ giữa hai biến I_C và V_{CE} như: $V_{CE} = V_{CC} - I_C R_C$

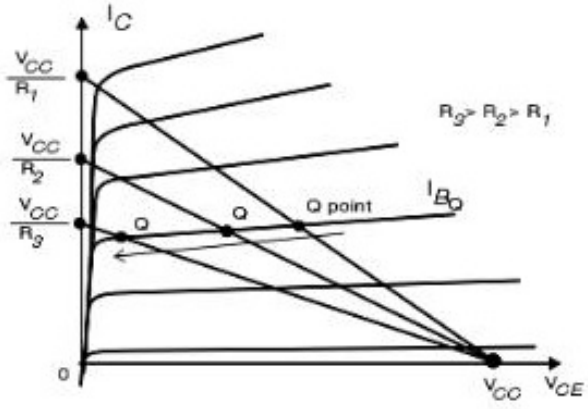
Hay:
$$I_C = -\frac{1}{R_C} V_{CE} + \frac{V_{CC}}{R_C} \qquad (4.53)$$

Phương trình (4.53) chính là phương trình đường tải DC của mạch hình 4.24.

Đồ thị đường tải một chiều (DCLL) của mạch được biểu diễn trên cùng các đường đặc tuyến ngõ ra của transistor như hình 4.25.

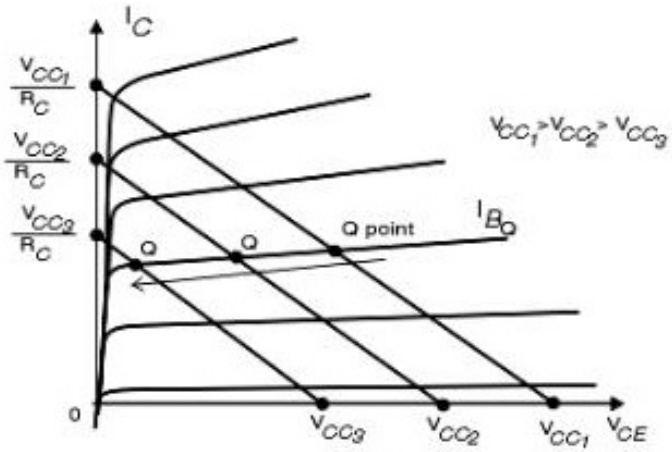
Khi giá trị điện trở R_B thay đổi dẫn tới dòng điện I_B thay đổi theo, kết quả là điểm tĩnh Q sẽ di chuyển lên hoặc di chuyển xuống như hình 4.26. Nếu điện áp V_{CC} và I_B giữ cố định và điện trở R_C thay đổi thì đường tải sẽ dịch chuyển như hình 4.27.





***Hình 4.26**. Điểm Q thay đổi theo dòng I_B.* ***Hình 4.27**. Sự thay đổi R_C.*

Nếu R_C cố định và V_{CC} thay đổi thì đường tải dịch chuyển như hình 4.28.



***Hình 4.28**. Sự thay đổi của điện áp V_{CC}.*

Đường tải một chiều DCLL hợp với trục V_{CE} một góc α, khi đó ta có:

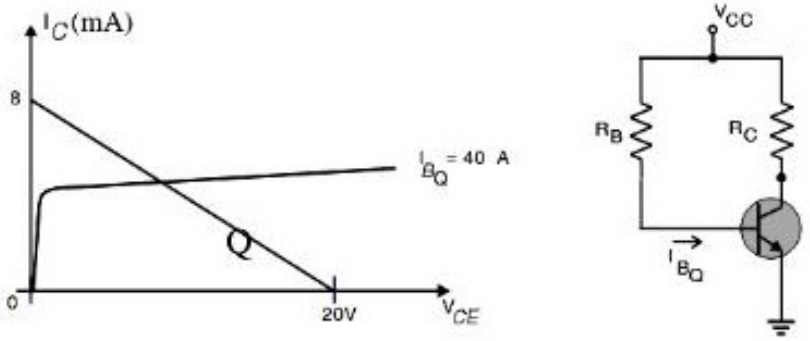
$$tg\alpha = \frac{-1}{R_C} \text{ hoặc } tg\alpha = \frac{-1}{(R_E + R_C)} \text{ đối với mạch có điện trở } R_E \qquad (4.54)$$

Như vậy tùy theo yêu cầu thiết kế và giá trị V_{CC} ta có các đường tải DCLL khác nhau.

4.5. THIẾT KẾ MẠCH PHÂN CỰC

4.5.1. Thiết kế mạch kiểu định dòng

Ví dụ 4.8:Cho đặc tính của transistor như hình 4.29a, hãy xác định Vcc, R_B và R_C của mạch hình 4.29b.



(a) *(b)*

***Hình 4.29**. Đặc tính và sơ đồ mạch khuếch đại.*

Giải:

Từ đường tải xác định được điện áp cung cấp V_{cc} = 20V.

$$I_C = \frac{V_{CC}}{R_C}\bigg|_{V_{CE}=0}$$

Suy ra điện trở R_C:

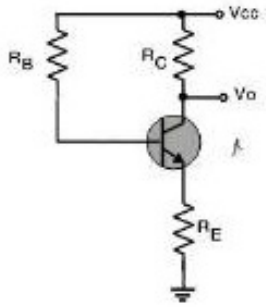
$$R_C = \frac{V_{CC}}{I_C} = \frac{20V}{8mA} = 2{,}5k\Omega$$

Điện trở R_B:

$$R_B = \frac{V_{CC} - V_{BE}}{I_B} = \frac{20V - 0{,}7V}{40\mu A} = 482{,}5k\Omega$$

Các điện trở chuẩn trong thực tế có giá trị R_C = 2,4kΩ và R_B = 470kΩ, sử dụng các giá trị điện trở này thì dòng I_B = 41,1μA – sai số 5% so với giá trị chỉ định.

Ví dụ 4.9:Cấu hình mạch phân cực hình 4.30 có các thông số cho trước I_{CQ} = ½ I_{CSat}, I_{CSat} = 8mA và β = 110. Hãy xác định R_C, R_E và R_B.



***Hình 4.30**. Mạch phân cực ổn định cực E.*

***Giải*:**

Dòng điện I_{CQ}:

$$I_{CQ} = \frac{1}{2} I_{Sat} = 4mA$$

Xác định điện trở R_C:

$$R_C = \frac{V_{Rc}}{I_{CQ}} = \frac{V_{CC} - V_C}{I_{CQ}} = \frac{28V - 18V}{4mA} = 2{,}5k\Omega$$

Khi transistor đạt trạng thái bão hòa, dòng bão hòa:

$$I_{CSat} = \frac{V_{CC}}{R_C + R_E}$$

Suy ra điện trở R_E: $R_E = \frac{V_{CC}}{I_{CSat}} - R_C = \frac{28V}{8mA} - 2{,}5k\Omega = 1k\Omega$

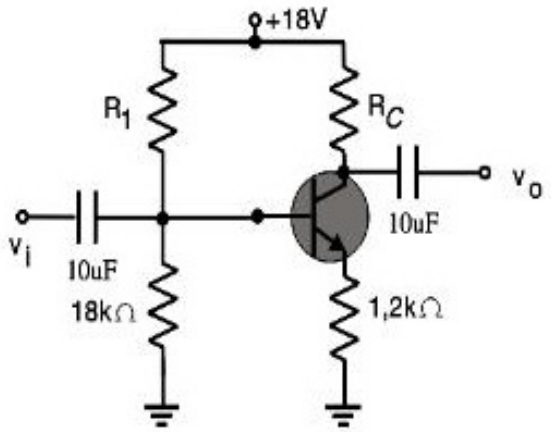
Giá trị điện trở R_B:

$$R_B = \frac{V_{CC} - V_{BE}}{I_{BQ}} - (\beta + 1)R_E = \frac{28V - 0{,}7V}{36{,}36\mu A} - (111)(1k\Omega) = 639{,}8k\Omega$$

Chọn các giá trị điện trở chuẩn trong thực tế: R_C =2,4kΩ, R_E = 1kΩ và R_B = 620kΩ.

4.5.2. Thiết kế mạch kiểu cầu phân áp

Ví dụ 4.10: *Cho I_{CQ} = 2mA và V_{CEQ} = 10V, hãy xác định R_1 và R_C của mạch điện như hình 4.31.*



***Hình 4.31**. Mạch khuếch đại phân cực bằng cầu phân áp.*

***Giải*:**

Điện áp V_E:

$$V_E = I_E R_E \cong I_C R_E = (2mA)(1,2k\Omega) = 2,4V$$

Điện áp V_B:

$$V_B = V_{BE} + V_E = 0,7V + 2,4V = 3,1V$$

Điện áp V_B tính theo cầu phân áp:

$$V_B = \frac{R_2 V_{CC}}{R_1 + R_2}$$

Suy ra điện trở R_1:

$$R_1 = \frac{R_2 V_{CC}}{V_B} - R_2 = \frac{(18k\Omega)(18V)}{3,1V} - 18k\Omega = 86,52k\Omega$$

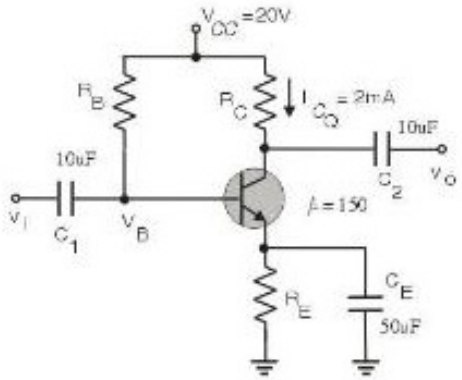
Điện trở R_C:

$$R_C = \frac{V_{Rc}}{I_C} = \frac{V_{CC} - (V_{CE} + V_E)}{I_C} = \frac{18V - 12,4V}{2mA} = 2,8k\Omega$$

4.5.3. Thiết kế mạch phân cực với điện trở ổn định cực E (R_E)

Hãy xem xét việc thiết kế các thành phần phân cực DC của mạch khuếch đại có ổn định phân cực bằng điện trở ổn định R_E như hình 4.32. Nguồn cung cấp và điểm làm việc được lựa chọn từ các thông tin trong sổ tay của nhà chế tạo về transistor dùng trong mạch khuếch đại.

Ví dụ 4.11: Hãy xác định các giá trị điện trở của mạch điện hình 4.32 với điểm làm việc và điện áp nguồn cung cấp cho trong mạch cho trước.



***Hình 4.32**. Mạch khuếch đại ổn định cực E.*

***Giải*:**

Điện áp tại cực E, V_E thường chọn bằng 1/10 điện áp nguồn cung cấp:

$$V_E = \frac{1}{10}V_{CC} = \frac{1}{10}20V = 2V$$

Suy ra điện trở R_E:

$$R_E = \frac{V_E}{I_E} \cong \frac{V_E}{I_C} = \frac{2V}{2mA} = 1k\Omega$$

Suy ra điện trở R_C:

$$R_C = \frac{V_C}{I_C} = \frac{V_{CC} - V_{CE} - V_E}{I_C} = \frac{20V - 10V - 2V}{2mA} = 4k\Omega$$

Suy ra dòng I_B:

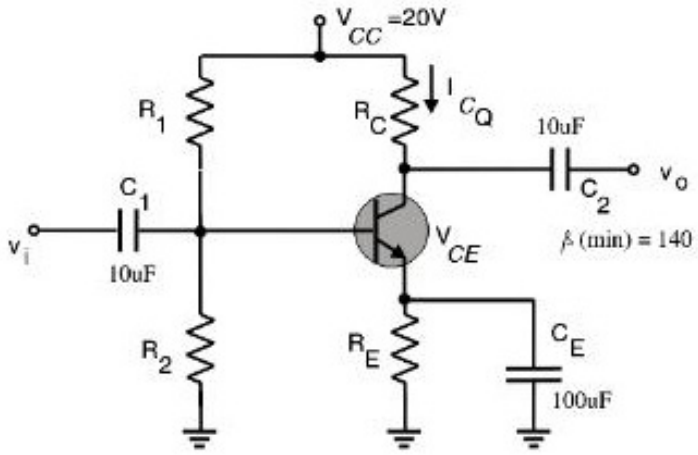
$$I_B = \frac{I_C}{\beta} = \frac{2mA}{150} = 13{,}33\mu A$$

Suy ra điện trở R_B:

$$R_B = \frac{V_{CC} - V_{BE} - V_E}{I_B} = \frac{20V - 0{,}7V - 2V}{13{,}33\mu A} \cong 1{,}3M\Omega$$

4.5.4. Thiết kế mạch phân cực phân áp với điện trở R_E

Ví dụ 4.12: Hãy xác định các giá trị điện trở của mạch điện hình 4.33 với điểm làm việc và điện áp nguồn cung cấp cho trong mạch khi biết V_{CC}.và I_C = 10mA.



***Hình 4.33**. Mạch khuếch đại phân cực bằng cầu phân áp.*

***Giải*:**

Điện áp cực E thường chọn bằng 1/10 điện áp nguồn cung cấp:

$$V_E = \frac{1}{10}V_{CC} = \frac{1}{10}20V = 2V$$

Suy ra điện trở R_E:

$$R_E = \frac{V_E}{I_E} \cong \frac{V_E}{I_C} = \frac{2V}{10mA} = 200\Omega$$

Suy ra điện trở R_C:

$$R_C = \frac{V_{CC} - V_{CE} - V_E}{I_C} = \frac{20V - 8V - 2V}{10mA} = 1k\Omega$$

Điện áp V_B:

$$V_B = V_{BE} + V_E = 0,7V + 2V = 2,7V$$

Các phương trình tính toán các giá trị điện trở R_1 và R_2 có một trục trặc nhỏ là chỉ có một phương trình nhưng lại có hai biến R_1 và R_2 do đó cần phải có thêm một phương trình thứ hai để tìm các giá trị điện trở. Đối với các mạch điện như thế thì điểm làm việc hiệu quả khi dòng điện chạy qua điện trở R_1 và R_2 xấp xỉ gấp 10 lần dòng I_B hoặc hơn thế nữa giống như điều kiện để thực hiện phép tính gần đúng. Điều thực tế này kết hợp với phương trình cầu phân áp sẽ tìm được các giá trị điện trở R_1 và R_2:

$$10R_2 \le \beta R_E$$

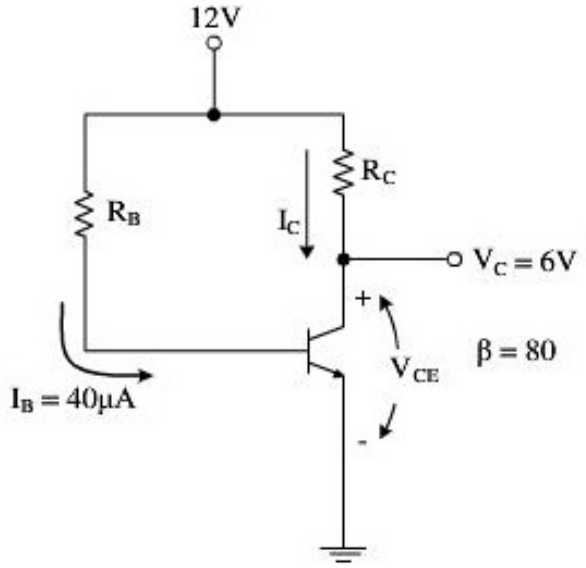
$$V_B = \frac{R_2}{R_1 + R_2}V_{CC}$$

Thay số vào: $R_2 \le \frac{1}{10}80 \times 200\Omega = 1,6k\Omega$

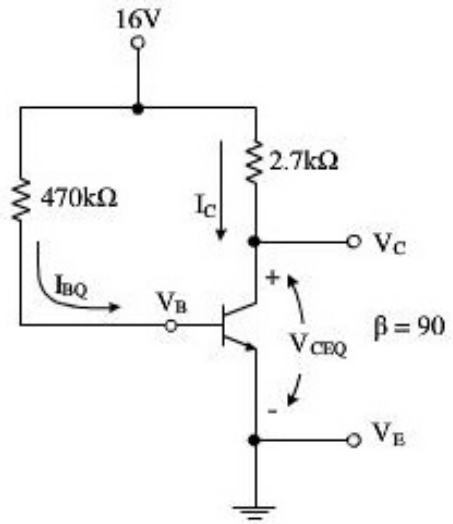
$$R_1 = \frac{V_{CC}R_2}{V_B} - R_2 = \frac{20V}{2,7V}1,6k\Omega - 1,6k\Omega = 10,25k\Omega$$

4.6. BÀI TẬP

4.6.1. Cho mạch như hình 4.34, xác định I_C, R_C, R_B, V_{CE}



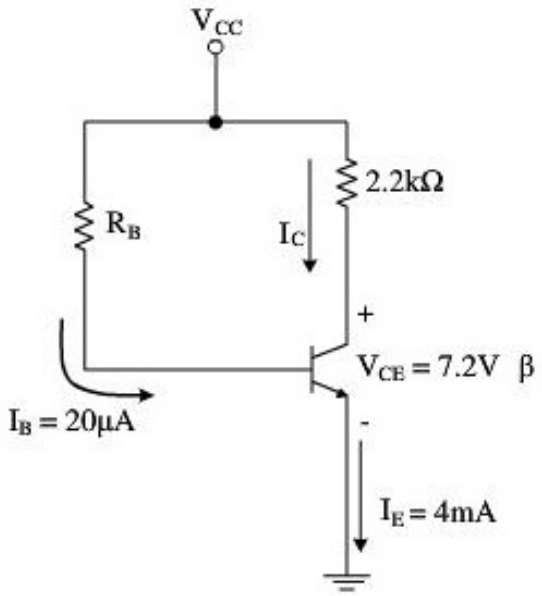
Hình 4.34



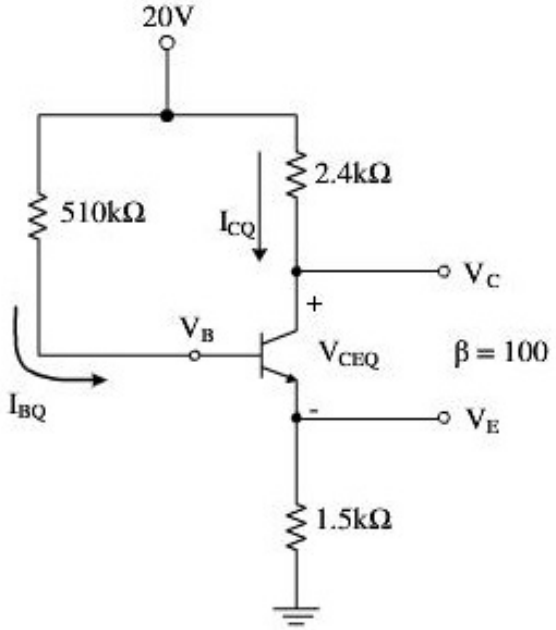
Hình 4.35

4.6.2. Cho mạch phân cự c cố định như hình 4.35, xác định: I_{BQ}, I_{CQ}, V_{CEQ}, V_C, V_E, V_B

4.6.3. Cho mạch như hình 4.36, xác định I_C, V_{CC}, R_B, β



Hình 4.36



Hình 4.37

4.6.4. Tìm dòng điện bão hòa I_{Csat} trong mạch điện bài tập 2.

4.6.5. Cho mạch phân cực như hình 4.37, xác định: I_{BQ}, I_{CQ}, V_{CEQ}, V_C, V_E, V_B

4.6.6. Cho transistor có đặc tuyến như hình 4.38,

a. Vẽ đường tải trên đường đặc tuyến được xác định bởi $V_{CC} = 21V$ và $R_C = 3\ k\Omega$ cho cấu hình mạch phân cực định dòng cực B.

b. Xác định điện trở R_B để điểm làm việc nằm giữa đường tải.

c. Xác định giá trị dòng I_{CQ} và V_{CEQ}.

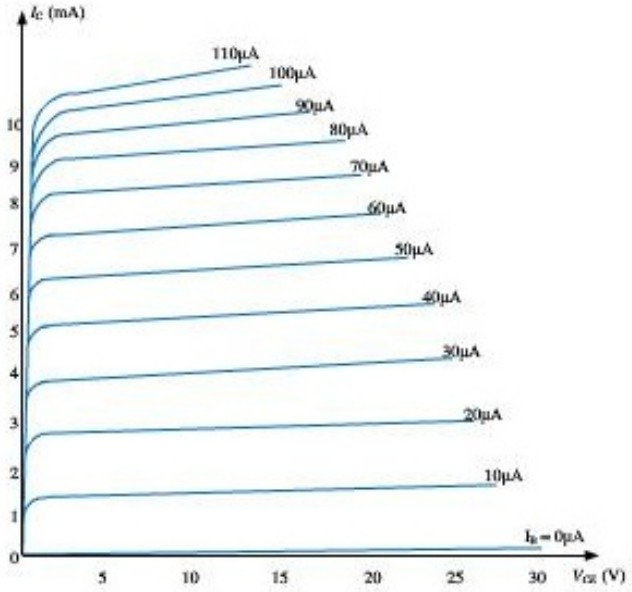
d. Giá trị của β, tại điểm làm việc đó.

e. Xác định giá trị của α tại điểm làm việc đó.

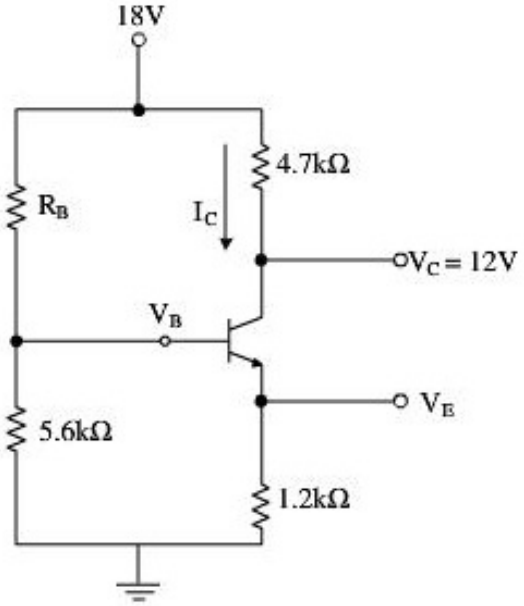
f. Xác định dòng bão hòa (I_{Csat}) của mạch.

g. Vẽ mạch phân cực cố định hoàn chỉnh.

h. Xác định công suất tiêu tán của linh kiện tại điểm làm việc.



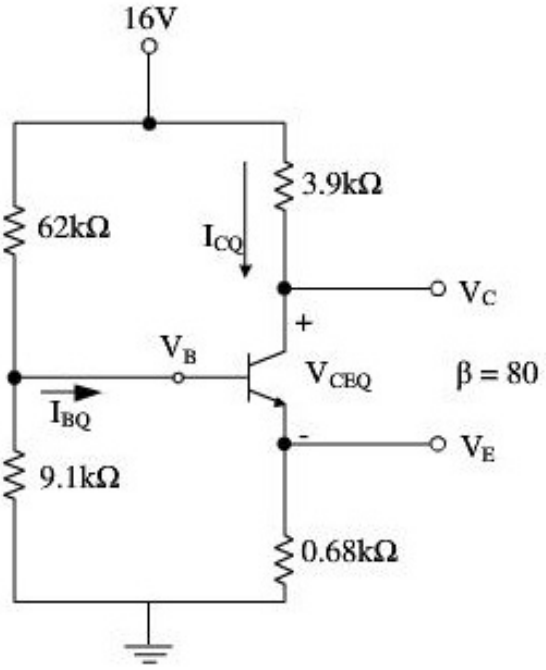
Hình 4.38

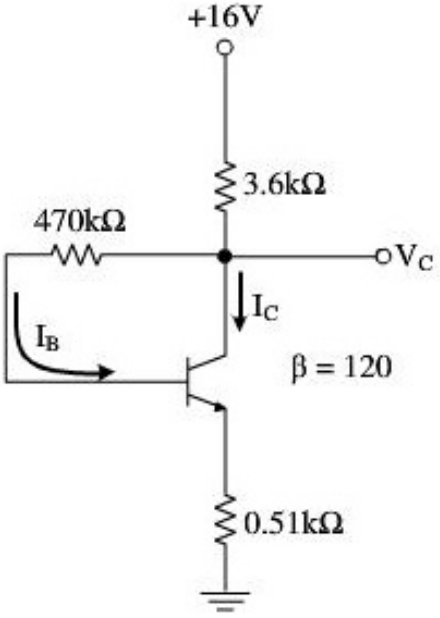


Hình 4.39

4.6.7. Cho mạch phân cực như hình 4.39, xác định: I_{CQ}, V_{CEQ}, V_E,R_1

4.6.8. Cho mạch phân cực như hình 4.40, xác định: I_{BQ}, I_{CQ}, V_{CEQ}, V_C, V_E, V_B

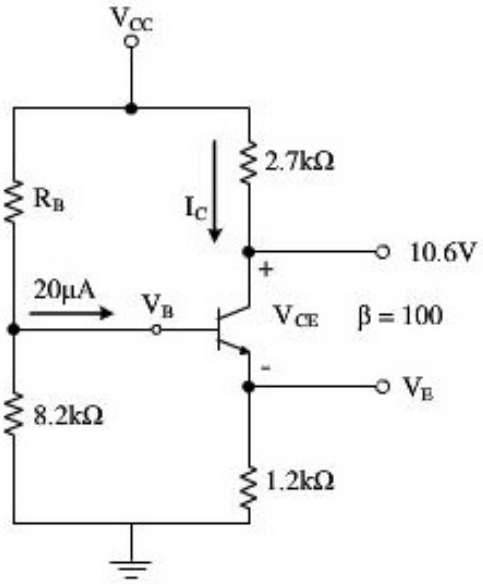


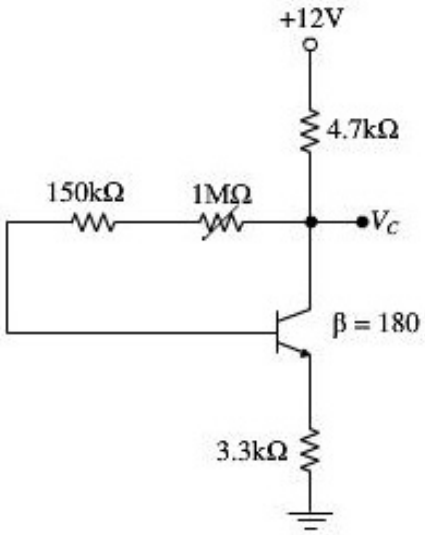


Hình 4.40 *Hình 4.41*

4.6.9. Cho mạch phân cực như hình 4.41, xác định: I_{CQ}, V_C, I_B

4.6.10. Cho mạch phân cực như hình 4.42, xác định: I_{CQ}, V_{CC}, V_E, R_1, V_B, V_{CE}

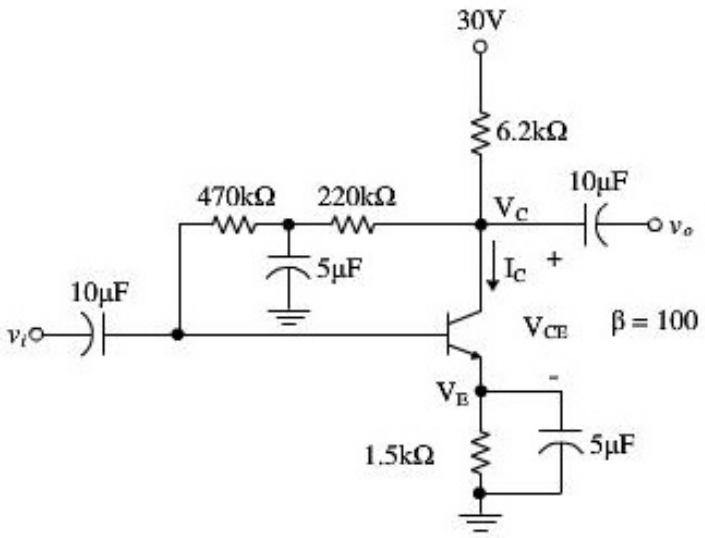




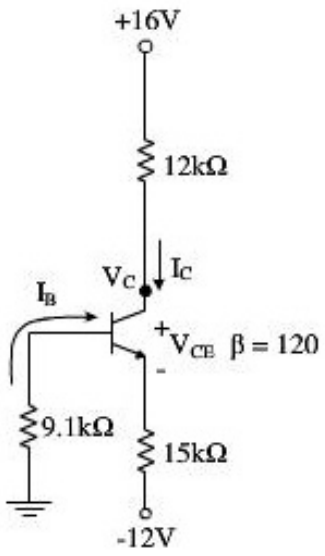
Hình 4.42 *Hình 4.43*

4.6.11. Cho mạch như hình 4.43, xác định khoảng giá trị điện áp V_C khi sử dụng biến trở 1MΩ

4.6.12. Cho mạch phân cực như hình 4.44, xác định: I_{CQ}, V_C, V_E, V_{CE}



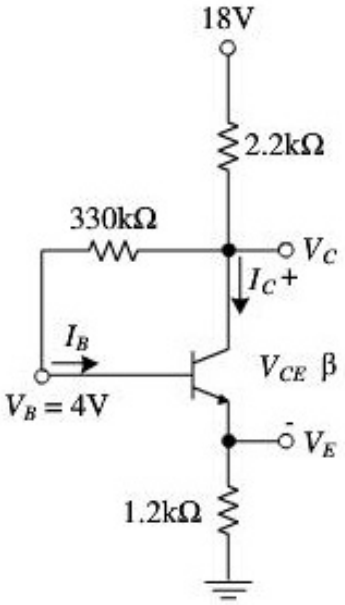
Hình 4.44



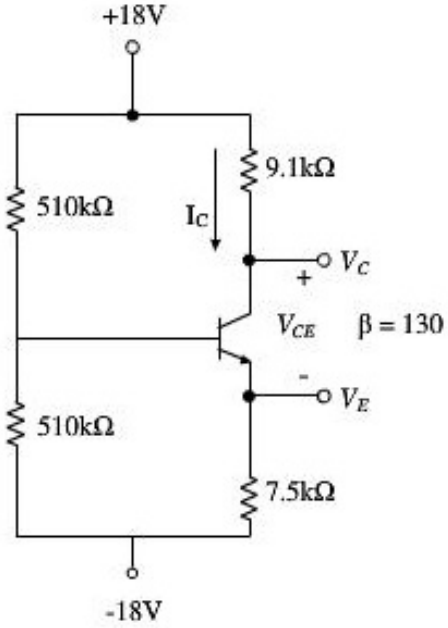
Hình 4.45

4.6.13. Cho mạch điện hình 4.45, xác định I_C, V_C, V_{CE}, I_B

4.6.14. Cho $V_B = 4V$ ở mạch điện hình4.46, xác định V_E, I_C, V_C, V_{CE}, I_B



Hình 4.46



Hình 4.47

Cho mạch điện hình 4.47, xác định I_C, V_C, V_{CE}, I_B

Chương 5
ĐẠI CƯƠNG VỀ TRANSISTOR TRƯỜNG FET (FET – FIELD EFFECT TRANSISTOR)

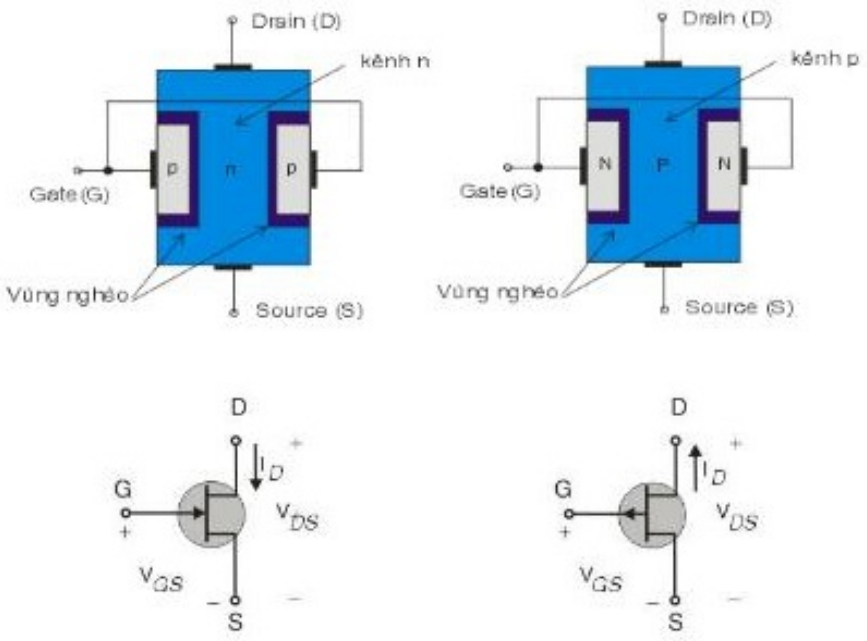
Chương trước, chúng ta đã khảo sát BJT là linh kiện lưỡng cực, sử dụng cả hai loại hạt dẫn đa số và thiểu số để tạo ra dòng điện. Chương này ta sẽ khảo sát họ transistor trường (FET) với đặc điểm dòng điện được điều khiển bằng áp và chỉ sử dụng một loại hạt (hạt đa số) để tạo ra dòng điện nên thuộc loại đơn cực tính (unipolar).

Nội dung của chương giới thiệu cấu trúc, nguyên lý hoạt động của các linh kiện JFET (transistor trường chuyển tiếp - Junction FET), IGFET (Isulated Gate FET - Transistor trường cực cổng cách ly) và MOSFET (Metal oxide semiconductor FET). MOSFET lại được chia làm hai loại MOSFET: E-MOSFET (Enhancement MOSFET – MOSFET kênh cảm ứng) và D-MOSFET (Depletion MOSFET – MOSFET kênh có sẵn).

FET là một linh kiện rất quan trọng, ra đời sau và có nhiều ưu điểm hơn BJT nên được sử dụng trong nhiều lĩnh vực điện tử, thiết kế và do có kích thước hợp lý nên dùng chế tạo các mạch tích hợp IC (Integrated Circuit)

5.1 TRANSISTOR TRƯỜNG – FIELD EFFECT TRANSISTOR

5.1.1 Cấu tạo



Hình 5.1: *Cấu trúc và kí hiệu của JFET kênh n và JFET kênh p.*

FET được cấu tạo trên bán dẫn hình trụ N, bao quanh chu vi của nó là phiến bán dẫn khác chủng loại P. Miền thông S-D là kênh dẫn N.

JFET là linh kiện bán dẫn có ba cực, cấu trúc và kí hiệu của JFET kênh n và JFET kênh p như hình 5.1.

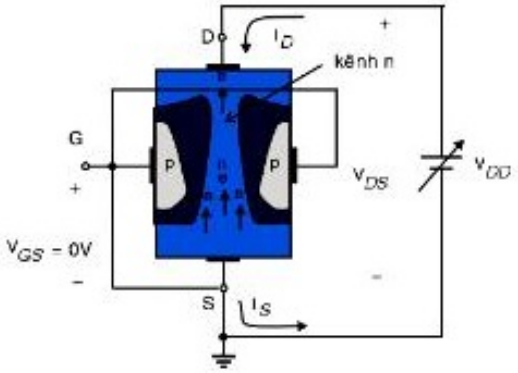
Trên hai đầu của một thỏi bán dẫn hình trụ loại N, pha ít tạp chất, người ta gắn hai điện cực, đặt tên là ***cực máng D – Drain*** và ***cực nguồn S – Source*** như hình 5.1. Vòng theo chu vi của thỏi bán dẫn, người ta tạo thành vùng bán dẫn loại P, đặt điện cực kim loại tiếp xúc và đưa ra thành ***cực cổng G – Gate*** (hay còn gọi là cực điều khiển). Ranh giới của hai vùng bán dẫn khác loại sẽ tạo thành miền nghèo như hình 5.1. Do vùng bán dẫn loại P không bao phủ toàn bộ chu vi thỏi bán dẫn loại N nên dọc theo thỏi bán dẫn loại N vùng mà miền nghèo không choán chỗ được gọi là kênh dẫn. Chức năng của kênh dẫn rất quan trọng vì dòng điện chạy trong FET là dòng điện chạy qua kênh dẫn.

Tương tự cho cấu trúc của JFET kênh p.

5.1.2 Nguyên lý hoạt động và đặc tuyến Volt - Ampere

Để JFET hoạt động, ta cần phân cực hai mối nối DS và GS.

a. Xét trường hợp $V_{GS} = 0$ (ngắn mạch GS – short GS), $V_{DS} > 0$:



Hình 5.2: *Mạch phân cực cho JFET kênh n với $V_{GS} = 0$.*

Với chiều điện áp V_{DD} phân cực như hình 5.2, các điện tử sẽ di chuyển từ cực nguồn S đến cực máng D và bị hút về phía cực dương của nguồn V_{DD} tạo nên dòng điện I_D ngược chiều với chiều chuyển động của hạt dẫn. Dòng điện này chạy vào cực D chạy dọc theo kênh dẫn và chạy ra khỏi cực S nên ta luôn có

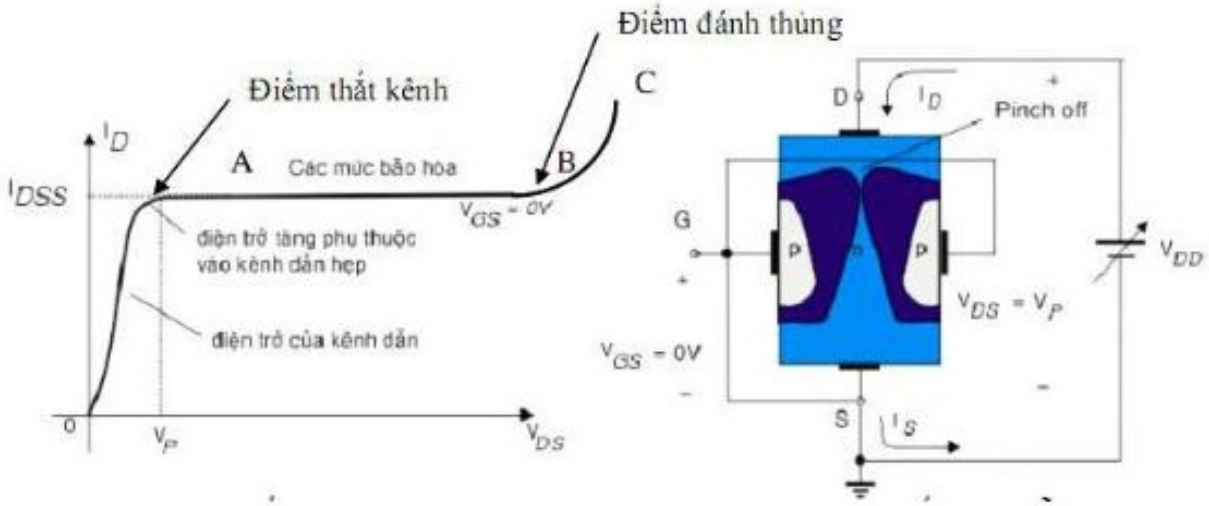
$$I_D = I_S \quad (5.1)$$

Vì chuyển tiếp PN của mối nối GD luôn được phân cực ngược nên ta có

$$I_G \approx 0 \qquad (5.2)$$

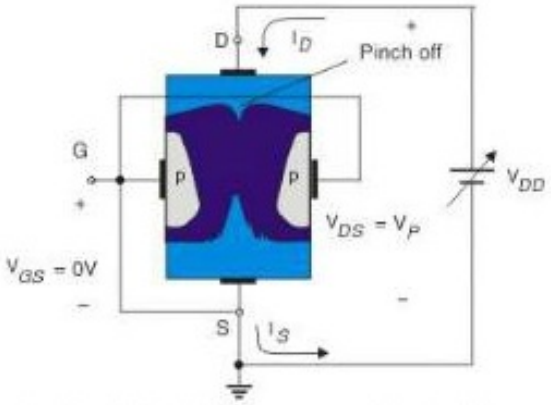
Hai biểu thức (5.1) và (5.2) là luôn đúng với mọi trường hợp phân cực của cả hai loại JFET kênh n và kênh p.

Cụ thể hơn, khi cố định V_{GS}= 0 và điện áp V_{DS} tăng từ 0 Volt đến vài Volt, tương đương với điện áp phân cực ngược cho chuyển tiếp pn tăng lên. Tuy nhiên lúc này điện áp V_{DS} còn khá nhỏ nên hầu như không ảnh hưởng đến bề dày miền nghèo và tiết diện kênh dẫn nên điện trở kênh dẫn hầu như không đổi, được xem như là hằng số. Dòng điện I_D sẽ tăng và xác định theo định luật Ohm với V_{DS}. Khi V_{DS} tăng lớn hơn, bề rộng miền nghèo tăng lên, tiết diện kênh dẫn giảm dần. Khi V_{DS} đạt giá trị Vp (pinch off), vùng nghèo phình to chạm nhau tại một điểm và hiện tượng thắt kênh xảy ra như hình 5.4. Trong vùng này, quan hệ I_D và V_{DS} tuân theo đinh luật Ohm, kênh dẫn đóng vai trò như một điện trở nên còn gọi là vùng điện trở (Ohmic) được thể hiện bằng đoạn OA trên hình 5.3.

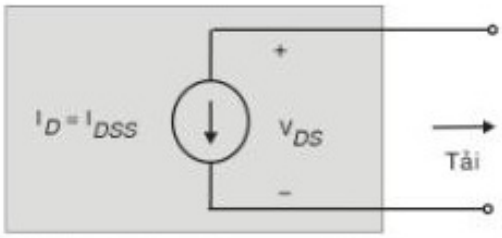


Hình 5.3: *Đặc tuyến ngõ ra của JFET kênh n khi V_{GS}= 0 và thay đổi V_{DS}> 0*
Hình 5.4: *Hiện tượng thắt kênh dẫn*

Khi V_{DS} tăng vượt qua giá trị của V_P, điện áp phân cực ngược tăng nên điểm thắt sẽ lan rộng ra về phía cực S. Bề rộng vùng nghèo giảm nhưng lực hút hạt dẫn từ nguồn V_{DD} tăng tạo nên một vùng đặc biệt có dòng I_D không đổi được gọi là vùng thắt kênh hay vùng bão hoà, tương đương với đoạn AB trên hình 5.3. Do đó, có thể nói khi điện áp V_{DS}> V_P thì JFET có đặc tính như một là nguồn dòng I_D = I_{DSS} có giá trị không phụ thuộc vào V_{DS}, còn giá trị điện áp V_{DS} phụ thuộc vào tải.



Hình 5.5. Hiện tượng thắt kênh



Hình 5.6. Mạch tương đương nguồn dòng của JFET kênh n khi $V_{GS} = 0$; $V_{DS} > V_P$.

Nếu tiếp tục V_{DS} quá lớn thì chuyển tiếp pn của JFET sẽ bị đánh thủng dòng điện I_D tăng vọt được thể hiện bằng đoạn BC trên hình 5.3.

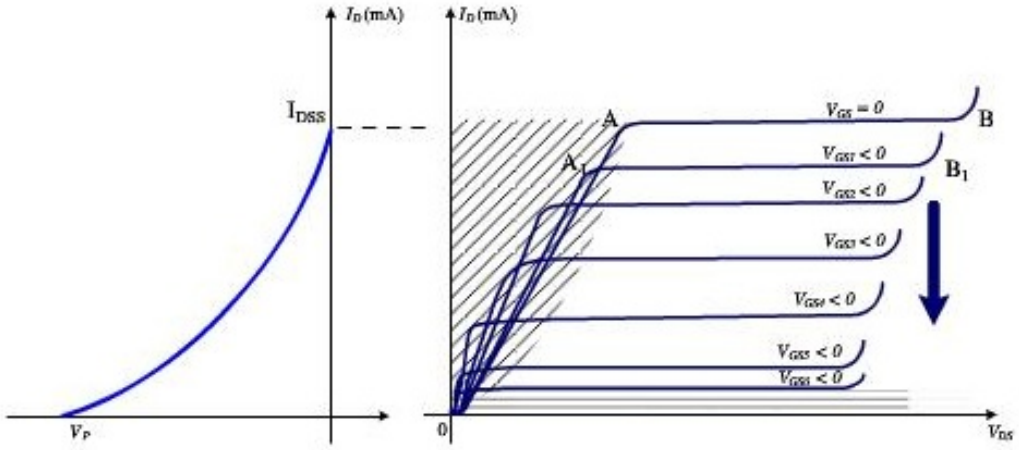
Kí hiệu I_{DSS} chính là dòng điện từ cực máng cực đại trong trường hợp ngắn mạch (Short) G-S *và* $V_{DS} > V_P$.

Kí hiệu ***Vp (pinch off voltage)*** là điện áp tại đó bắt đầu xảy ra hiện tượng thắt kênh, còn gọi là điện áp thắt kênh hay điện áp nghẽn.

b. Trường hợp $V_{GS} < 0$, $V_{DS} > 0$

Điện áp từ cực G đến cực S kí hiệu là V_{GS} chính là điện áp điều khiển của JFET. Cũng giống như các giá trị khác nhau của đường cong dòng điện I_C theo V_{CE} được thiết lập từ các giá trị khác nhau của dòng I_B đối với BJT, thì đường cong của dòng điện I_D theo V_{DS} được thiết lập từ các giá trị khác nhau của điện áp V_{GS} đối với JFET.

Khi phân cực V_{GS} âm điện áp phân cực ngược chuyển tiếp pn của FET tăng hơn so với trường hợp $V_{GS} = 0$. Vì thế hiện tượng thắt kênh sẽ xảy ra sớm hơn khi $V_{DS} = Vp + V_{GS}$, thay vì $V_{DS} = V_P$ như khi phân cực $V_{GS} = 0$, điện trở kênh dẫn tăng hơn nên giá trị dòng I_D bão hòa sẽ giảm dần và hiện tượng đánh thủng cũng xảy ra sớm hơn. Nếu tiếp tục giảm V_{GS} âm dần thì dòng I_D bão hòa giảm dần. Khi $V_{GS} = Vp$, dòng máng I_D giảm xuống bằng 0 do lúc này vùng nghèo mở rộng và hoàn toàn choán hết chỗ của kênh dẫn.



***Hình 5.7**. Đặc tuyến truyền đạt và đặc tuyến ngõ ra của JFET*

Kí hiệu V_P là điện áp thắt kênh sử dụng cho V_{GS} và V_{DS}. Giá trị Vp của V_{DS} và Vp của V_{GS} là trái dấu.

c. Điện trở được điều khiển bởi điện áp:

Ta thấy trong vùng điện trở, với mỗi giá trị điện áp V_{GS} độ dốc của đặc tuyến khác nhau tương ứng với giá trị điện trở kênh dẫn khác nhau. Vì thế có thể nói trong vùng này FET thực sự có vai trò như là một biến trở (có thể sử dụng trong các khóa điện tử và trong các mạch của hệ thống tự động điều khiển độ lợi) mà giá trị điện trở có thể được điều khiển bởi điện áp cung cấp V_{GS}. Khi V_{GS} trở nên càng âm, đường cong trở nên nằm ngang tương ứng với các mức điện trở đang tăng. Phương trình sau sẽ cung cấp đặc tính giá trị điện trở kênh dẫn theo điện áp V_{GS}:

$$r_d = \frac{r_0}{(1 - \frac{V_{GS}}{V_P})^2} \qquad (5.3)$$

Trong đó: *r_0 là điện trở kênh dẫn khi $V_{GS} = 0V$.*

r_d là điện trở kênh dẫn tại một giá trị đặc biệt của V_{GS}.

d. Vùng thắt kênh – Vùng bão hòa

Ta thấy rằng, trong vùng bão hòa này giá trị dòng điện I_D không phụ thuộc vào V_{DS} mà phụ thuộc vào V_{GS} theo phương trình Shockley. Hay nói cách khác I_D bị điều khiển bởi V_{GS}.

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (5.4)$$

Như vậy trong phương trình cho thấy mối liên hệ giữa I_D và V_{GS} là không tuyến tính, tạo ra một đường cong tăng theo hàm mũ khi tăng giá trị của V_{GS}.

Tương tự ta có đặc tuyến truyền đạt của JFET kênh p ngược lại với kênh n.

5.1.3 Các thông số của JFET:

Thực tế, JFET bị giới hạn bởi một số thông số về dòng, áp, công suất của từng mối nối, tần số, nhiệt độ,… Nếu JFET hoạt động quá giới hạn sẽ dẫn đến hư hỏng. Các thông số này, ta có thể tìm thấy trong datasheet của linh kiện mà nhà sản xuất cung cấp, có thể tải trên mạng. Một số thông số thông dụng như:

Điện áp cực đại V_{DSmax}, V_{DGmax}

Điện áp phân cực ngược cực đại của mối nối GS

Công suất tiêu tán cực đại.

$$P_D = V_{DS} I_D$$

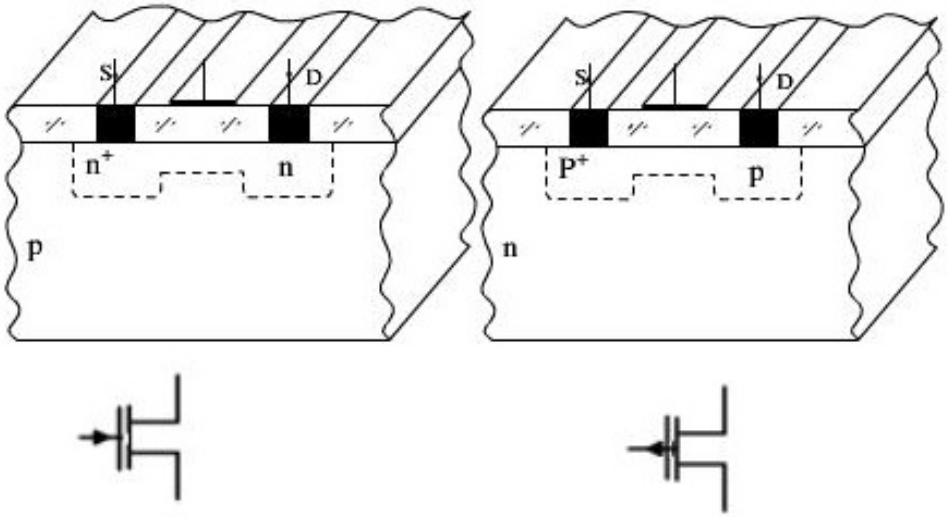
Nhiệt độ lưu trữ

Nhiệt độ mối nối pn

5.2 TRANSISTOR TRƯỜNG CÓ CỰC CỔNG CÁCH LY IGFET (ISOLATED GATE FIELD EFFECT TRANSISTOR)

5.2.1 Cấu tạo:

Giống cấu trúc của JFET nhưng cực G của IGFET không tiếp xúc với kênh dẫn mà chỉ tiếp xúc với lớp SiO_2 nên còn được gọi là FET có cực cổng cách ly IGFET (Isulated Gate).



***Hình 5.8**. Cấu trúc và kí hiệu của IGFET kênh n và kênh p*

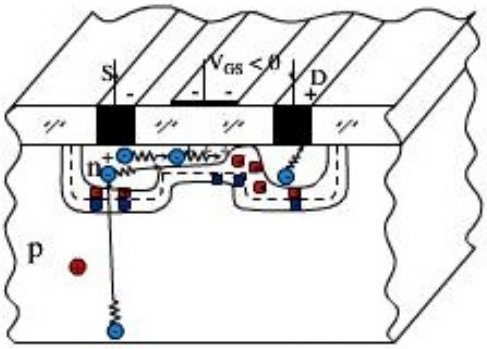
5.2.2 Nguyên lý hoạt động

Nguyên lý hoạt động của IGFET kênh n, dựa trên hiệu ứng tụ điện. Khi $V_{GS} > 0$, hiệu ứng tụ điện điện (lớp SiO_2 là điện dung của tụ điện) sẽ làm giàu điện tích âm cho kênh dẫn làm quá trình nghẽn kênh chậm hơn so với $V_{GS} = 0$. Điểm nghẽn kênh sẽ xảy ra chậm hơn là đoạn OA_2B_2 hình 5.10. Đây là chế độ làm giàu hạt dẫn trong kênh n. Khi $V_{GS} < 0$ - chế độ làm nghèo hạt dẫn trong kênh, do hiệu ứng tụ điện trong kênh dẫn sẽ xuất hiện điện tích dương sẽ làm chuyển tiếp p-n phân cực nghịch nhanh hơn. Số lượng các hạt dẫn chạy từ S sang D sẽ giảm hơn so với trường hợp $V_{GS} = 0$, điểm thắt kênh sẽ xảy ra sớm hơn là đoạn $OA_1B_1C_1$. Càng giảm V_{GS} thì dòng I_D càng giảm, ta sẽ có các đặc tuyến dưới đoạn OA_1B_1. Khi $V_{GS} = V_P$, hiện tượng thắt kênh xảy ra ngay khi cấp nguồn V_{DS} lúc này dòng $I_D = 0$. Giống với JFET ta có:

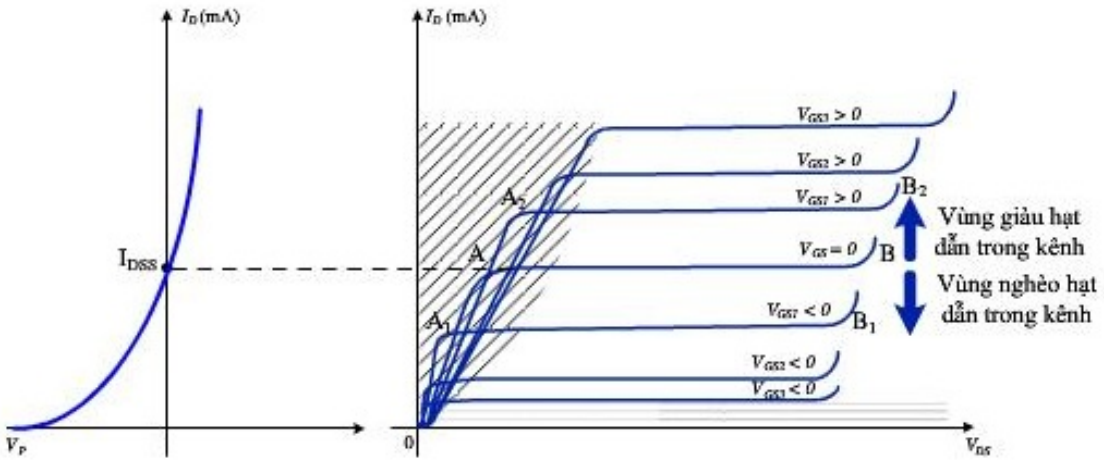
$$I_D = I_S$$

$$I_G = 0 \text{ (cực cổng cách ly)}$$

và dòng I_D theo phương trình Shockley (5.4). $I_D = 0$. V_P gọi là điện áp mở của FET.



***Hình 5.9**.Chế độ làm nghèo hạt dẫn trong kênh n của IGFET*



***Hình 5.10**. Đặc tuyến truyền đạt và đặc tuyến ngõ ra của IGFET kênh n*

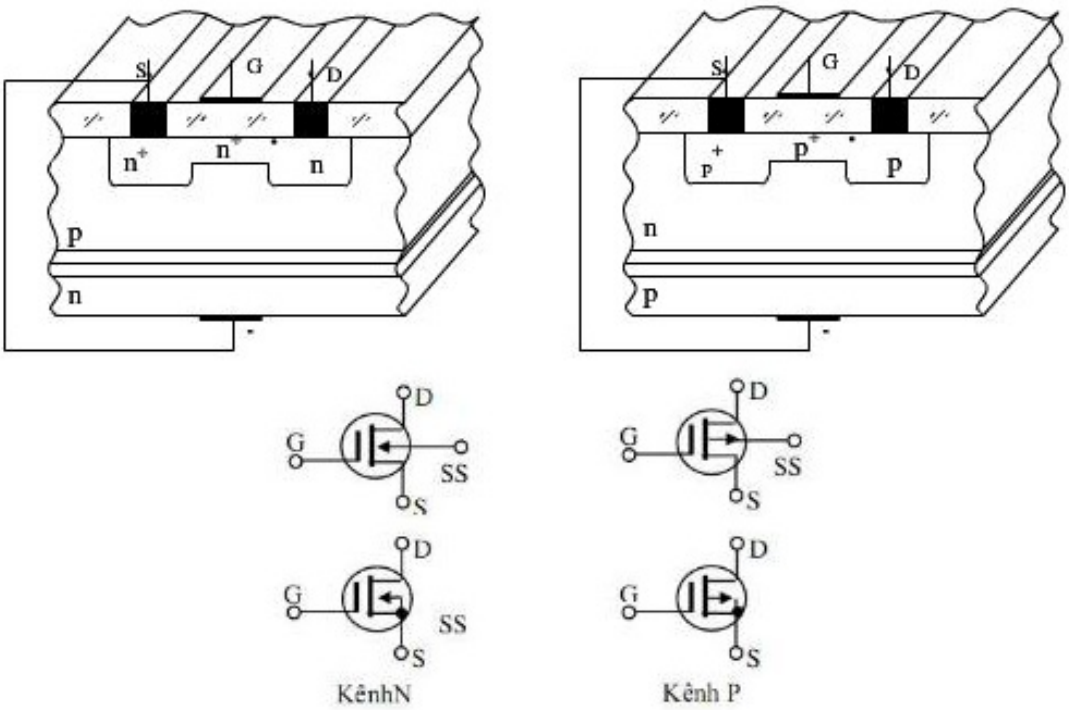
5.3 TRANSISTOR TRƯỜNG MOSFET

MOSFET(Metal Oxide Semiconductor FET) là một loại transistor có dòng điện bị điều khiển bởi điện áp và cực cổng cách ly giống như IGFET. MOSFET có hai loại D-MOSFET và E-MOSFET.

5.3.1 MOSFET kênh có sẵn (D_MOSFET – Deleption MOSFET):

a. Cấu trúc:

Cấu trúc và kí hiệu của MOSFET kênh có sẵn kênh n và kênh p được trình bày như hình 5.11.



Hình 5.11. Cấu trúc và kí hiệu của D_MOSFET kênh n và p

Trên phiến bán dẫn loại P, người ta khuếch tán tạo ra hai vùng bán dẫn loại N ở hai đầu khối bán dẫn tạo nên cực D (Drain – Cực máng) và S(Source – Cực nguồn), nối giữa hai vùng bán dẫn này là một kênh dẫn được tạo thành cùng loại bán dẫn N. Trên toàn bộ khối bán dẫn, người ta phủ một lớp màng SiO_2 cách điện. Trên bề mặt lớp SiO_2 đặt một điện cực kim tiếp xúc đưa ra làm cực G (Gate – Cực cổng). Ở hai đầu phiến bán dẫn, khoét xuyên qua lớp SiO_2, đặt hai điện cực tiếp xúc với hai vùng bán dẫn loại N đưa ra thành cực D và S. Trên phiến bán dẫn loại P, người ta cũng đặt điện cực kim loại đưa ra làm cực đế SS (Substrate). Thông thường, cực đế được nối chung với cực S. Vì thế ta có hai loại kí hiệu, cực đế nối chung cực S hay cực đế không nối chung cực S. Trên đây là mô tả cấu tạo D-MOSFET kênh n. Tương tự ta có cấu tạo của D-MOSFET kênh p.

b. Nguyên lý hoạt động cơ bản và các đặc tuyến vôn – ampe của D-MOSFET:

Sau đây ta sẽ giải thích hoạt động của D-MOSFET kênh n. Hoạt động của D-MOSFET kênh p sẽ tương tự.

Để D-MOSFET hoạt động ta cần phân cực hai mối nối DS và GS. Trong đó phân cực DS sao cho các hạt dẫn đa số đi từ cực S sang kênh dẫn và qua cực D

Theo cấu trúc của D-MOSFET ta thấy cực G là cách ly nên luôn có

$$I_G = 0$$

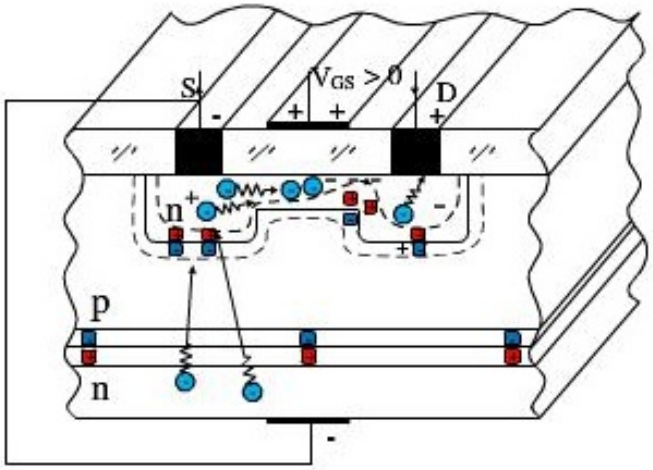
Với điện áp phân cực cho mối nối DS như hình 5.12, điện tử bị hút về phía cực dương của nguồn V_{DD} tạo nên dòng I_D theo chiều ngược lại từ cực D chạy dọc theo kênh dẫn đến cực S nên ta luôn có

$$I_D = I_S$$

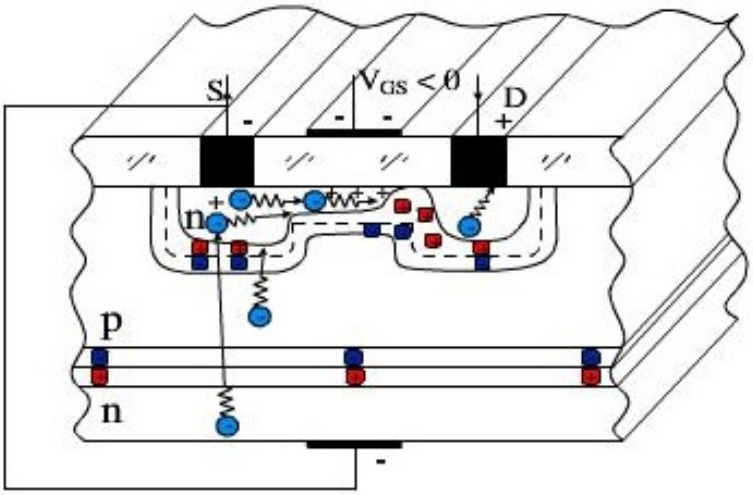
Khi cố định V_{GS} và tăng dần V_{DS} với điện áp dương, điện áp phân cực ngược chuyển tiếp pn tăng. Hoạt động D-MOSFET giống như hoạt động IGFET cũng có 3 vùng: điện trở, thắt kênh, đánh thủng (hình 5.14).

Khi V_{GS}= 0, giống với IGFET, dòng điện I_D bão hòa được gọi là I_{DSS} (dòng điện từ cực máng sang cực nguồn khi ngắn mạch - short GS). Đoạn OAB trên đồ thị.

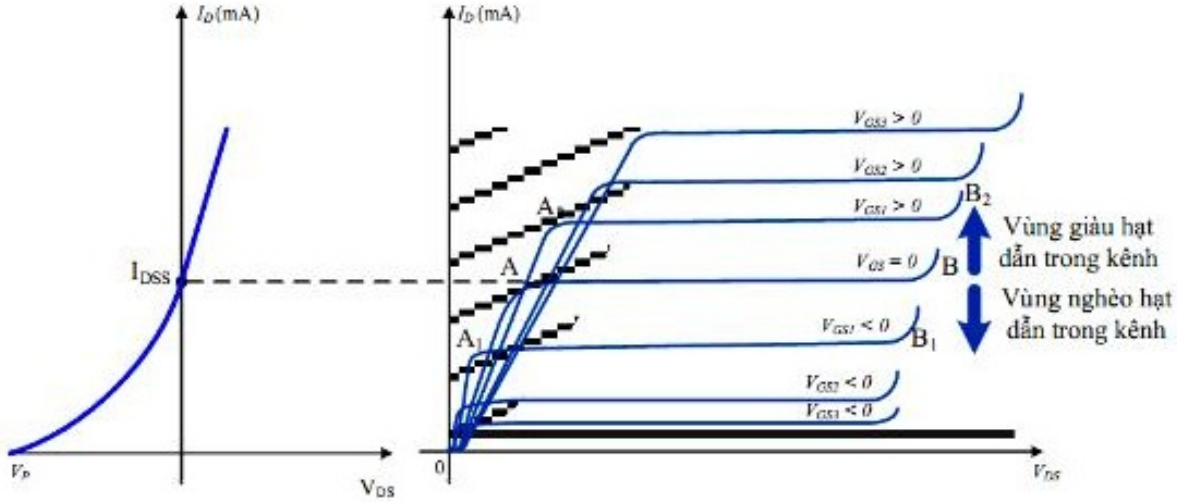
Khi V_{GS}>0, do hiệu ứng tụ điện (lớp SiO_2 là điện dung của tụ điện) sẽ làm tăng điện tích âm cho kênh dẫn làm quá trình nghẽn kênh chậm hơn so với V_{GS}= 0. Do đó điểm nghẽn kênh sẽ xảy ra chậm hơn là đoạn OA_2B_2 hình 5.14. Đây là chế độ làm giàu hạt dẫn trong kênh n.



Hình 5.12: *Phân cực D-MOSFET với V_{GS}> 0V, V_{DS}> 0*



Hình 5.13: *Phân cực D-MOS với $V_{GS} < 0V$, $V_{DS} > 0$*



Hình 5.14: *Đặc tuyến truyền đạt và đặc tuyến ngõ ra của D-MOSFET*

Khi $V_{GS}<0$ chế độ làm nghèo hạt dẫn trong kênh dẫn, do hiệu ứng tụ điện trong kênh dẫn sẽ xuất hiện điện tích dương sẽ làm chuyển tiếp p-n phân cực nghịch nhanh hơn. Số lượng các hạt dẫn chạy từ S sang D sẽ giảm hơn so với trương hợp $V_{GS}= 0$, điểm thắt kênh sẽ xảy ra sớm hơn là đoạn OA_1B_1. Càng giảm V_{GS} thì dòng I_D càng giảm, ta sẽ có các đặc tuyến dưới đoạn OA_1B_1 .

Thay đổi các giá trị khác nhau của V_{GS} ta được một họ đặc tuyến như hình 5.14. Trên đặc tuyến ngõ ra của D-MOSFET có ba vùng làm việc: vùng ngắt, vùng bão hòa, vùng khuếch đại (với Vp là điện áp nghẽn, điện áp âm tối thiểu mà tồn tại dòng I_D).

Tương tự như JFET, dòng điện I_D của D-MOSFET bị điều khiển bởi điện áp V_{GS} theo phương trình Shockley (5.4).

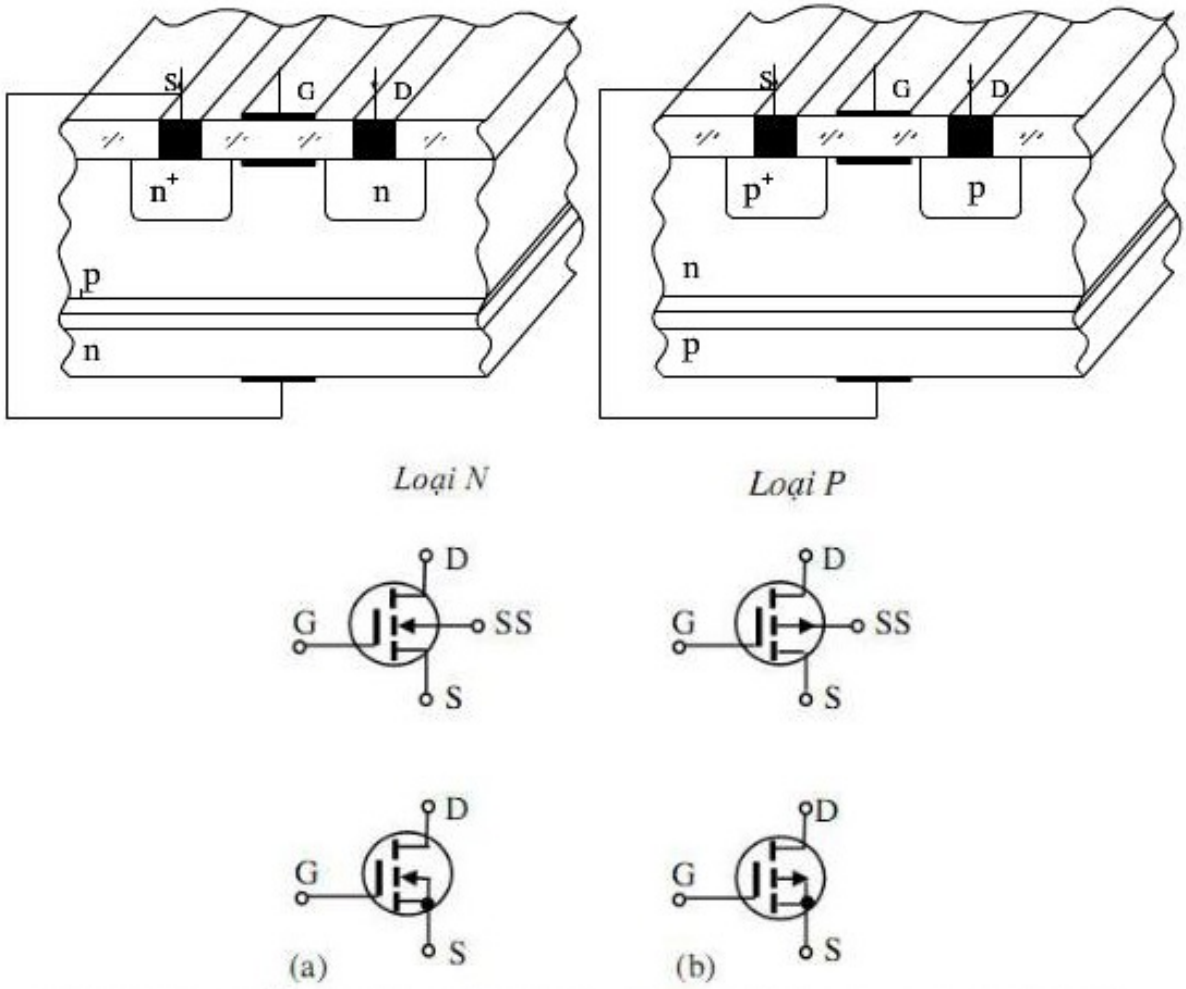
Tương tự ta có đặc tuyến của D-MOSFET kênh p ngược lại với D-MOSFET kênh n.

Tóm lại D-MOSFET là loại MOSFET kênh có sẵn có hai chế độ là làm nghèo và giàu hạt dẫn tùy thuộc vào điện áp V_{GS}đặt vào kênh.

5.3.2 MOSFET kênh cảm ứng (E_MOSFET – Enhancement MOSFET):

a. Cấu trúc:

Trên phiến bán dẫn đế loại p, người ta thổi vào hai túi bán dẫn n^+, n bằng phương pháp Epitaxi làm hai cực tương ứng là S và D. Sau đó phủ lên một lớp cách điện SiO_2. Khác với cấu trúc của D-MOSFET, E-MOSFET không có kênh dẫn nối giữa cực D và cực S. Người ta khoét lớp SiO_2 đặt các điện cực kim loại tiếp xúc để đưa ra thành cực D và cực S. Còn điện cực G chỉ tiếp xúc với lớp SiO_2, hoàn toàn cách ly với kênh dẫn. Phần bán dẫn n của lớp đế người ta cũng gắn một điện cực kim loại và đưa ra làm cực đế Sub (Substrate). Thông thường cực đế được nối chung với cực S.

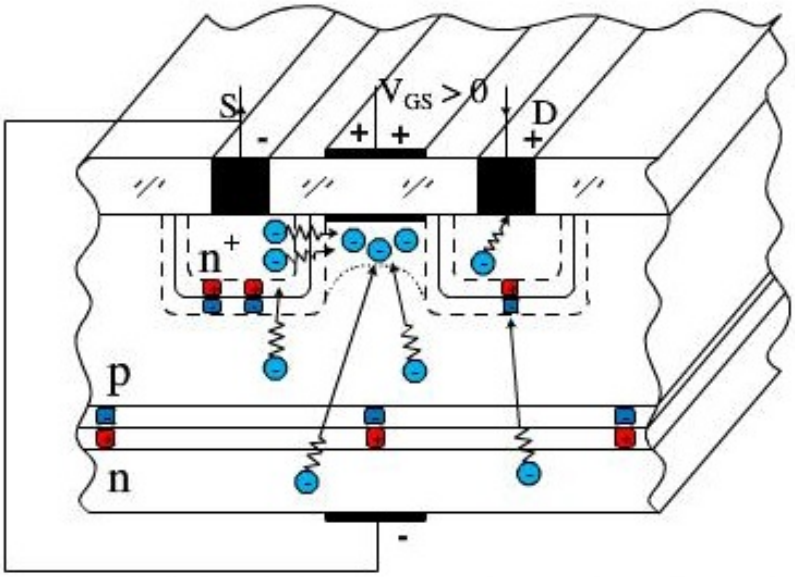


Hình 5.15. *Cấu trúc và kí hiệu của E_MOSFET a. Loại N; b.Loại P.*

b. Nguyên lý hoạt động và đặc tuyến Vôn – Ampe

Để E-MOSFET có thể hoạt động được điều kiện cần và đủ là phải thiết lập kênh dẫn nối giữa cực D và S. Do hiệu ứng tụ điện để hình thành kênh dẫn n E-MOSFET hoạt động thì $V_{GS} > 0$ và $V_{DS} > 0$.

Khi điện áp $V_{GS} > 0$ được thiết lập ở giá trị dương lớn hơn 0V như hình 5.18, do hiệu ứng tụ điện các điện tử sẽ tập trung và nằm dọc theo lớp oxide SiO_2. Kết quả tạo nên một vùng nghèo nằm gần lớp ngăn cách SiO_2không có lỗ trống. Cùng lúc đó điện tử trong chất nền p (thuộc hạt tải thiểu số) sẽ bị hút về cực G và tích lũy tạo thành một vùng mang điện tích âm gần bề mặt của lớp SiO_2 tạo thành kênh dẫn n.



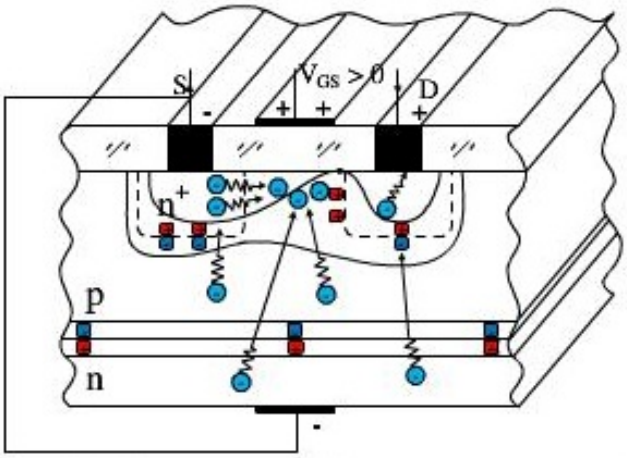
Hình 5.16: *Sự hình thành kênh dẫn trong E_MOSFET kênh n khi $V_{GS} > 0$.*

Khi điện áp V_{GS} tăng đạt đến giá trị ***điện áp ngưỡng V_{Th} (threshold)*** thì sự số lượng các điện tử tập trung gần mặt phẳng lớp SiO_2 tăng đủ có thể tạo thành một kênh dẫn giữa hai cực D và S và dòng điện I_D xuất hiện. Khi điện áp V_{GS} tăng vượt qua điện áp ngưỡng thì lực hút càng tăng dẫn đến mật độ của các hạt tải tự do chứa trong kênh dẫn tăng nên dòng điện cực máng tăng. Vì ***E-MOSFET loại n này chỉ dẫn điện khi $V_{GS} > V_{Th}$ nên nó còn được gọi là MOSFET loại tăng.***

Sau khi hình thành kênh dẫn, hoạt động của E-MOSFET giống như IGFET cũng có hiện tượng nghẽn kênh (điểm A trên đặc tuyến), đánh thủng chuyển tiếp miền D (điểm B trên đặc tuyến) như hình 5.18. Ta có :

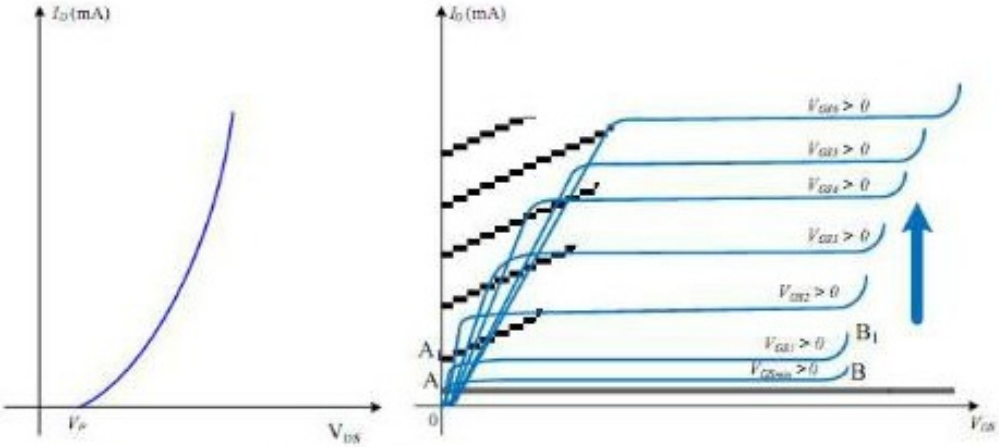
$$I_D = I_S$$

$$I_G = 0 \text{ (cực cổng cách ly)}$$



Hình 5.17: *Sự thay đổi bề rộng kênh dẫn – hiện tượng thắt kênh dẫn trong chế độ làm giàu kênh dẫn $V_{GS}>0$*

Tương tự như JFET và D_MOSFET ứng với các giá trị V_{GS} khác nhau ta được họ đặc tuyến của E_MOSFET.



Hình 5.18: *Đặc tuyến truyền đạt và ngõ ra của E_MOSFET kênh n.*

Tóm lại khi giá trị điện áp V_{GS} nhỏ hơn điện áp ngưỡng (V_{Th}) thì dòng điện cực máng của MOSFET loại kênh cảm ứng bằng 0. Khi giá trị điện áp V_{GS} lớn hơn V_{Th}, dòng điện cực máng quan hệ không tuyến tính với điện áp V_{GS} bằng phương trình:

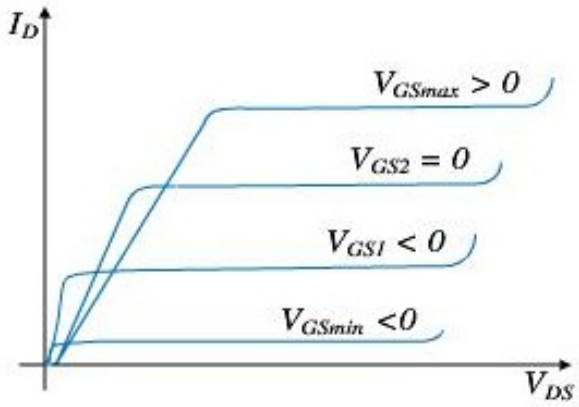
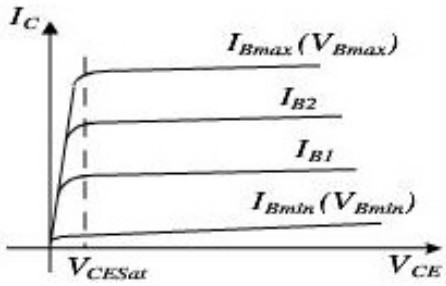
$$I_D = k\left(V_{GS} - V_{Th}\right)^2 \qquad (5.5)$$

Trong đó k là hằng số phụ thuộc vào đặc tính E-MOSFET. Thông thường, giá trị k không được nêu cụ thể mà thay vào đó người ta cho toạ độ một điểm đặc biệt trên đồ thị $I_D = f(V_{GS})$ là (I_D(on), V_{GS}(on)). Dựa vào dữ kiện này ta có thể suy ra giá trị của k từ phương trình (5-5) như sau:

$$k = \frac{I_{D(on)}}{(V_{GS(on)} - V_{Th})^2} \qquad (5.6)$$

Tương tự, ta có đặc tuyến của E-MOSFET loại p ngược lại với loại n.

5.4 SO SÁNH GIỮA BJT VÀ FET

JFET	BJT
- Cấu tạo có kênh dẫn n, hoặc p	- Có cấu tạo cơ bản bằng J_E và J_C.
- Dòng điện I_D là dòng của hạt đa số chỉ chạy qua kênh dẫn nên I_D có giá trị lớn FET dùng trong khoá đóng mở nhanh $I_G \cong 0;\ I_D = I_S$	- Dòng I_C xuyên qua hai chuyển tiếp nên sẽ khó khăn hơn dòng I_D và I_C có giá trị nhỏ hơn I_D. $V_{BE} = 0.7;\ I_C \cong I_E$
- Có kích thước nhỏ thường dùng trong chế tạo IC (vi mạch tích hợp Integrated Circuit)	- Có kích thước lớn hơn FET cùng 1 công suất
- Trên họ đặc tuyến V-I ngõ ra có tham số điều khiển bằng điện áp V_{GS} $I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$  	- Trên họ đặc tuyến V-I ngõ ra có tham số điều khiển bằng dòng điện I_B hoặc điện áp V_{BB}. $I_C = \beta I_B + I_{CBO}$ 

***Hình 5.11**. So sánh giữa JFET và BJT*

5.5 BÀI TẬP

5.5.1 Nguyên lý hoạt động, đặc tính khuếch đại của JFET kênh N?

5.5.2 Nguyên lý hoạt động, đặc tính khuếch đại của JFET kênh P?

5.5.3 Nguyên lý hoạt động, đặc tính khuếch đại của MOSFET cảm ứng loại N?

5.5.4 Nguyên lý hoạt động, đặc tính khuếch đại của MOSFET cảm ứng loại P?

5.5.5 Nguyên lý hoạt động, đặc tính khuếch đại của MOSFET kênh có sẵn loại N?

5.5.6 Nguyên lý hoạt động, đặc tính khuếch đại của MOSFET kênh có sẵn loại P?

Chương 6
PHÂN CỰC CHO TRANSISTOR TRƯỜNG FET

6.1. GIỚI THIỆU

Phân cực cho FET là cung cấp năng lượng DC cho FET để xác định trạng thái của FET trên đặc tuyến ngõ ra và xác định điểm làm việc tĩnh Q(I_{DQ}, V_{DSQ}). Đối với FET chúng ta có hai cách để xác định giá trị điểm tĩnh Q, một là dùng phương pháp toán học, hai là dùng phương pháp đồ thị. Phương pháp đồ thị tính toán đơn giản là phương pháp tính gần đúng.

Mối quan hệ tổng quát có thể được áp dụng để phân tích DC, tính toán phân cực cho tất cả các mạch khuếch đại dùng FET là:

$$I_G = 0 \qquad (6.1)$$

Và

$$I_D = I_S \qquad (6.2)$$

Đối với JFET và MOSFET kênh có sẵn, phương trình Shockley có thể áp dụng để diễn tả mối quan hệ giữa các đại lượng vào ra, giữa dòng I_D và V_{GS}, đây chính là đường đặc tuyến truyền đạt.

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (6.3)$$

Còn đối với E-MOSFET kênh cảm ứng, phương trình sau được áp dụng, đây chính là đường đặc tuyến truyền đạt.

$$I_D = k(V_{GS} - V_T)^2 \qquad (6.4)$$

Xác định tĩnh điểm Q của mạch bằng phương pháp tính:

Bước 1: Áp dụng định luật Kirchhoff cho vòng đi qua hai cực GS để tìm V_{GS}. Giá trị V_{GS} này có thể là một giá trị cố định hoặc phụ thuộc vào I_D.

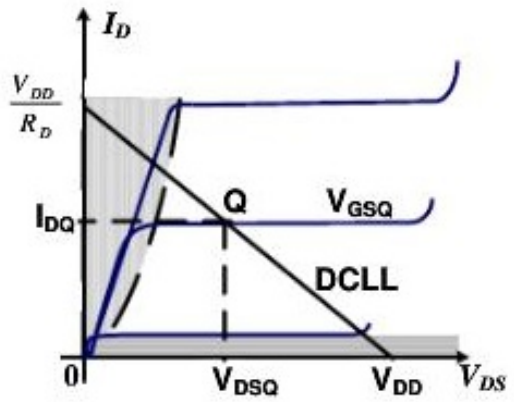
Bước 2: Từ hai phương trình (6.3), (6.4), thế V_{GS} vừa tìm được và giải ta sẽ tìm được I_D.

Bước 3: Áp dụng định luật Kirchhoff cho vòng qua hai cực DS ta sẽ tính được V_{DSQ} và viết phương trình DCLL.

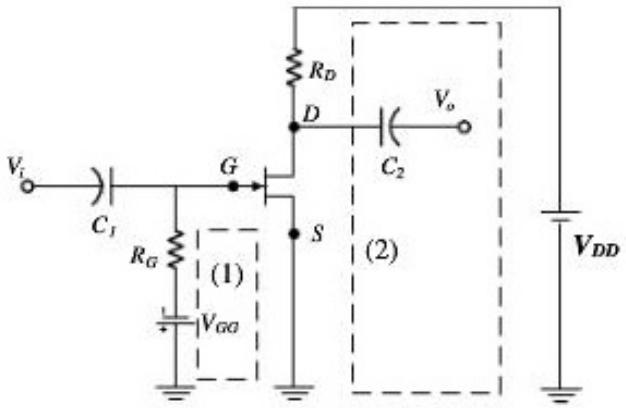
6.2. PHÂN CỰC CHO JFET

6.2.1. Mạch phân cực cố định (Fixed bias)

Mạch phân cực cố định sử dụng JFET kênh N như hình 6.1. Trong đó tụ C_1 và tụ C_2 là các tụ liên lạc đối với tín hiệu vào và tín hiệu ra. Giống như mạch phân cực dùng BJT, các tụ này có chức năng ngăn dòng DC từ nguồn một chiều V_{DD} chạy về nguồn tín hiệu V_i (tụ C_1), ngăn dòng DC từ nguồn một chiều V_{DD} chạy về tải (tụ C_2), khi phân tích DC thì các các tụ điện này xem như hở mạch.



Hình 6.1. Mạch phân cực cố định.



Hình 6.2. Đường tải DC.

Áp dụng định luật Kirchhoff cho vòng (1) đi qua hai cực GS ta được:

$$V_{GG} + I_G R_G + V_{GS} = 0$$

Do đặc điểm của JFET: $I_G = 0$

Nên: $$V_{GS} = -V_{GG} \qquad (6.5)$$

Do V_{GG} là điện áp cung cấp cố định nên điện áp V_{GS} cũng có giá trị cố định do đó mạch được gọi là mạch phân cực cố định. Từ giá trị V_{GS} tìm được ở trên (6.1), thế vào phương trình Shockley ta sẽ tìm được dòng I_D:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_p}\right)^2 = I_{DSS}\left(1 - \frac{-V_{GG}}{V_p}\right)^2 \qquad (6.6)$$

Tiếp theo áp dụng định luật Kirchhoff cho vòng (2) đi qua hai cực DS ta tính được V_{DS} và viết được phương trình DCLL:

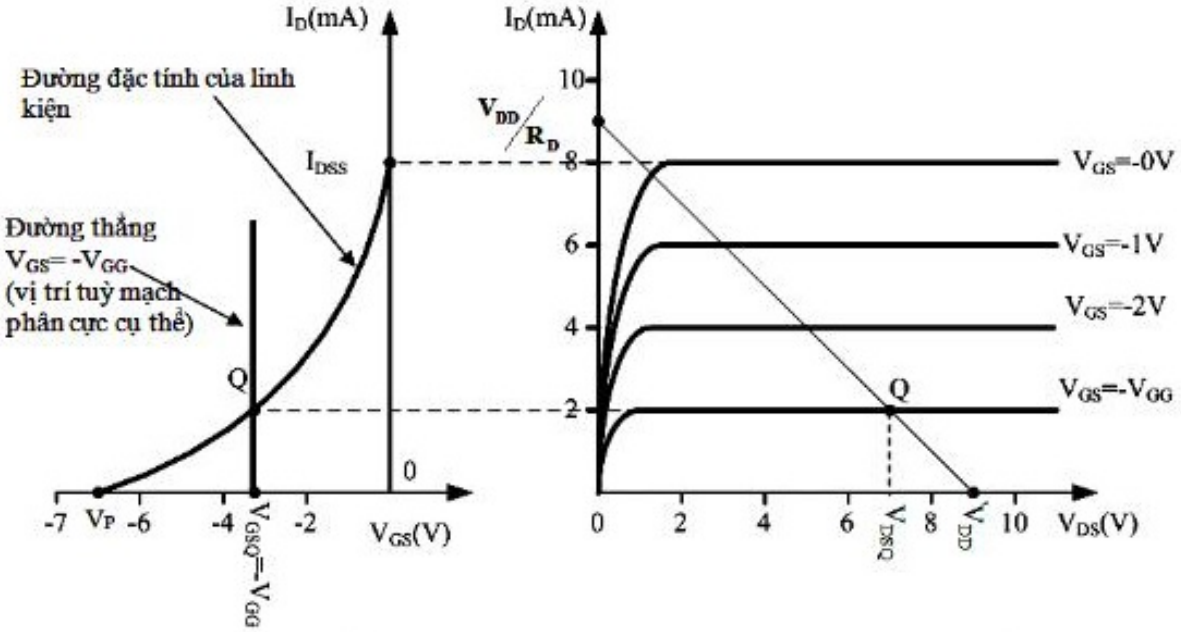
$$V_{DD} = I_D R_D + V_{DS} \Rightarrow V_{DS} = V_{DD} - I_D R_D \qquad (6.7a)$$

Vậy là điểm Q được xác định Q(I_{CQ}, V_{DSQ}). Ngoài ra, từ (6.7a) ta có:

$$I_D = -\frac{1}{R_D}V_{DS} + \frac{V_{DD}}{R_D} \qquad (6.7b)$$

Phương trình (6.7b) chính là phương trình đường tải DC (DCLL) của mạch.

Cách khác, ta có thể tìm điểm làm việc tĩnh Q bằng đồ thị



Hình 6.3. *Tìm điểm làm việc tĩnh Q bằng phương pháp đồ thị*

Bước 1: Viết phương trình phân cực dựa vào vòng (1):

$$V_{GG} = I_G R_G + V_{GS}$$

Ta có: $$V_{GS} = -V_{GG}.$$

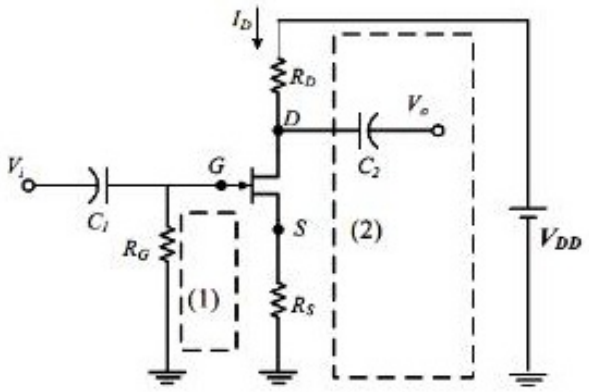
Đây là phương trình có dạng x = const. Trên đặc tuyến truyền đạt, ta vẽ đường thẳng này. Giao điểm của phương trình phân cực với đặc tuyến truyền đạt cho ta giá trị I_{DQ}.

Bước 2: Từ phương trình DCLL (6.7b). Vẽ đường tải DCLL này trên đồ thị đặc tuyến ngõ ra và giao điểm của DCLL với đặc tuyến ngõ ra của JFET cho ta giá trị V_{DSQ} cần tìm như hình 6.3.

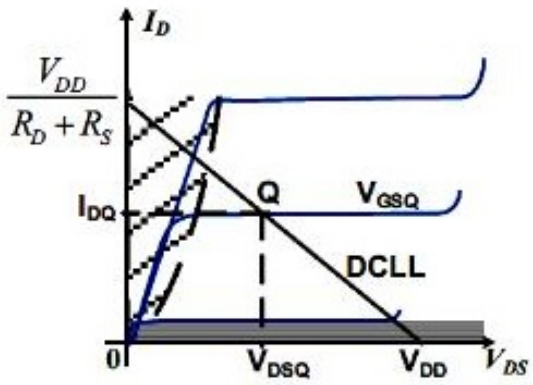
Qua phân tích mạch phân cực trên ta thấy vì $I_G = 0$ nên rõ ràng điện trở R_G không có tác dụng đối với tín hiệu DC. Tuy nhiên nó có tác dụng rất quan trọng đối với mạch khuếch đại mà chương sau ta sẽ khảo sát nên không thể bỏ ra khỏi mạch.

6.2.2. Mạch tự phân cực

Mạch tự phân cực sẽ loại bỏ bớt một nguồn cung cấp DC V_{GG} nên được gọi là mạch tự phân cực hình 6.4.



Hình 6.4. Mạch tự phân cực



Hình 6.5 Đường tải DC

Áp dụng định luật Kirchhoff cho vòng đi qua hai cực GS (vòng 1) như hình 6.4 ta được:

$$I_G R_G + V_{GS} + I_S R_S = 0$$

Do đặc điểm của JFET: $I_G = 0$

Và $I_D = I_S$

Nên: $V_{GS} = -I_D R_S$ (6.8)

Chú ý trong trường hợp này điện áp V_{GS} là hàm biến thiên theo dòng điện I_D nên giá trị sẽ không cố định như với mạch phân cực cố định.

Thay giá trị điện áp V_{GS} từ phương trình (6.8) vào phương trình Shockley được:

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{Vp}\right)^2 = I_{DSS}\left(1-\frac{-I_D R_S}{Vp}\right)^2 = I_{DSS}\left(1+\frac{I_D R_S}{Vp}\right)^2 \quad (6.9)$$

Khai triển hằng đẳng thức từ phương trình (6.9) ta sẽ được phương trình bậc hai theo biến I_D có dạng như sau:

$$I_D^2 + k_1 I_D + k_2 = 0$$

Giải phương trình trên được hai nghiệm I_D và chọn nghiệm dựa vào đặc tính của JFET kênh n: $V_p \le V_{GS} \le 0$.

Tiếp theo áp dụng định luật Kirchhoff cho vòng (2) đi qua hai cực DS ta tính được V_{DS} và viết được phương trình DCLL:

$$V_{DD} = I_D R_D + V_{DS} + I_D R_S \Rightarrow V_{DS} = V_{DD} - I_D (R_D + R_S) \quad (6.10a)$$

Vậy là điểm Q được xác định Q(I_{CQ}, V_{DSQ}). Ngoài ra từ phương trình trên ta có:

$$I_D = -\frac{1}{R_D + R_S} V_{DS} + \frac{V_{DD}}{R_D + R_S} \quad (6.10b)$$

Đây chính là phương trình đường tải DC (DCLL) của mạch.

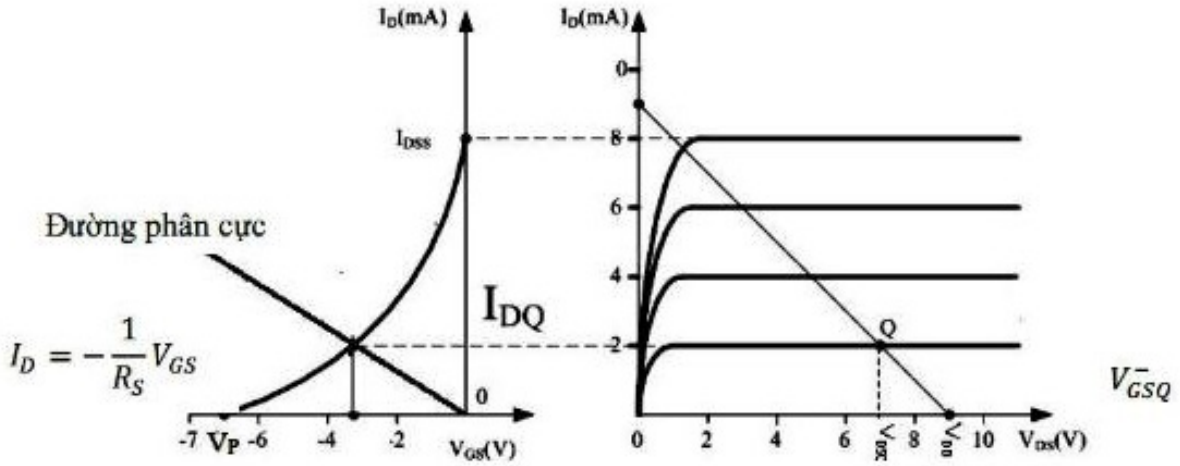
Phương pháp vừa trình bày ở trên là phương pháp toán học, sau đây sẽ trình bày phương pháp đồ thị để xác định dòng điện I_D.

Bước 1: Dựa vào mạch vòng (1), phương trình 6.4 ta có phương trình đường phân cực:

$$I_D = -\frac{1}{R_S} V_{GS}$$

Đây là phương trình có dạng y = ax. Trên đặc tuyến truyền đạt, ta vẽ đường thẳng này. Giao điểm của phương trình phân cực với đặc tuyến truyền đạt cho ta giá trị I_{DQ}.

Bước 2: Từ phương trình DCLL (6.10b). Vẽ đường tải DCLL này trên đồ thị đặc tuyến ngõ ra và giao điểm của DCLL với đặc tuyến ngõ ra của JFET cho ta giá trị V_{DSQ} cần tìm như hình 6.6

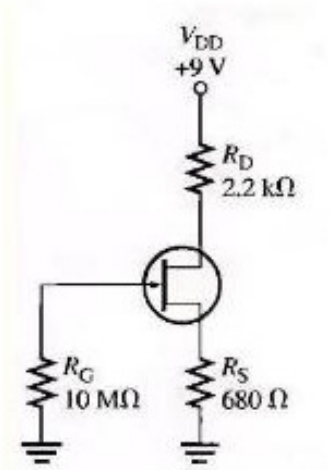


***Hình 6.6**. Tìm điểm làm việc tĩnh Q của mạch tự phân cực bằng phương pháp đồ thị.*

Ví dụ:

Tìm điểm làm việc tĩnh Q(I_D, V_{DS}). Biết I_{DSS}= 4mA, Vp = -6V. Hãy giải bằng phương pháp đại số và phương pháp đồ thị

Phương pháp đại số:



Áp dụng định luật Kirchhoff cho vòng đi qua mối nối GS với $I_G = 0$ và $I_D = I_S$ ta được:

$$V_{GS} = -I_D R_S = -0.68 I_D$$

Thế V_{GS} vào phương trình Shockley

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{Vp}\right)^2 = I_{DSS}\left(1-\frac{-I_D R_S}{Vp}\right)^2 = I_{DSS}\left(1+\frac{I_D R_S}{Vp}\right)^2$$

$$\Leftrightarrow I_D = 4\left(1+\frac{0.68 I_D}{-6}\right)^2$$

Khai triển ta được phương trình bậc 2 theo I_D:

$$0.0513 I_D^2 - 1.91 I_D + 4 = 0$$

Giải phương trình, được hai nghiệm I_D:

I_{D1}= 35.22mA → loại.

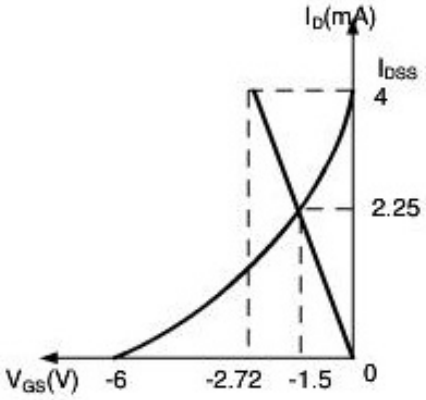
I_{D2}= 2.22mA → nhận.

Vậy I_D = 2.22mA và V_{GS} = -0.68x2.22 = -1.51V

Áp dụng định luật Kirchhoff cho vòng đi qua hai cực DS với $I_D = I_S$ ta được:

$V_{DS} = V_{DD} - I_D(R_D+R_S) = 9 - 2.22(2.2 + 0.68) = 2.61V$.

Giải bằng phương pháp đồ thị:



Trên đặc tuyến truyền đạt của linh kiện, vẽ đường phân cực

$$I_D = -\frac{V_{GS}}{R_S} = -\frac{V_{GS}}{0.68}\ (\text{mA})$$

Đường thẳng này cắt đặc tuyến của linh kiện tại điểm Q có toạ độ khoảng

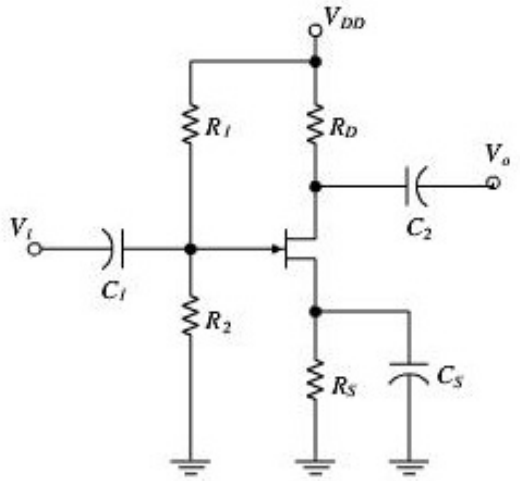
$$I_D = 2.25\text{mA},\ V_{GS} = -1.5\text{V}.$$

Áp dụng định luật Kirchhoff cho vòng đi qua hai cực DS với $I_D = I_S$ ta được:

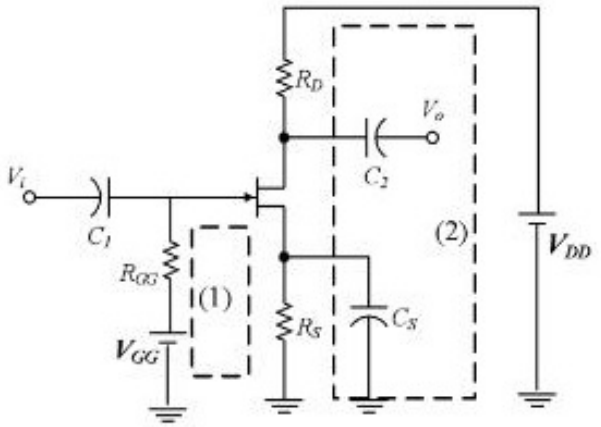
$$V_{DS} = V_{DD} - I_D(R_D + R_S) = 9 - 2.25(2.2 + 0.68) = 2.52\text{V}$$

6.2.3. Mạch phân cực cho FET sử dụng cầu phân áp

Mạch phân cực bằng cầu phân áp của FET thì cũng giống như mạch đã áp dụng đối với BJT có cấu hình mạch như hình 6.7.



Hình 6.7 *Mạch phân cực dùng cầu phân áp*



Hình 6.8 *Mạch tương đương để tính phân cực*

Áp dụng định lý Thevenin:

$$R_{GG} = R_1 \parallel R_2$$

$$V_{GG} = \frac{R_2 V_{DD}}{R_1 + R_2} \qquad (6.11)$$

Áp dụng Kirchhoff cho mạch vòng (1), mạch vòng GS

$$V_{GS} = V_{GG} - I_S R_S = V_{GG} - I_D R_S \; (I_G=0,\ I_D= I_S) \qquad (6.12)$$

Thay giá trị điện áp V_{GS} từ (6.12)vào phương trình Shockley được:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{Vp}\right)^2 = I_{DSS}\left(1 - \frac{R_2 V_{DD}}{(R_1 + R_2)Vp} - \frac{-I_D R_S}{Vp}\right)^2 \qquad (6.13)$$

Tương tự như mạch tự phân cực, khai triển (6.13) ta sẽ được phương trình bậc hai theo biến I_D có dạng như sau:

$$I_D^2 + k_1 I_D + k_2 = 0$$

Giải phương trình trên được hai nghiệm I_D và chọn nghiệm dựa vào đặc tính của JFET kênh n: $V_p \le V_{GS} \le 0$

Tiếp theo áp dụng định luật Kirchhoff cho vòng (2) đi qua hai cực DS ta tính được V_{DS} và viết được phương trình DCLL:

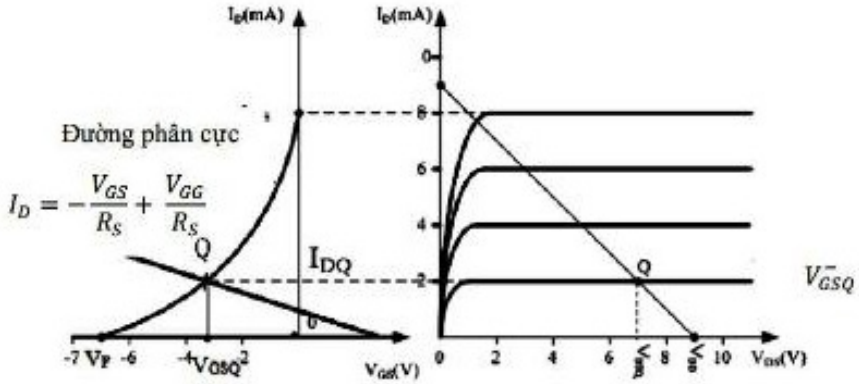
$$V_{DD} = I_D R_D + V_{DS} + I_D R_S \Rightarrow V_{DS} = V_{DD} - I_D (R_D + R_S) \qquad (6.14a)$$

Vậy là điểm Q được xác định Q(I_{CQ}, V_{DSQ}). Ngoài ra từ phương trình trên ta có:

$$I_D = -\frac{1}{R_D + R_S} V_{DS} + \frac{V_{DD}}{R_D + R_S} \qquad (6.14b)$$

Đây chính là phương trình đường tải DC (DCLL) của mạch.

Hoặc giải bằng đồ thị như hình 6.9



Hình 6.9 *Tìm điểm làm việc tĩnh Q của mạch phân cực dùng cầu phân áp bằng phương pháp đồ thị.*

Bước 1: Dựa vào mạch vòng (1), phương trình 6.9 ta có phương trình đường phân cực:

$$I_D = -\frac{1}{R_S}V_{GS} + \frac{1}{R_S}V_{GG}$$

Đây là phương trình có dạng y = ax + b. Trên đặc tuyến truyền đạt, ta vẽ đường thẳng này. Giao điểm của phương trình phân cực với đặc tuyến truyền đạt cho ta giá trị I_{DQ}.

Bước 2: Từ phương trình DCLL (6.14b). Vẽ đường tải DCLL này trên đồ thị đặc tuyến ngõ ra và giao điểm của DCLL với đặc tuyến ngõ ra của JFET cho ta giá trị V_{DSQ} cần tìm như hình 6.9.

6.3. PHÂN CỰC CHO MOSFET KÊNH

6.3.1. Phân cực cho D - MOSFET

Các dạng mạch phân cực cho JFET như mạch phân cực cố định, mạch tự phân cực, mạch phân cực dùng cầu phân áp đều có thể dùng để phân cực cho MOSFET kênh có sẵn và cách tìm điểm làm việc tĩnh Q cũng tương tự. Sự khác nhau cơ bản là MOSFET kênh có sẵn cho phép các điểm hoạt động với I_D lớn hơn giá trị I_{DSS}.

6.3.2. Phân cực cho E - MOSFET

Các đặc tính của MOSFET kênh cảm ứng hoàn toàn khác với JFET và MOSFET kênh có sẵn ở điểm là dòng điện cực máng của MOSFET kênh chưa có sẵn bằng 0 khi điện áp V_{GS} nhỏ hơn điện áp ngưỡng V_{Th} như được trình bày ở chương 5.

Khi điện áp V_{GS} lớn hơn V_{Th}, dòng điện cực máng xác định theo phương trình:

$$I_D = k\left(V_{GS} - V_T\right)^2 \qquad (6.15a)$$

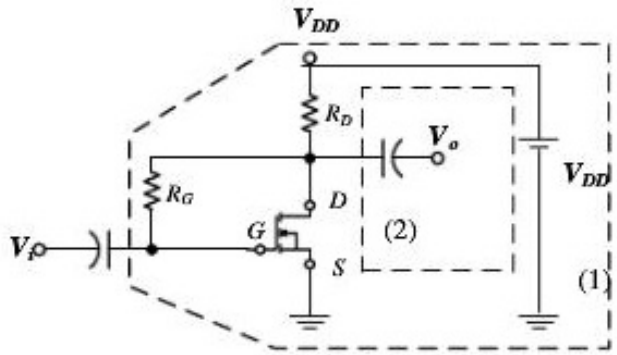
Theo phương trình trên, để tính được dòng I_D, ta phải biết được hằng số k và V_{GS}. Trong đó, điện áp V_{GS} tính được từ mạch phân cực cụ thể, còn hằng số k là đặc tính của linh kiện. Thông thường bảng thông số của MOSFET không cho cụ thể giá trị k mà thường cung cấp giá trị điện áp ngưỡng của dòng điện $I_{D(on)}$ và giá trị điện áp $V_{GS(on)}$ tương ứng. Từ hai giá trị này dựa vào phương trình, ta tính hệ số k như sau:

$$k = \frac{I_{D(ON)}}{\left(V_{GS(ON)} - V_T\right)} \qquad (6.15b)$$

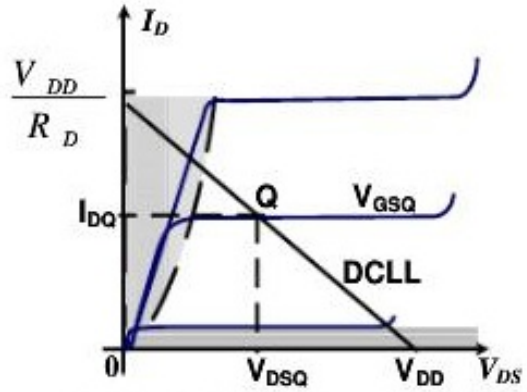
Khi thông số k đã xác định thì giá trị của dòng I_D, V_{DSQ}, đường tải DCLL thì đều có thể xác định được.

a. Mạch phân cực hồi tiếp:

Sơ đồ mạch phân cực hồi tiếp như hình 6.10. Điện áp trên cực G là hồi tiếp điện áp từ cực D nên mạch được gọi là mạch phân cực hồi tiếp.



Hình 6.10 *Mạch phân cực hồi tiếp*



Hình 6.11 *Đường tải DC*

Do đặc điểm của E-MOSFET $I_G = 0$

Nên ta có $$V_{DS} = V_{GS} \qquad (6.16)$$

Áp dụng Kirchhoff cho vòng (2), vòng DS ta có:

$$V_{DD} = I_D R_D + V_{DS} \qquad (6.17)$$

Từ (6.16) và (6.17) được

$$V_{GS} = V_{DD} - I_D R_D \qquad (6.18)$$

Thế V_{GS} vào phương trình $I_D = k(V_{GS} - V_T)^2$

Khai triển hằng đẳng thức ta sẽ được phương trình bậc hai theo biến I_D có dạng như sau:

$$I_D^2 + a_1 I_D + a_2 = 0$$

Giải phương trình trên được hai nghiệm I_D và chọn nghiệm dựa vào đặc tính của E-MOSFET loại n: $V_{Th} \le V_{GS}$ với V_{Th} là điện áp ngưỡng.

Thế I_D vừa tìm được vào phương trình (6.17) ta sẽ tính được V_{DS}.

Từ phương trình (6.18) ta rút được phương trình đường tải DC:

$$I_D = -\frac{V_{DS}}{R_D} V_{GS} + \frac{V_{DD}}{R_D} \qquad (6.19)$$

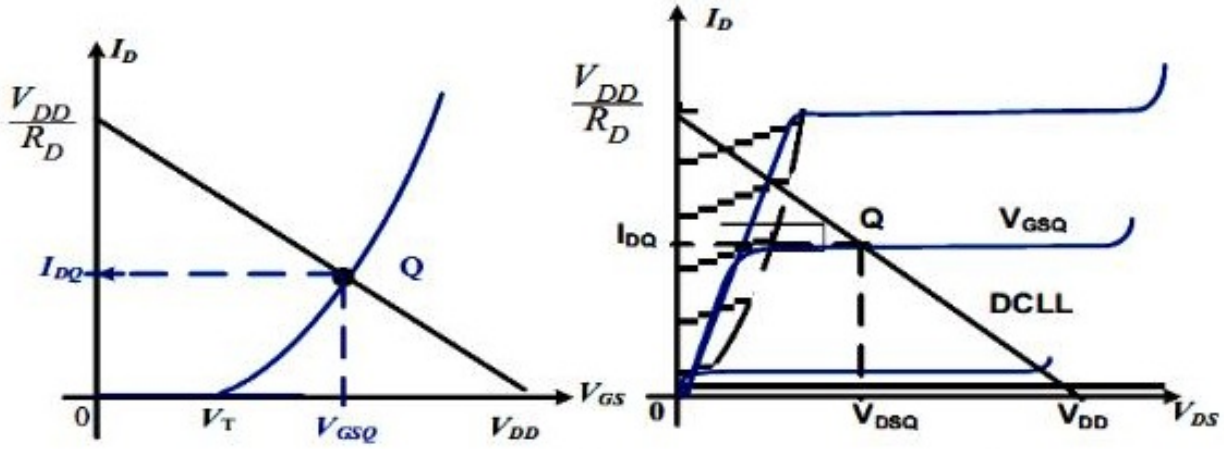
➢ **Giải bằng phương pháp đồ thị:**

Bước 1: Dựa vào phương trình (6.18) ta có phương trình đường thẳng phân cực:

$$I_D = -\frac{1}{R_D} V_{GS} + \frac{1}{R_D} V_{DD}$$

Đây là phương trình có dạng y = ax + b. Trên đặc tuyến truyền đạt ta vẽ đường thẳng này. Giao điểm của phương trình phân cực với đặc tuyến truyền đạt cho ta giá trị I_{DQ}.

Bước 2: Từ phương trình DCLL (6.19). Vẽ đường tải DCLL này trên đồ thị đặc tuyến ngõ ra và giao điểm của DCLL với đặc tuyến ngõ ra của E-MOSFET cho ta giá trị V_{DSQ} cần tìm như hình 6.12



***Hình 6.12**: Tìm điểm làm việc tĩnh Q bằng đồ thị*

b. Mạch phân cực bằng cầu phân áp:

Sơ đồ mạch như hình 6.13.

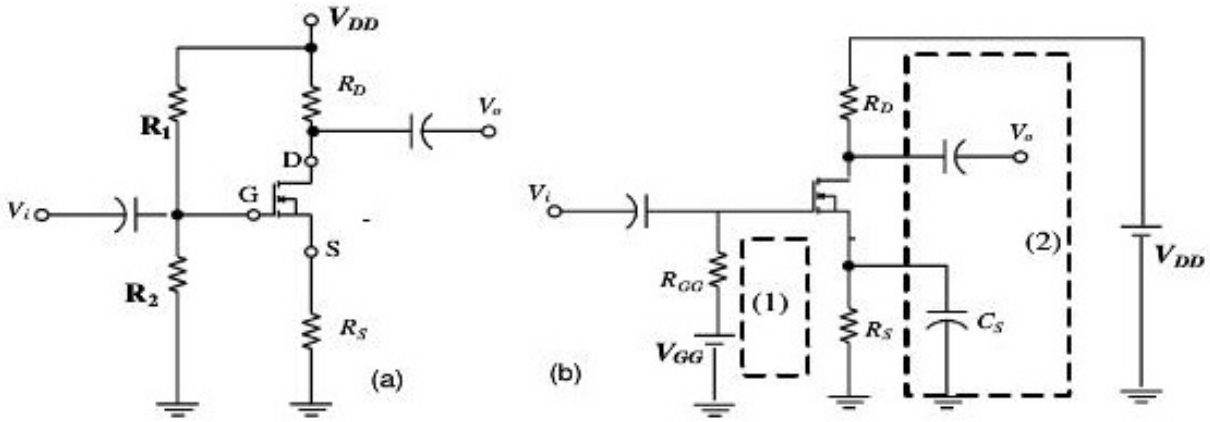
Áp dụng định lý Thevenin ta tính được điện áp V_{GG} và R_{GG} theo công thức sau:

$$V_{GG} = \frac{R_2 V_{DD}}{R_1 + R_2};$$

$$R_{GG} = \frac{R_1 R_2}{R_1 + R_2} \qquad (6.16)$$

Áp dụng định luật Kirchhoff cho vòng (1), vòng GS suy ra:

$$V_{GG} = I_G R_G + V_{GS} + I_S R_S \qquad (6.17)$$



***Hình 6.13**: a. Mạch phân cực dùng cầu phân áp cho E-MOSFET loại N.*

b. Mạch tương đương tính phân cực

Do đặc điểm của E-MOSFET:

$$I_D = I_S \text{ và } I_G = 0$$

Nên ta có phương trình

$$V_{GS} = V_{GG} - I_S R_S = V_{GG} - I_D R_S$$

Thế V_{GS} vào phương trình

$$I_D = k\left(V_{GS} - V_T\right)^2$$

Tương tự mạch phân cực hồi tiếp, khai triển hằng đẳng thức ta sẽ được phương trình bậc hai theo biến I_D có dạng như sau:

$$I_D^2 + a_1 I_D + a_2 = 0$$

Giải phương trình trên được hai nghiệm I_D và chọn nghiệm dựa vào đặc tính của E-MOSFET loại n: $V_T \le V_{GS}$.

Tiếp theo, áp dụng định luật Kirchhoff cho vòng (2) đi qua hai cực DS ta tính được V_{DS} và viết được phương trình DCLL:

$$V_{DD} = I_D R_D + V_{DS} + I_D R_S \Rightarrow$$

$$V_{DS} = V_{DD} - I_D (R_D + R_S) \qquad (6.18a)$$

Vậy là điểm Q được xác định Q(I_{CQ}, V_{DSQ}). Ngoài ra từ phương trình trên ta có:

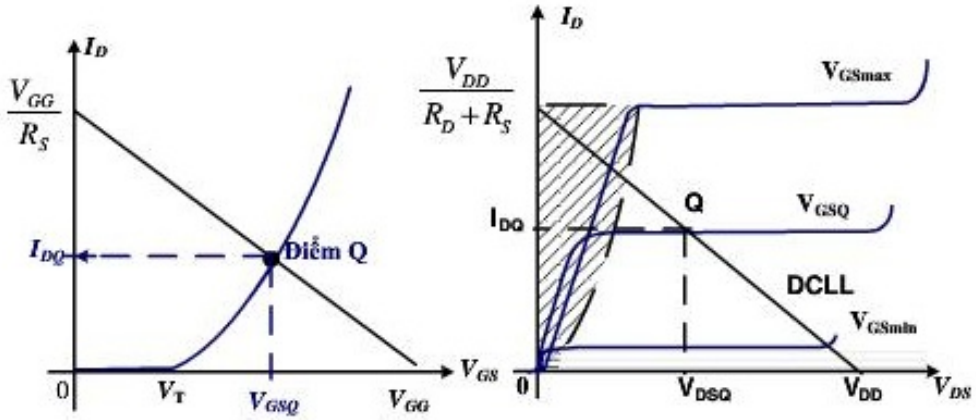
$$I_D = -\frac{1}{R_D + R_S} V_{DS} + \frac{V_{DD}}{R_D + R_S} \qquad (6.18b)$$

Giải bằng phương pháp đồ thị. Trên đồ thị đặc tuyến truyền đạt của E-MOSFET kênh N như hình 6.14 ta vẽ đường phân cực:

$$I_D = -\frac{1}{R_S} V_{GS} + \frac{1}{R_S} V_{GG}$$

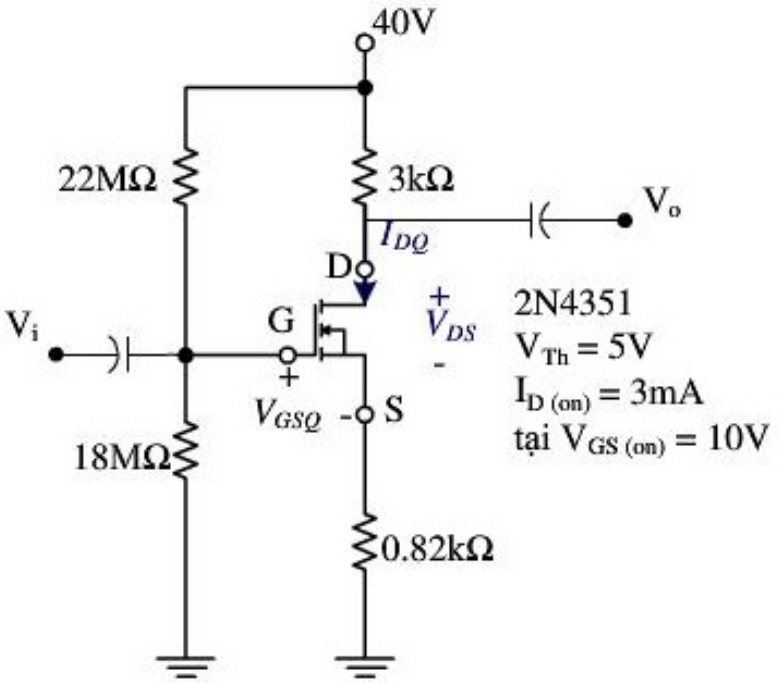
Đường thẳng này cắt hai trục toạ độ và cắt đặc tuyến tại một điểm. Đây chính là điểm làm việc tĩnh Q. Toạ độ của điểm làm việc tĩnh này chính là giá trị I_{DQ} và V_{GSQ} cần tìm.

Từ phương trình DCLL (6.18b). Vẽ đường tải DCLL này trên đồ thị đặc tuyến ngõ ra và giao điểm của DCLL với đặc tuyến ngõ ra của JFET cho ta giá trị V_{DSQ} cần tìm như hình 6.14.



***Hình 6.14**: Tìm điểm làm việc tĩnh Q của mạch phân cực dùng cầu phân áp của E-MOSFET kênh n bằng đồ thị*

Ví dụ: Tìm điểm làm việc tĩnh của mạch phân cực sau dùng phương pháp đại số và phương pháp đồ thị



➢ **<u>Giải bằng phương pháp đại số:</u>**

Từ giá trị $I_{D(on)}$ và $V_{GS(on)}$ ta tính được hằng số k của E-MOSFET:

$$k = \frac{I_{D(on)}}{(V_{GS(on)} - V_T)^2} = \frac{3}{(10-5)^2} = 0.12mA/V^2$$

Điện áp tại cực G ($I_G = 0$)

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2} = \frac{18}{18+22}40 = 18V$$

Áp dụng định luật Kirchhoff cho vòng GS, tính được V_{GS}:

$$V_{GS} = V_G - I_S R_S = \frac{R_2 V_{DD}}{R_1 + R_2} - I_D R_S = 18 - 0.82 I_D$$

Thế V_{GS} vào phương trình $I_D = k(V_{GS} - V_T)^2$

được $I_D = k\left(\frac{R_2 V_{DD}}{R_1 + R_2} - I_D R_S - V_T\right)^2 = 0.12(18 - 0.82 I_D - 5)^2$

$$0.081I_D^2 - 3.56I_D + 20.28 = 0$$

Giải phương trình trên thu được hai nghiệm I_D:

$$\begin{cases} I_{D1} = 37.22mA \rightarrow V_{GS} = 18 - 0.823x7.22 = -12.52V < V_T & \rightarrow \text{loại} \\ I_{D2} = 6.73mA \rightarrow V_{GS} = 18 - 0.82x6.73 = 12.48V > V_T & \rightarrow \text{nhận} \end{cases}$$

Vậy I_D= 6.73mA

Tiếp theo áp dụng định luật Kirchhoff cho vòng DS ra tính được

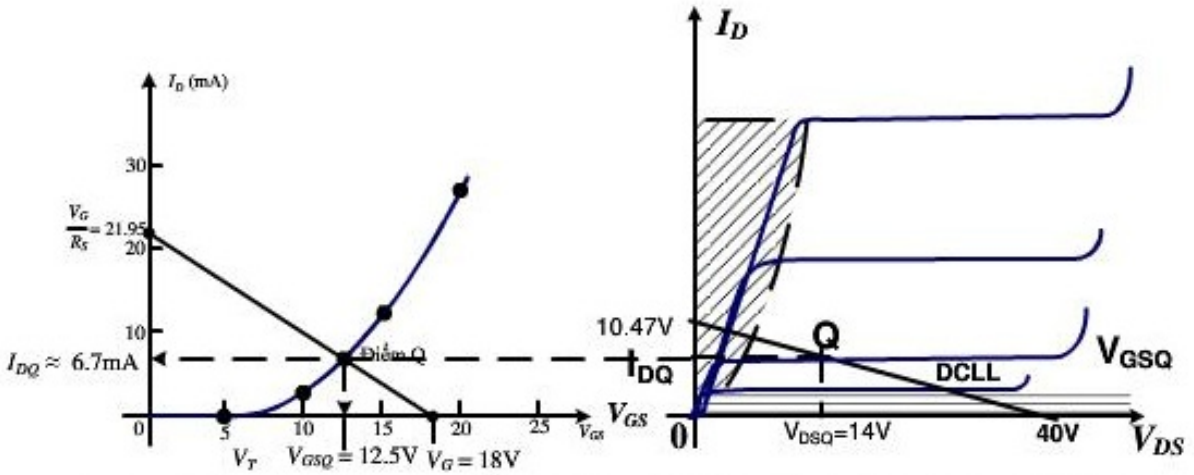
$$V_{DS} = V_{DD} - I_D(R_S + R_D) = 40 - 6.73x(3 + 0.82) = 14.3V$$

➢ **Giải bằng phương pháp đồ thị:**

Trên đồ thị đặc tuyến truyền đạt của E-MOSFET ta vẽ đường thẳng

$$V_{GS} = V_G - I_D R_S = 18 - 0.82I_D .$$

Đường thẳng này sẽ cắt đặc tuyến của E-MOSFET tại một điểm có toạ độ là giá trị I_D và V_{GS} cần tìm.



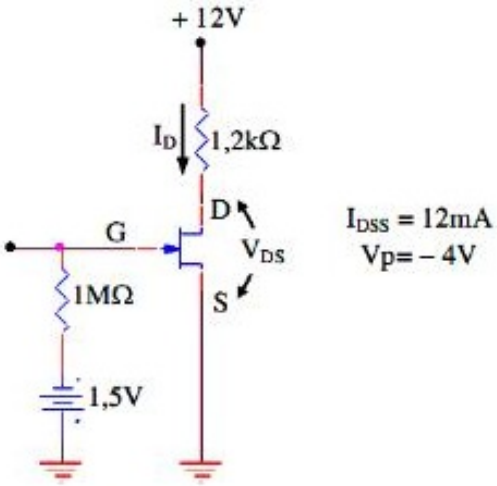
Vậy theo phương pháp đồ thị ta được I_D= 6.7mA và V_{GS}= 12.5V.

Trên đặc tuyến ngõ ra vẽ đường tải DC:

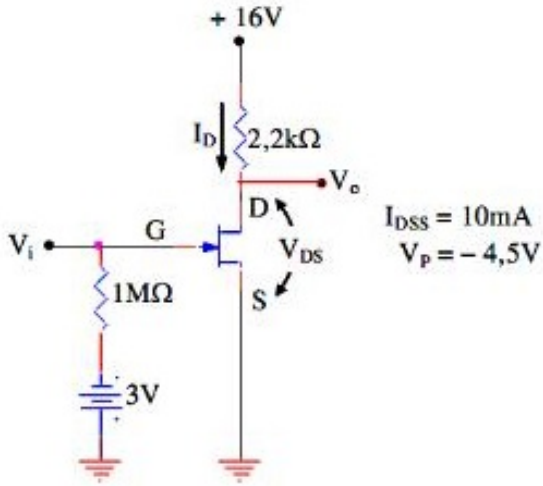
$$I_D = -\frac{1}{R_D + R_S}V_{DS} + \frac{V_{DD}}{R_D + R_S} = -0.262V_{DS} + 10.47 \qquad (mA)$$

Ta được giá trị V_{DSQ}= 14V.

6.4. BÀI TẬP



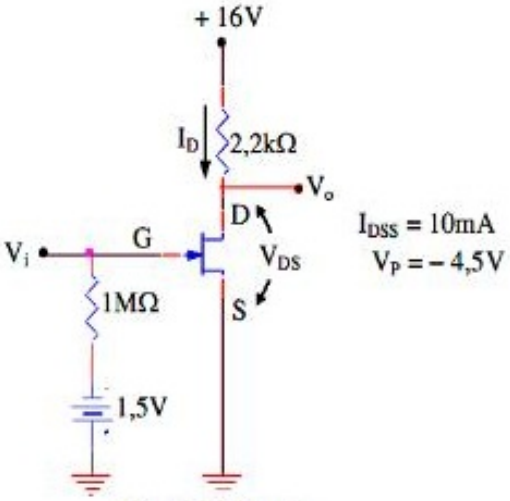
Hình bài tập 1



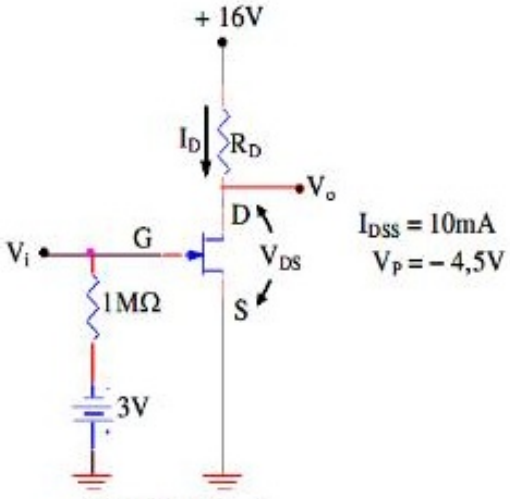
Hình bài tập 2

6.4.1. Xác định dòng cực máng I_D, điện áp cực máng – nguồn V_{DS} và viết phương trình đường tải DC cho mạch điện phân cực cố định ở hình bài tập 1.

6.4.2. Xác định dòng cực máng và điện áp cực máng – nguồn của mạch điện ở hình bài tập 2:



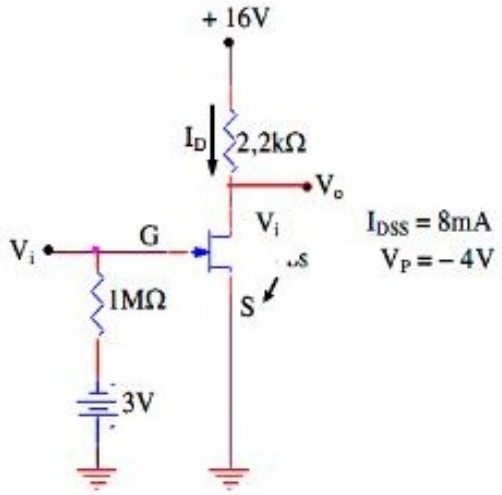
Hình bài tập 3



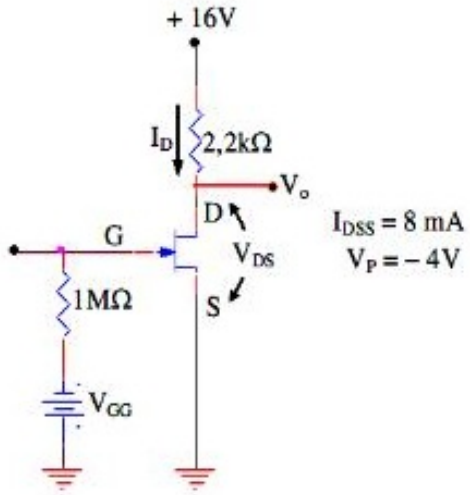
Hình bài tập 4

6.4.3. Xác định dòng cực máng và điện áp cực máng – nguồn của mạch điện ở hình bài tập 3.

6.4.4. Sử dụng giá trị nào của RD để có điện áp cực máng là +8V trong mạch điện ở hình bài tập 4:



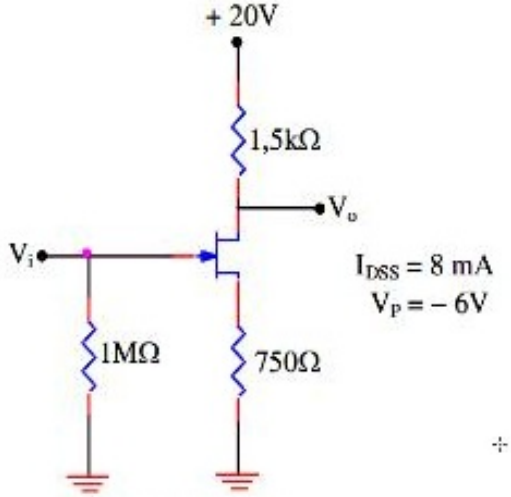
Hình bài tập 5



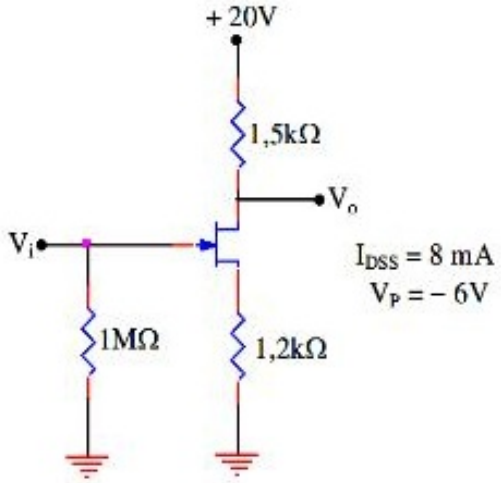
Hình bài tập 6

6.4.5. Tìm VDS trong mạch điện ở hình bài tập 5.

6.4.6. Giá trị nào của nguồn cực cổng cần để có dòng ID = 5mA trong mạch điện ở hình bài tập 6:



Hình bài tập 7



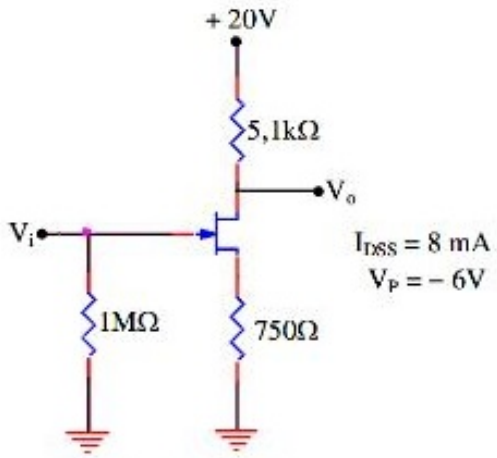
Hình bài tập 8

6.4.7. Xác định điểm làm việc tĩnh Q, viết và vẽ phương trình đường tải DC cho mạch điện ở hình bài tập 7.

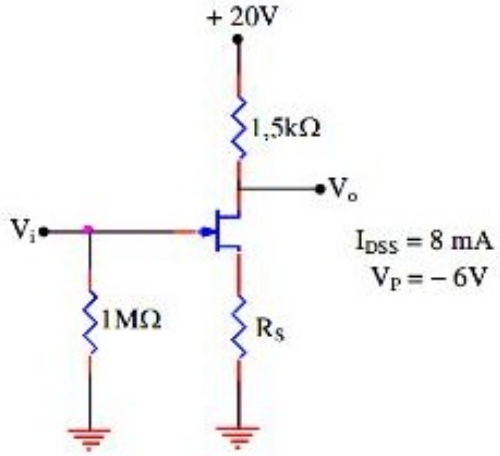
6.4.8. Xác định điện áp VS cho mạch điện ở hình bài tập 8:

6.4.9. Điện áp VDS bằng bao nhiêu trong mạch điện ở hình bài tập 9.

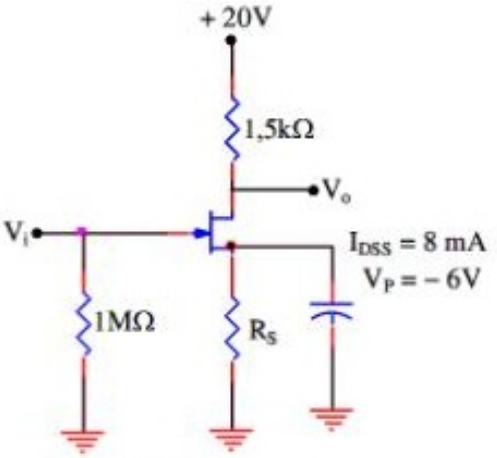
6.4.10. Giá trị của RS bằng bao nhiêu trong mạch điện ở hình bài tập 10 sau để dời điểm phân cực tới VGS = – 2V.



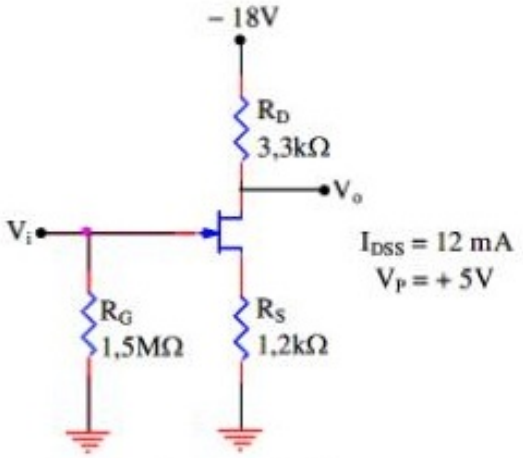
Hình bài tập 9



Hình bài tập 10



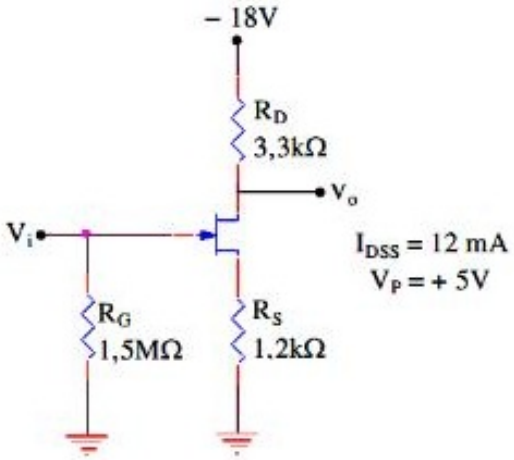
Hình bài tập 11



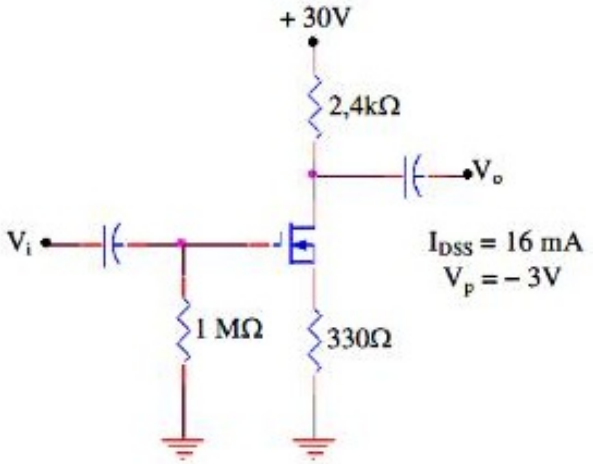
Hình bài tập 12

6.4.11. Xác định dòng điện cực máng trong mạch điện ở hình bài tập 11.

6.4.12. Xác định điện áp VS trong mạch điện ở hình bài tập 12



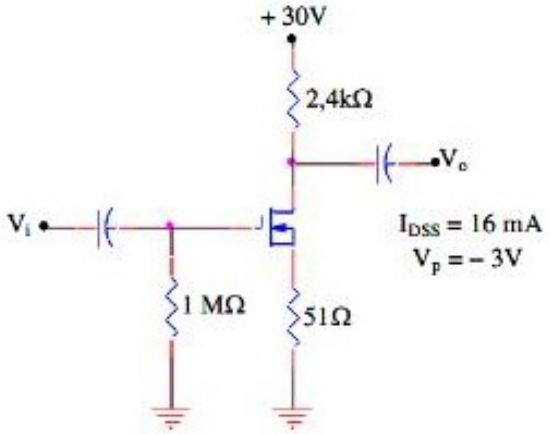
Hình bài tập 13



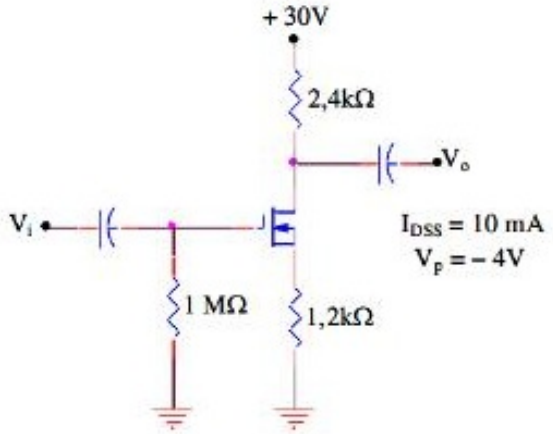
Hình bài tập 14

6.4.13. Tìm giá trị của VDS trong mạch điện ở hình bài tập 13.

6.4.14. Tìm điểm làm việc tĩnh Q, viết và vẽ phương trình đường tải DC trong mạch điện ở hình bài tập 14:



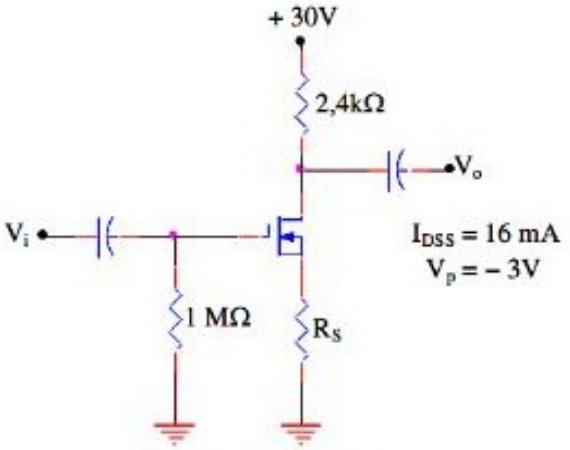
Hình bài tập 15



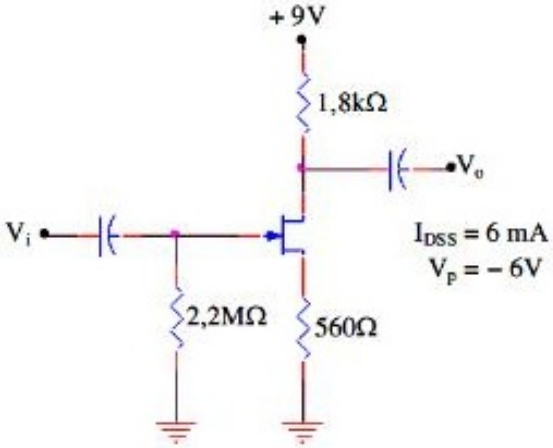
Hình bài tập 16

6.4.15. Tìm giá trị của ID và VDS trong mạch điện ở hình bài tập 15.

6.4.16. Tìm giá trị điện áp VD trong mạch điện ở hình bài tập 16.



Hình bài tập 17



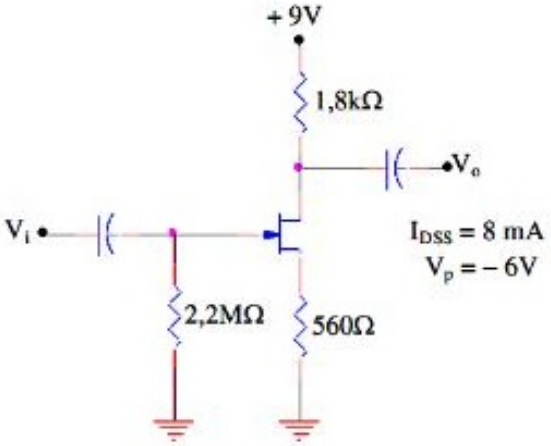
Hình bài tập 18

6.4.17. Tìm giá trị của RS để phân cực cho mạch điện ở hình bài tập 17 tại – 1V.

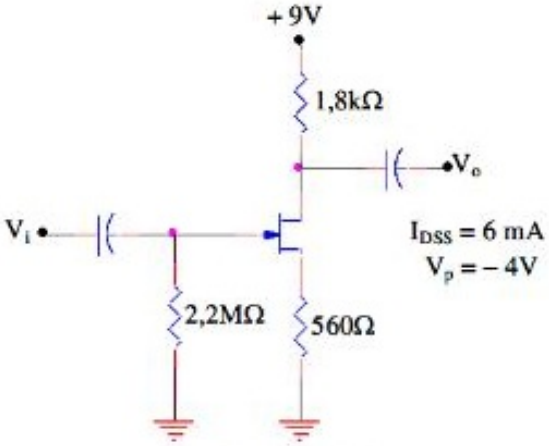
6.4.18. Xác định ID và VDS trong mạch điện ở hình bài tập 18.

6.4.19. Tìm kết quả của I_D và V_{DS} trong mạch điện ở hình bài tập 19.

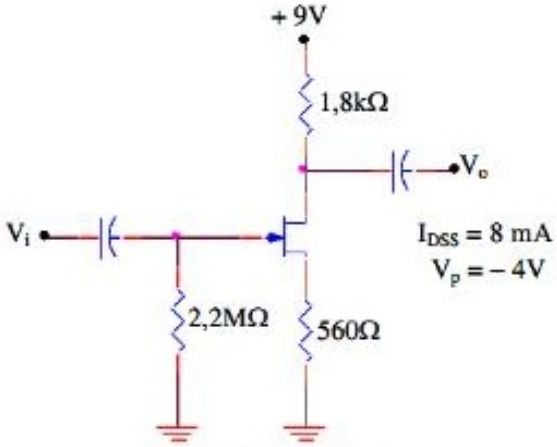
6.4.20. Tìm kết quả của I_D và V_{DS} trong mạch điện ở hình bài tập 20.



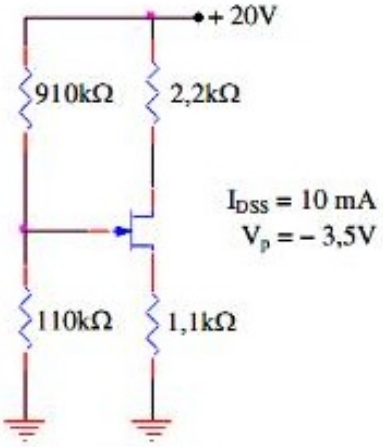
Hình bài tập 19



Hình bài tập 20



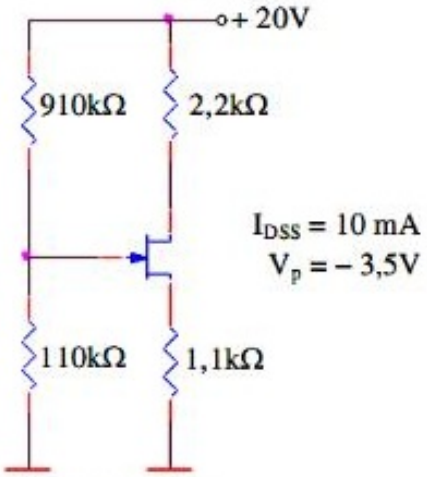
Hình bài tập 21



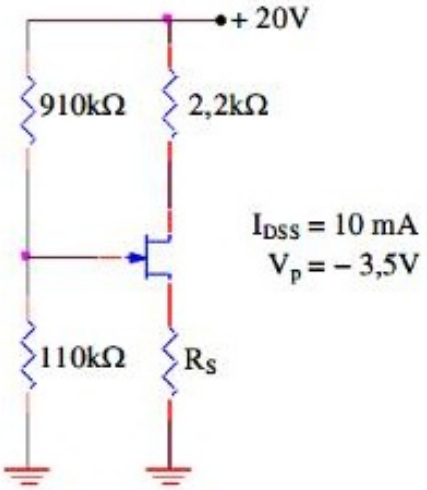
Hình bài tập 22

6.4.21. Tìm kết quả của ID và VDS trong mạch điện ở hình bài tập 21.

6.4.22. Xác định VGS và ID cho mạch điện ở hình bài tập 22.



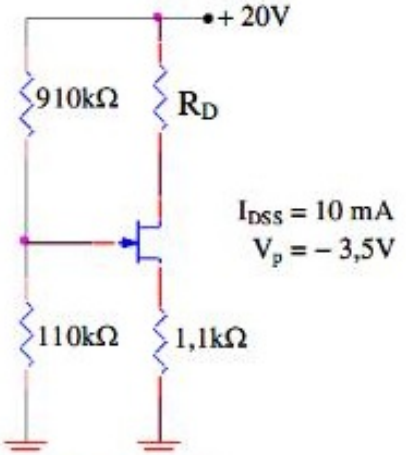
Hình bài tập 23



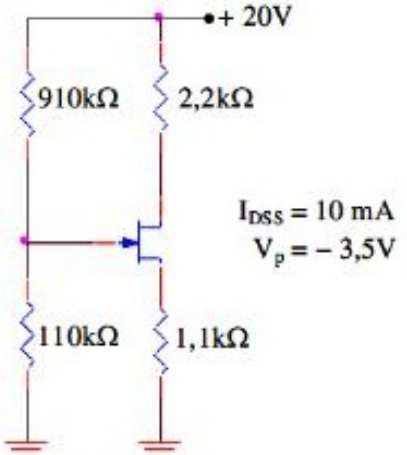
Hình bài tập 24

6.4.23. Xác định VDS cho mạch điện ở hình bài tập 23.

6.4.24. Tìm giá trị của RS cần để đặt điểm phân áp của mạch điện ở hình bài tập 24. tới VGS = – 2V?



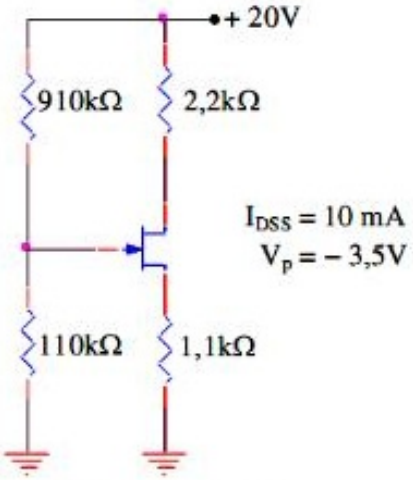
Hình bài tập 25



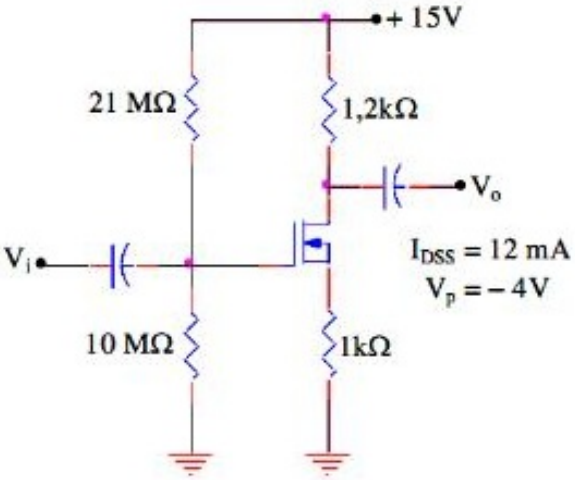
Hình bài tập 26

6.4.25. Tìm giá trị của RD cần để đặt điện áp cực máng của mạch điện ở hình bài tập 25. tới 12 V?

6.4.26. Dòng điện cực máng trong mạch điện ở hình bài tập 26. tăng hay giảm nếu giá trị của RS thay đổi bằng 750Ω?



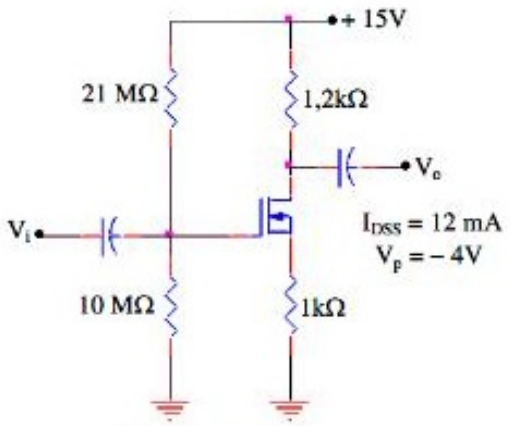
Hình bài tập 27



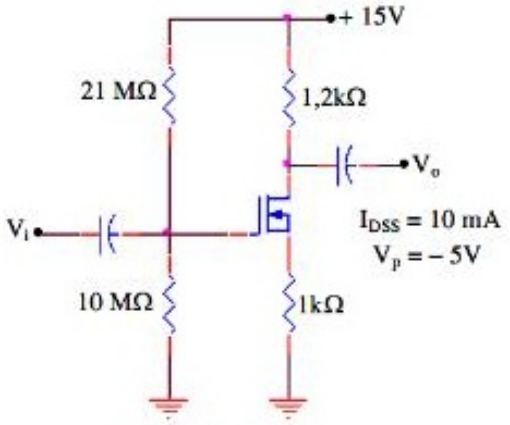
Hình bài tập 28

6.4.27. Điện áp cực nguồn trong mạch điện ở hình bài tập 27 tăng hay giảm nếu JFET trong mạch được thay bằng một con khác có IDSS = 16mA, VP = – 3,5?

6.4.28. Xác định điện áp cực cổng-nguồn trong mạch điện ở hình bài tập 28.



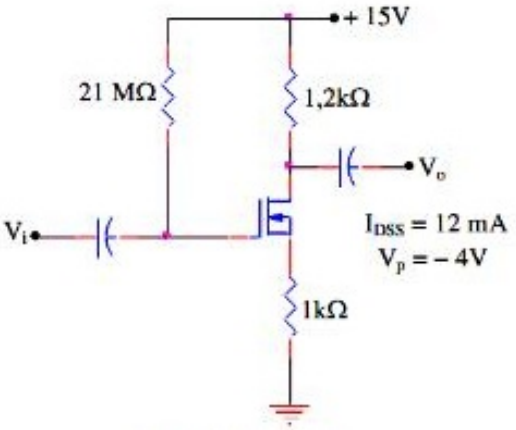
Hình bài tập 29



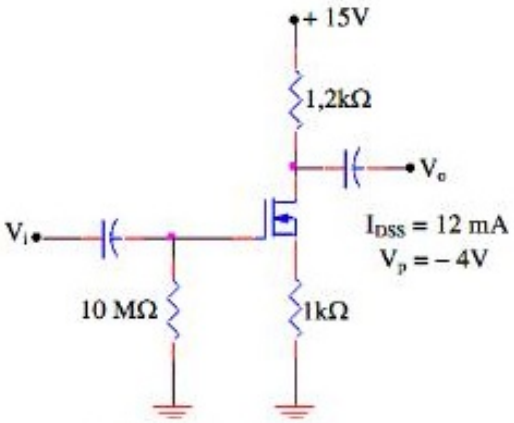
Hình bài tập 30

6.4.29. Xác định giá trị phân cực của ID và VDS trong mạch điện ở hình bài tập 29.

6.4.30. Xác định giá trị của ID và VDS trong mạch điện ở hình bài tập 30.



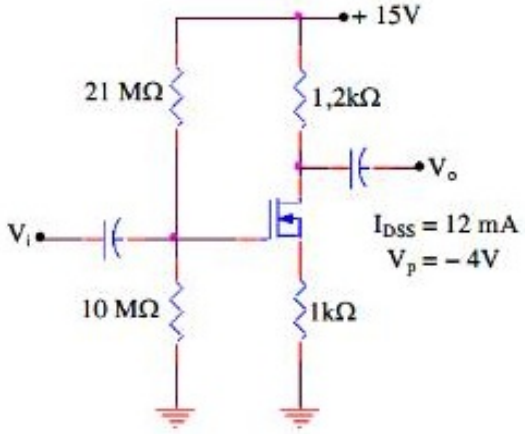
Hình bài tập 31



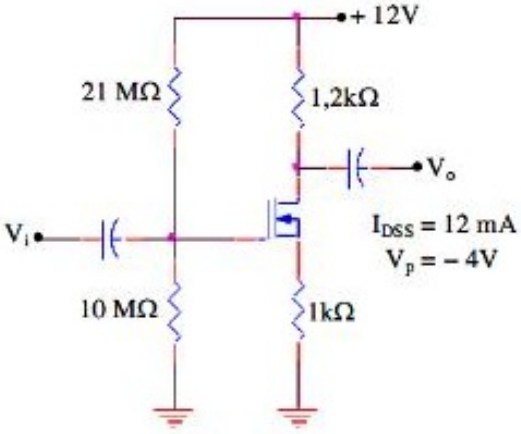
Hình bài tập 32

6.4.31. Tìm giá trị của ID và VDS trong mạch điện của hình bài tập 31.

6.4.32. Tìm giá trị của ID và VDS trong mạch điện của hình bài tập 32.



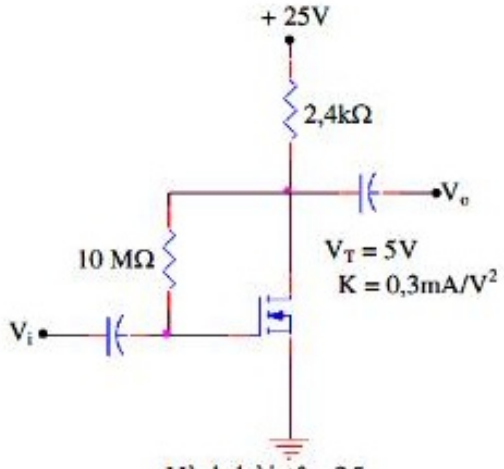
Hình bài tập 33



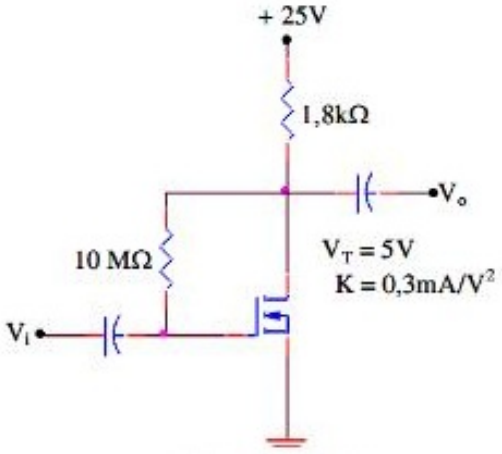
Hình bài tập 34

6.4.33. Giá trị của ID tăng hay giảm nếu MOSFET trong mạch điện ở hình bài tập 33 được thay thế bởi một con khác có VP = – 2,5V?

6.4.34. Tìm giá trị của VD trong mạch điện ở hình bài tập 34.



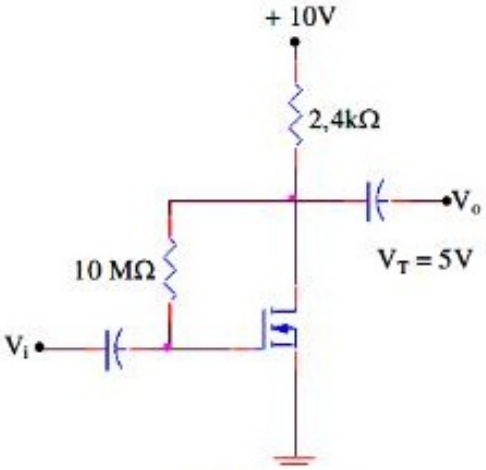
Hình bài tập 35



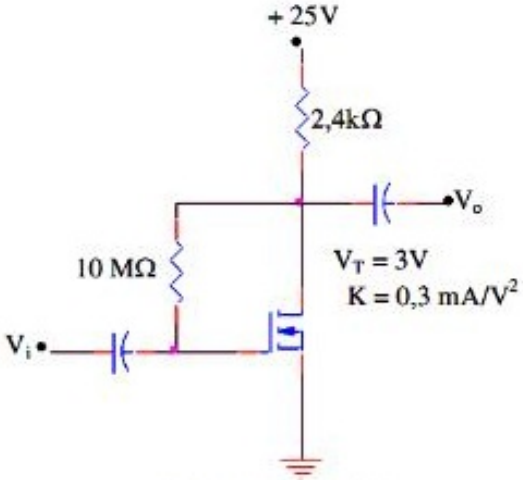
Hình bài tập 36

6.4.35. Xác định giá trị của VD trong mạch điện ở hình bài tập 35.

6.4.36. Xác định kết quả giá trị của VD trong mạch điện ở hình bài tập 36.



Hình bài tập 37



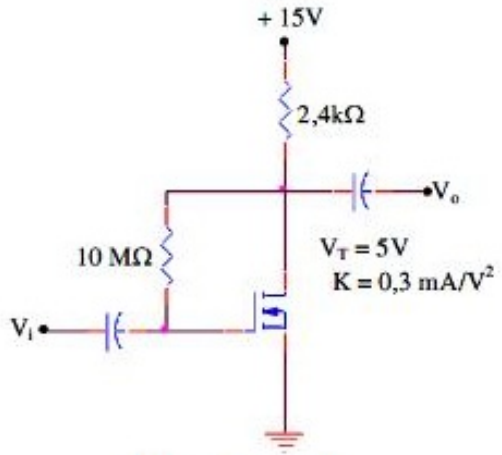
Hình bài tập 38

6.4.37. Xác định giá trị của K trong mạch điện ở hình bài tập 37.

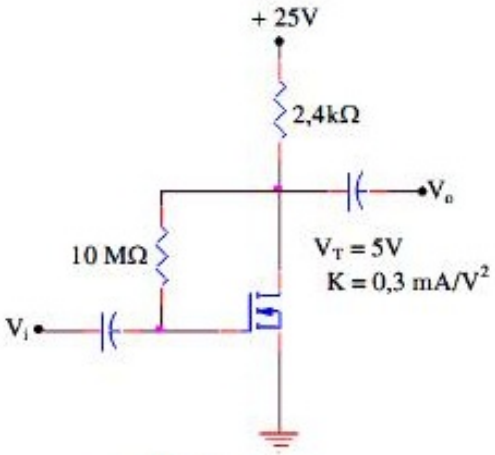
6.4.38. Tìm kết quả giá trị của VD trong mạch điện ở hình bài tập 38.

6.4.39. Tìm VD trong mạch điện ở hình bài tập 39.

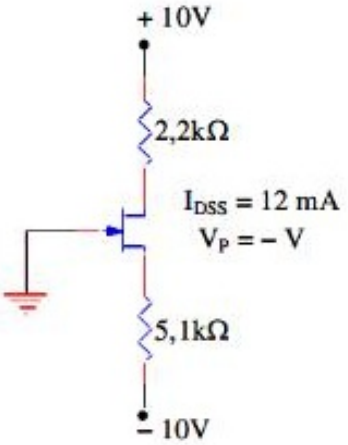
6.4.40. Dòng điện cực máng trong mạach điện ở hình bài tập 40 tăng hay giảm nếu MOSFET trong mạch được thay thế bằng một con khác có VT = 7,5V?



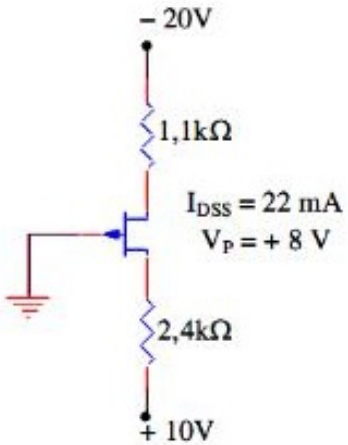
Hình bài tập 39



Hình bài tập 40



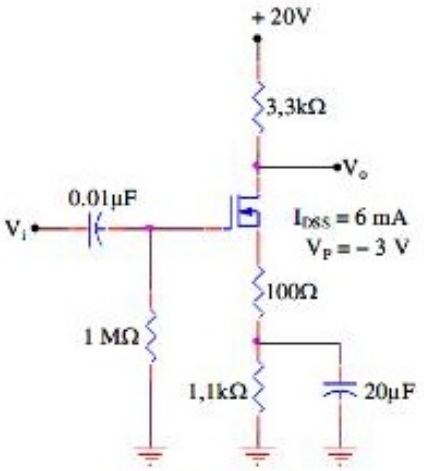
Hình bài tập 41



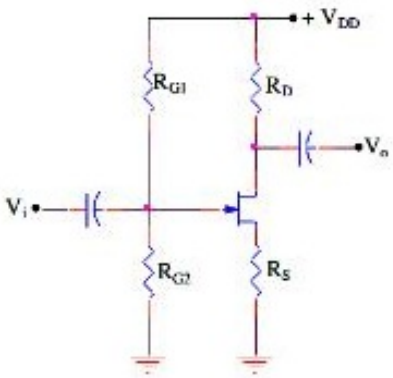
Hình bài tập 42

6.4.41. Xác định giá trị phân cực một chiều của ID và VDS trong mạch điện ở hình bài tập 41.

6.4.42. Xác định giá trị phân cực một chiều của ID và VDS trong mạch điện ở hình bài tập 42.



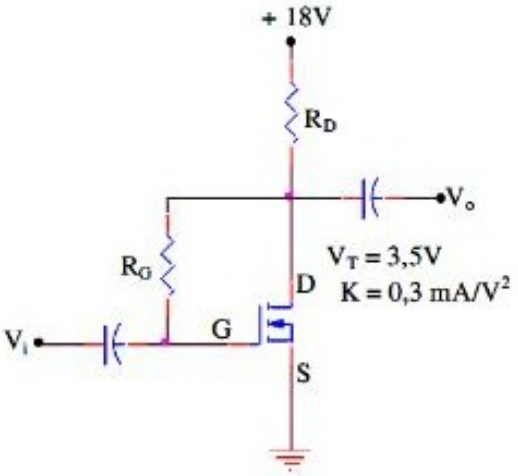
Hình bài tập 43



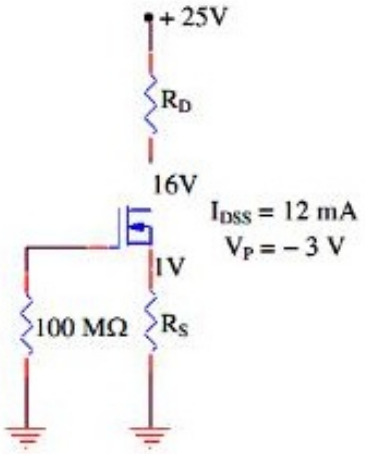
Hình bài tập 44

6.4.43. Thiết kế một mạch phân cực cho JFET như mạch điện ở hình bài tập 43 để điểm làm việc có ID = 3 mA, VDS = 10V, sử dụng nguồn cung cấp là 22V và JFET có IDSS = 6 mA và VP = – 4V.

6.4.44. Thiết kế một mạch MOSFET kênh có sẵn như hình bài tập 44 để làm việc tại ID = 4 mA và VD = 10V, sử dụng nguồn là 30V và một FET có IDSS = 10mA, VP = – 4V.



Hình bài tập 45



Hình bài tập 46

6.4.45. Thiết kế một mạch phân cực MOSFET kênh cảm ứng như hình bài tập 45 để làm việc tại ID = 6mA, VD = 8V, sử dụng một nguồn điện áp 18V và một FET có VT = 3,5V, K = 0,3mA/V2.

Hoàn tất thiết kế của mạch điện ở hình bài tập 46.

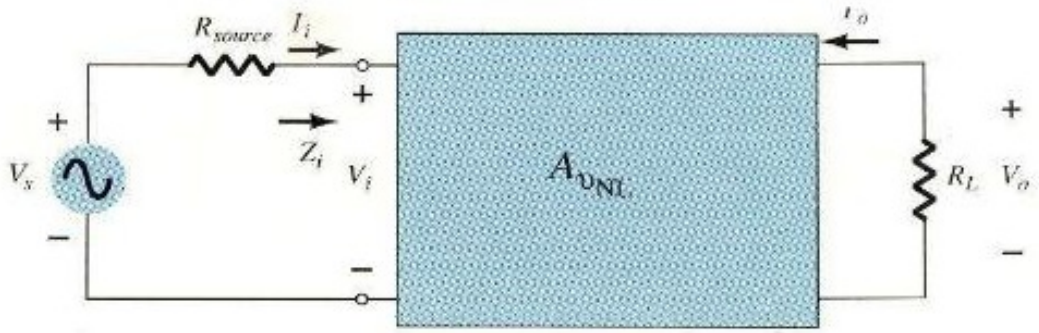
Chương 7
MẠCH KHUẾCH ĐẠI TÍN HIỆU NHỎ

7.1. GIỚI THIỆU

Khuếch đại là quá trình biến đổi một đại lượng tín hiệu (dòng điện hay điện áp) từ biên độ nhỏ thành biên độ lớn, mà không làm thay đổi dạng của tín hiệu. Khi khảo sát nguyên lý làm việc của các phần tử khuếch đại BJT hay FET, ta đã có khái niệm về mạch khuếch đại. Mạch khuếch đại là mạch có các phần tử tích cực, được phân cực (DC) ở trạng thái khuếch đại (active area), và nếu ở ngõ vào của mạch có tín xoay chiều nó sẽ được khuếch đại ở ngõ ra. Đứng trên quan điểm năng lượng, thực chất quá trình khuếch đại là một quá trình biến đổi: tín hiệu vào AC và nguồn năng lượng phân cực DC thông qua hoạt động của các transistor (là phần tử khuếch đại) tạo thành tín hiệu ra có năng lượng lớn hơn tín hiệu ngõ vào nhiều lần.

➢ **Các chỉ tiêu của một bộ khuếch đại**

Giả sử ta có bộ khuếch đại như hình (7.1)



Hình 7.1. *Sơ đồ khối của mạch khuếch đại.*

Bộ khuếch đại muốn làm việc phải được phân cực DC đã phân tích ở chương 4 và 6. Ta đã có giá trị Q(I_{CQ}, V_{CEQ}) xác định và đường tải DCLL (là năng lượng một chiều DC)

Mạch có tín hiệu ngõ vào V_i và tín hiệu ngõ ra là V_o là năng lượng xoay chiều.

Ta có độ lợi điện áp (hàm truyền áp) $$A_V = \frac{V_o}{V_i}$$

Ta có độ lợi dòng điện $$A_i = \frac{I_o}{I_i}$$

Ta có hệ số truyền dẫn: $A_G = \frac{I_o}{V_i}\left[Ohm^{-1}\right]$

Ta có hệ số truyền trở: $A_R = \frac{V_o}{I_i}\left[Ohm\right]$

Từ sơ đồ của bộ khuếch đại hình 7.1, ta có tổng trở ngõ vào

$$Z_i = \frac{V_i}{I_i}\Big|V_o = 0$$

Tổng trở ngõ ra

$$Z_o = \frac{V_o}{I_o}\Big|V_i = 0$$

Độ lợi công suất

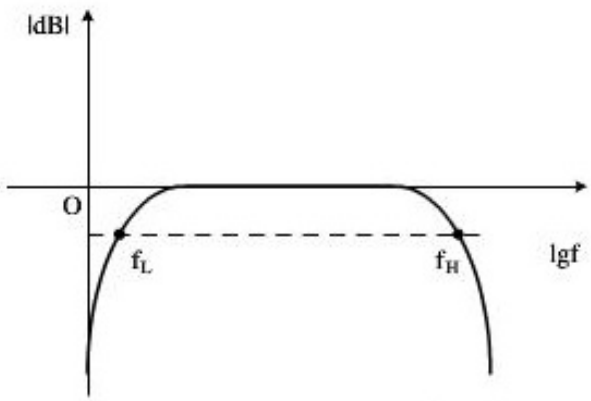
$$A_P = \frac{P_o}{P_i} = \frac{V_o I_o}{V_i I_i} = A_v A_i$$

Thường A_v, A_i là các hàm số dưới dạng số phức, nói cách khác là điện áp và dòng điện giữa ngõ vào và ngõ ra đều có biên độ và góc pha riêng của mình, cho nên các độ lợi nói trên là các hàm số phức dưới dạng công thức sau:

$$A_v = \frac{a + jb}{a_1 + jb_1}$$

Giải băng thông của độ lợi áp(hàm truyền áp) có giá trị theo hàm số sau

$$\left[dB\right] = 20\log\left|A_v\right| = 20\log\left|\frac{\sqrt{a^2 + b^2}}{\sqrt{a_1^{\,2} + b_1^{\,2}}}\right|$$



Hình 7.2. *Đáp ứng tần số*

Hình 7.2 diễn tả độ rộng băng thông của bộ khuếch đại, khi tần số tín hiệu thay đổi, độ lợi thay đổi ta gọi là đáp ứng tần số. Từ đáp ứng này cho thấy đối với mỗi tần số khác nhau của tín hiệu mạch khuếch đại có độ lợi khác nhau. Vùng tần số thấp sử dụng cho các tín hiệu có tần số nhỏ hơn f_L và vùng tần số cao là các tín hiệu có tần số lớn hơn f_H có độ lợi giảm so với vùng tần số trung bình. Vùng tần số trung bình là vùng cho các tín hiệu có tần số f nằm trong khoảng: $f_L \leq f \leq f_H$, có độ lợi áp cao nhất.

➢ **Méo phi tuyến tín hiệu ngõ ra**

Đối với mạch khuếch đại lý tưởng, khi tín hiệu vào là hình sin tần số ω thì tín hiệu ra cũng có tần số là ω. Trong thực tế, không thể đảm bảo một cách tuyệt đối mối quan hệ tuyến tính này, nghĩa là tín hiệu qua khuếch đại không còn gọi là hình sin, hiện tượng đó được gọi là méo phi tuyến.

Tín hiệu ngõ ra không hoàn toàn hình sin có thể coi như là tổng số của vô số thành phần hình sin có tần số ω, 2ω, 3ω,… nω và các biên độ tương ứng V_{1m}, V_{2m}, V_{3m},… V_{nm} (Các sóng hài trong chuỗi Fourier). Mức độ méo tín hiệu thể hiện ở các hài bậc hai và bậc 3… bậc n. Gọi γ là độ méo phi tuyến ta có:

$$\gamma = \sqrt{\frac{V_{2m}^2 + V_{3m}^2 + ... + V_{nm}^2}{V_{1m}}} \times 100\%$$

➢ **Mạch khuếch đại tín hiệu nhỏ** là mạch có tín hiệu AC vào đủ nhỏ sao cho điểm làm việc của các transistor dịch chuyển trong một đoạn được xem như là tuyến tính thuộc đường cong phi tuyến của linh kiện, lúc đó ta có thể coi các transistor như một phần tử tuyến tính.

Một mạch khuếch đại tín hiệu nhỏ được xét trong các điều kiện sau:

1. Mạch khuếch đại làm việc ở vùng tần số trung bình $f_L \leq f \leq f_H$

2. Các tụ và cuộn cảm được tính gần đúng có giá trị tiến tới zero:

$$Z_C = \frac{1}{j\omega C} => 0$$

$$C \to \infty;\ Z_L = j\omega L \to 0;\ X_{C_S} \sim 0;\ X_{C_C} \sim 0;\ X_{C_E} \sim 0$$

Trong đó C_S, C_C, C_E là các tụ tại các cực của BJT

3. Các giá trị phân cực DC có biên độ tín hiệu lớn hơn giá trị AC . Ta gọi các dòng xoay chiều và điện áp xoay chiều ở cực B và cực C:

$$v_B(t) = V_{Bm} sin\ (\omega t + \varphi_1)$$

$$i_B(t) = I_{Bm} sin\ (\omega t+\varphi_2)$$

$$v_{CE}(t) = V_{CEm} sin\ (\omega t+\varphi_3)$$

$$i_C(t) = I_{Cm} sin\ (\omega t+\varphi_4)$$

Biên độ cực đại của tín hiệu xoay chiều nhỏ hơn giá trị dòng và điện áp 1 chiều tương ứng.

Điều kiện là tín hiệu nhỏ $I_{Bm} \le I_{BQ}$; $V_{Bm} \le V_{BQ}$

Xét trường hợp tín hiệu nhỏ ta có: $I_{Cm} \le I_{CQ}$; $V_{CEm} \le V_{CEQ}$. Tương tự như vậy ta có $I_{Em} < I_{EQ}$; $V_{Em} < V_{EQ}$.

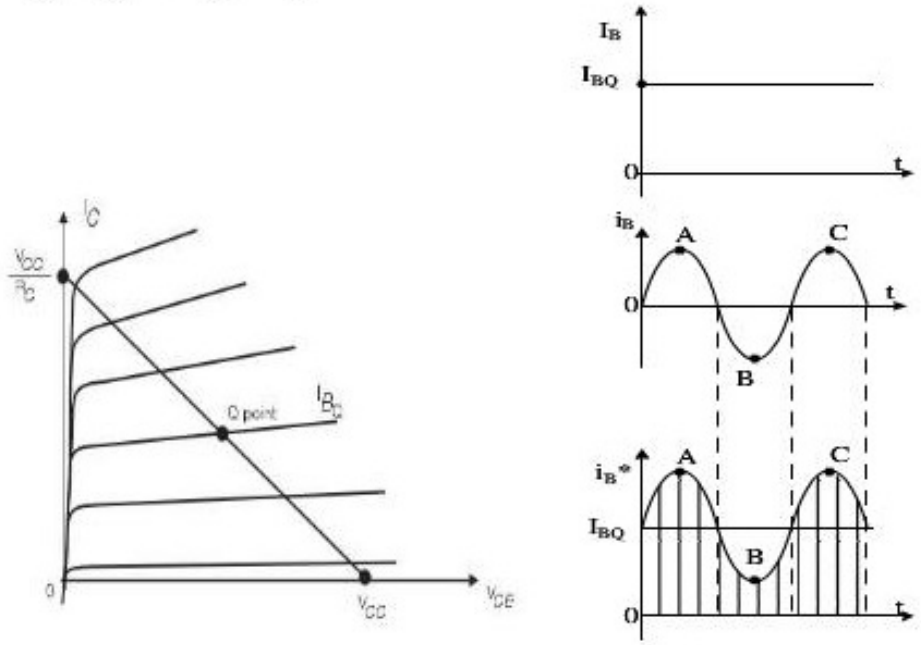
Trong mạch khuếch đại tín hiệu nhỏ BJT được tính tương đương là một phần tử tứ cực không tính ảnh hưởng của các tụ ký sinh có trong cấu tạo của chuyển tiếp.

➢ **Các chế độ của bộ khuếch đại tín hiệu**

Mạch khuếch đại (tầng khuếch đại) có hai chế độ làm việc là chế độ tĩnh DC và chế độ động AC.

a. Chế độ tĩnh DC

Chế độ DC là chế độ phân cực cho bộ khuếch đại , do đó điểm Q (I_{CQ}, V_{CEQ}) phải được phân cực ở vùng khuếch đại (vùng tích cực). Chế độ DC được biểu diễn qua đường tải DCLL. Trong mạch, các giá trị chế độ tĩnh DC bao gồm: I_{BQ}, I_{CQ}, V_{CEQ}, V_{EQ}như trênhình 7.3a.



a b.

Hình 7.3.

Chế độ tĩnh và vị trí tĩnh điểm Q đóng vai trò quyết định trong mạch khuếch đại tín hiệu.

b. Chế độ động (AC)

Khi có tín hiệu xoay chiều đưa vào mạch khuếch đại , tín hiệu AC này sẽ xếp chồng lên điện áp và dòng một chiều đang có trong mạch . Ta gọi thành phần xoay chiều tương đương như sau:

Tại cực B: $i_{Bac}(t) = I_{Bm}\sin\omega t$; $v_{Bac}(t) = V_{Bm}\sin\omega t$

Tại cực C:

$$i_{Cac}(t) = I_{Cm}sin\omega t;\ I_{Cm} = \beta I_{Bm} + I_{CBO};\ v_{CEac}(t) = V_{CEm}sin\ (\omega t + \varphi)$$

Giá trị tức thời có trong mạch điện tử tại các cực B, cực E tại thời điểm khuếch đại có hai thành phần một chiều và xoay chiều như hình 7.3b.

Tại các cực ta có các giá trị dòng điện và điện áp tức thời như sau:

Tại cực B	Tại cực E	Tại cực C
$i^*_B = i_{Bac} + I_{BQ}$	$v^*_E = v_{Eac} + V_{EQ}$	$i^*_C = i_{Cac} + I_{CQ}$
$v^*_B = v_{Bac} + v_{BQ}$	$i^*_E = i_{Eac} + I_{EQ}$	$v_{CE}^* = v_{CEac} + V_{CEQ}$

$I_{Cm} \le I_{CQ}$ *(I_{Cm} là biên độ cực đại của dòng điện xoay chiều AC tại cực C)*

$V_{CEm} \le V_{CEQ}$ *(V_{CEm} là biên độ cực đại của điện áp xoay chiều AC tại cực C)*

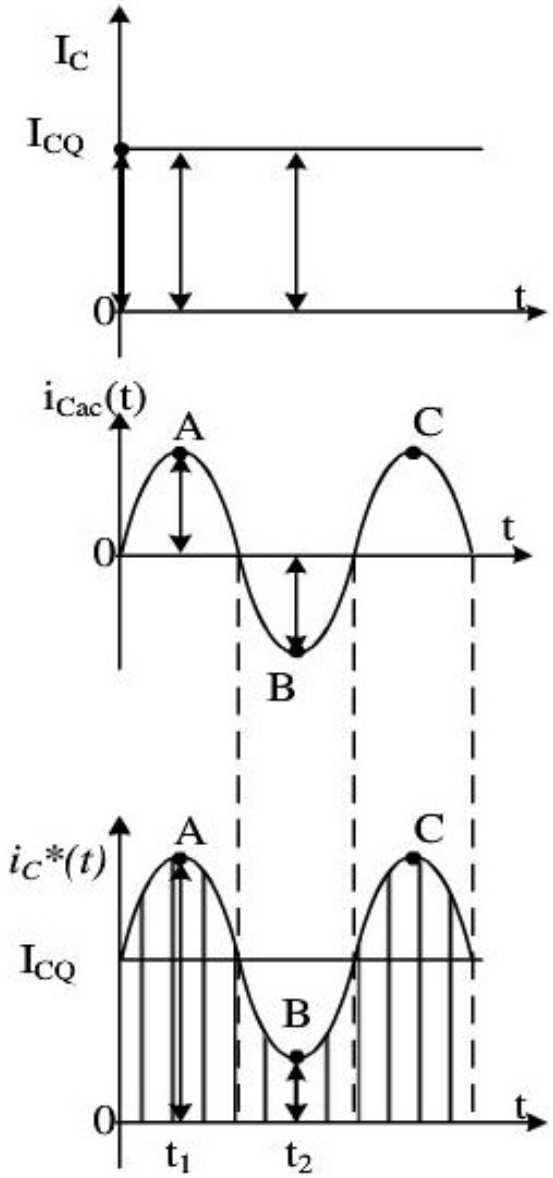
Hình 7.4 biểu diễn các giá trị tức thời của chế độ AC và DC tại cực C. (xem trang bên)

Chế độ động AC được biểu diễn qua đường tải động ACLL (Alternating Current Loadline)

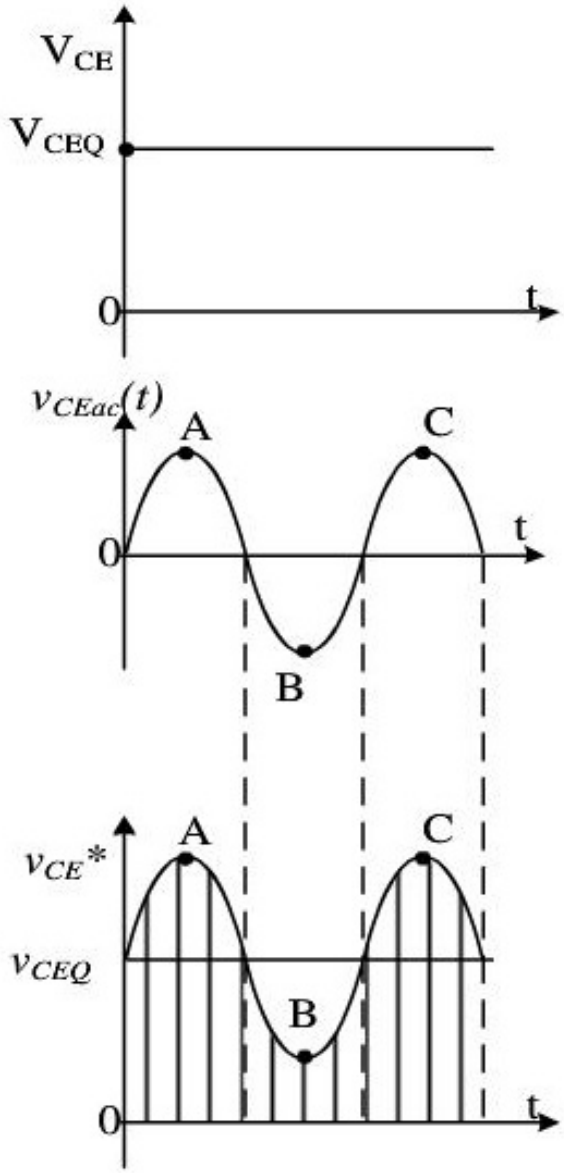
$$i_{ac} = -\frac{1}{R_{ac}}v_{ac}$$

Dấu trừ hiển thị điện áp và dòng điện AC (xoay chiều) lệch pha nhau 180°.

Điện trở R_{ac} là điện trở xoay chiều xét tại các cực cụ thể của các mạch E chung, B chung và C chung.

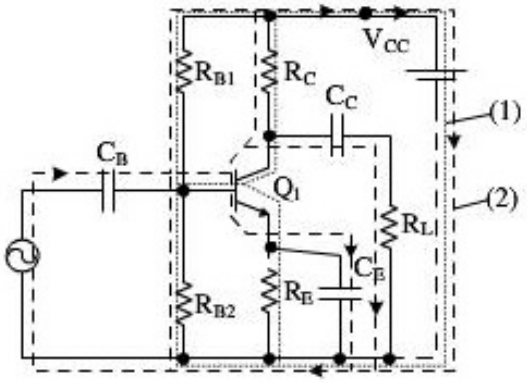


Hình 7.4.

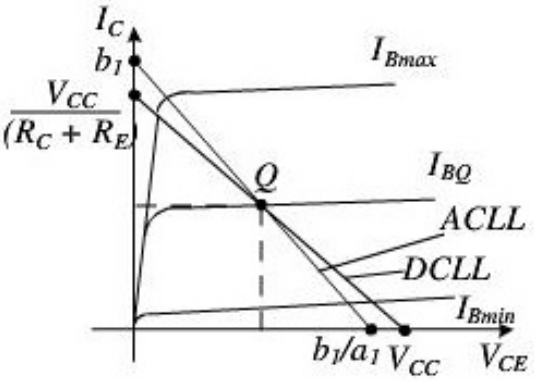


Hình 7.5

Ta xét mạch khuếch đại sau:



a.



b.

Hình 7.6.

Chế độ tĩnh DC là chế độ phân cực của điểm Q, đường tải tĩnh được biểu diễn trên hình 7.6b. Đây là mạch mắc E chung, tụ C_E là tụ bypass, do đó R_E ngắn mạch.

Xét với tín hiệu ac, ta có:

$$i_c = -\frac{1}{R_C // R_L} v_{ce} \qquad (7.1)$$

Vậy $R_{ac} = R_C \parallel R_L$

Ta có

$$\begin{cases} i^*_C(t) = i_{Cac}(t) + I_{CQ} \\ i_{Cac}(t) = i_C^*(t) - I_{CQ} \end{cases} \qquad (7.2.a)$$

$$\begin{cases} v^*_{CE}(t) = v_{CEac}(t) + V_{CEQ} \\ v_{CEac}(t) = v^*_{CE}(t) - V_{CEQ} \end{cases} \qquad (7.2.b)$$

Trong đó:

- $i_C^*(t)$ là dòng tức thời tại cực C có hai thành phần: thành phần phân cực I_{CQ} và thành phần xoay chiều $i_{Cac}(t)$ như hình 7.4.
- $v_{CE}^*(t)$ là điện áp trên cực thu và phát có giá trị tức thời gồm hai thành phần DC và V_{CEQ}; AC là $v_{CEac}(t)$ như trên hình 7.5.

Ta thay vào phương trình:

$$i_c^*(t) - I_{CQ} = -\frac{1}{R_C \parallel R_L}(v^*_{CE}(t) - V_{CEQ})$$

$$i_c^*(t) = -\frac{1}{R_C \parallel R_L}(v^*_{CE}(t) + (\frac{V_{CEQ}}{R_C \parallel R_L} + I_{CQ})$$

Vậy phương trình ACLL có dạng $y = -a_1 x + b_1$

Xét lại DCLL y = -ax+b (đã phân tích ở chương 4 và 6)

$$I_C = -\frac{1}{R_C + R_L} V_{CE} + \frac{V_{CC}}{R_C + R_L}$$

$$tg\alpha_{DC} = -\frac{1}{R_C + R_E}; tg\alpha_{ac} = -\frac{1}{R_C \parallel R_L} = \frac{-R_C + R_L}{R_C . R_L}$$

Vẽ hai đường tải này, ta thấy Q là giao điểm của đặc tuyến phi tuyến của BJT với DCLL và ACLL.

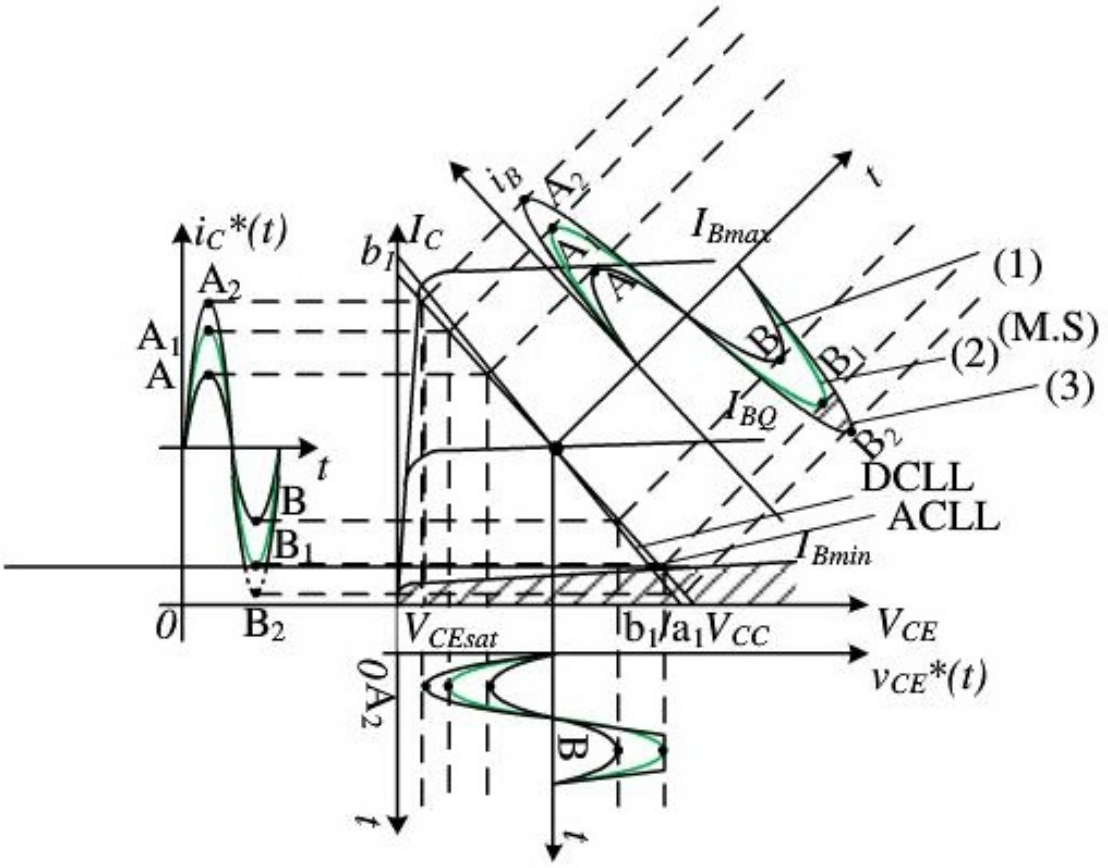
Hình 7.7 biểu diễn dạng sóng ngõ ra của mạch khuếch đại tín hiệu nhỏ với đồ thị các giá trị khác nhau. Phương trình 7.1 và 7.2 cho phép ACLL trùng với DCLL mạch khuếch đại tín hiệu nhỏ ta vẽ sóng ra như hình 7.7. Điểm Q(I_{CQ}, V_{CEQ}) là mạch phân cực DC (chế độ tĩnh), phương trình đường tải tĩnh DCLL và tín hiệu xoay chiều là tín hiệu khuếch đại tại ngõ ra là sóng có thông tin là hai điểm A, B hình sóng số (1).

Cũng mạch khuếch đại này nếu sóng vào là sóng có thông tin A_1B_1 ta nói mạch khuếch đại tại tĩnh điểm Q cho ra sóng ra cực đại Max Swing (sóng ra chưa bị méo). Biên độ dao động cực đại của tín hiệu ngõ ra của mạch được gọi là maxswing. Dựa vào ACLL, ta có:

$$Maxswing[I_{C(p-p)}] = 2\times\min[I_{CQ};V_{CEQ}/R_{AC}]$$

$$Maxswing[v_{Ce(p-p)}] = 2\times\min[I_{CQ}\times R_{AC};V_{CEQ}]$$

Tại hình sóng số (2) ta có sóng vào có thông tin là A_2B_2, vùng có thông tin B_2 lọt vào vùng ngắt của mạch phân cực do đó mất thông tin B_2.



Hình 7.7.

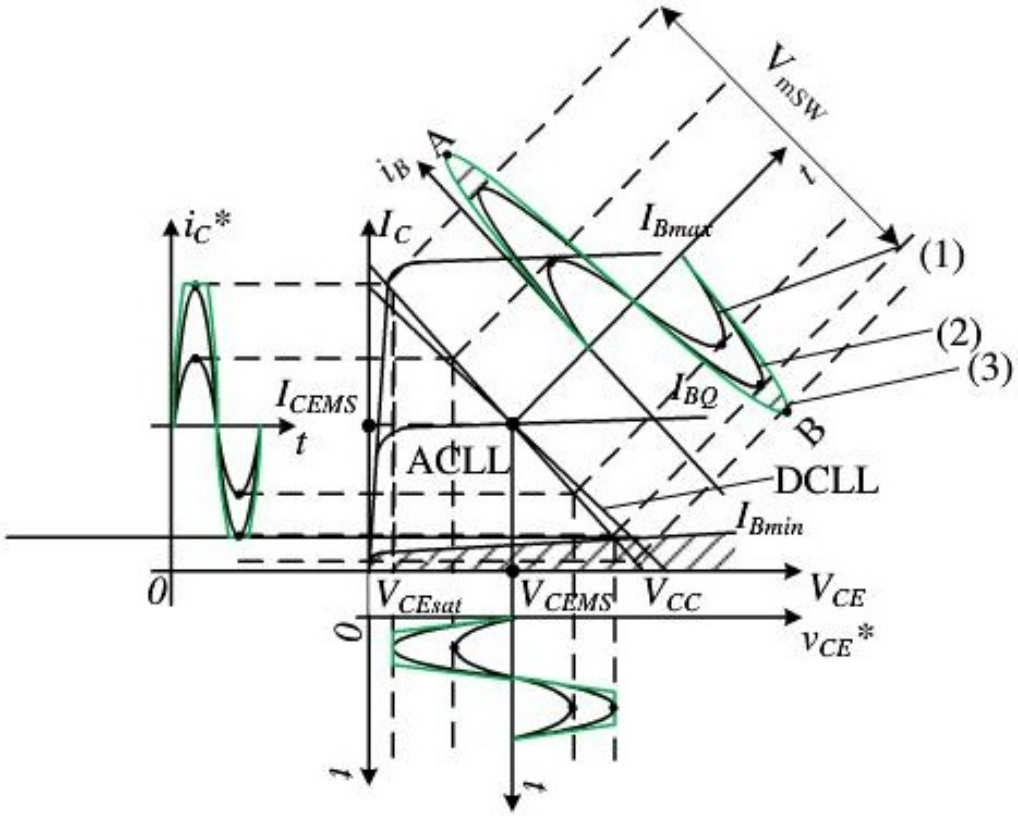
(1) Sóng ra của mạch KĐ tín hiệu nhỏ, có thông tin là AB

(2) Sóng ra cực đại chưa méo có thông tin là A_1B_1 (M.S)

(3) Sóng ra cực đại bị méo, mất thông tin B_2. Ta có dạng sóng ra khác với sóng ngõ vào.

Nếu điểm Q là trung điểm của DCLL ta sẽ có mạch cho biên độ dao động sóng cực đại tại Q_{MS}. Có thể khuếch đại tín hiệu có thông tin lớn nhất như hình 7.8

$$Q_{MS} = \left(I_{CEMS} = \frac{V_{CC}}{2(R_C + R_E)}; V_{CEMS} = \frac{V_{CC}}{2}\right)$$



Hình 7.8.

Sóng (1) Mạch khuếch đại tín hiệu nhỏ.

Sóng (2) Mạch khuếch đại tín hiệu nhỏ với biên độ sóng cực đại Q_{MS} là trung điểm DCLL tại (Q_{MS}). Sóng (3) Mạch bị méo tín hiệu hai đầu khi điểm Q nằm tại điểm giữa của tải tĩnh.

7.2. MÔ HÌNH TƯƠNG ĐƯƠNG TÍN HIỆU NHỎ CỦA BJT

Một trong những vấn đề quan tâm trong quá trình phân tích các mạch transistor là biên độ của tín hiệu ngõ vào và ngõ ra. Trước tiên cần phải xác

định biên độ tín hiệu vào lớn hay nhỏ để kỹ thuật nào được áp dụng. Không có một ranh giới nào để phân biệt, nhưng trong các ứng dụng biên độ có thể thay đổi liên quan đến các đặc tính của linh kiện. Chương này sẽ trình bày phần phân tích biên độ tính hiệu vào nhỏ.

Một mô hình thường được sử dụng trong phân tích ac tín hiệu nhỏ của mạch transistor là mô hình thông số lai (thông số hỗn hợp) - h (hybrid).

Để khảo sát mạch khuếch đại tín hiệu nhỏ hình 7.6a ta tiến hành nhưsau

Chế độ DC: Q được xác định theo hai phương trình phân cực và tải tĩnh theo khung kín (1) và (2) (hình 7.6a); Q đang được xác định và nằm trong vùng khuếch đại DCLL được biểu diễn như hình 7.6b.

Khi có tín hiệu xoay chiều AC vào trong mạch, ta có tín hiệu AC xoay chiều sẽ xếp chồng lên tín hiệu DC phân cực theo khung (2) trong hình 7.6a. Tại ngõ ra của transistor tại cực C , tín hiệu xoay chiều được khuếch đại lớn hơn so với ngõ vào

$$i_B(t) = I_{Bm} sin\ (\omega t)$$

$$i_C(t) = I_{Cm} sin\ (\omega t)$$

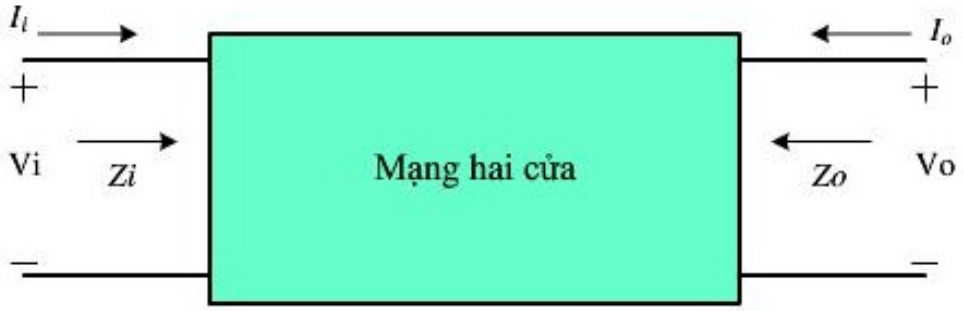
Ta có: $$I_{Cm} = \beta I_{Bm}$$

Để có thể tính toán các thông số của mạch khuếch đại ta có sơ đồ tương đương của transistor sử dụng tham số h.

7.2.1 Mô hình tương đương của transistor BJT

Transistor BJT có thể được biểu diễn dưới dạng một mạng hai cửa tuyến tính, có thể đưa về mô hình tương đương là mô hình π, T hay mô hình h theo các tham số vi phân y, z hay h. Ở đây, ta chỉ khảo sát mô hình h theo tham số h.

Xét mô hình mạng hai cửa tuyến tính như hình 7.9.



Hình 7.9.*Mạng hai cửa*

Trong đó

- i_i, v_i là dòng điện và điện áp ngõ vào của mạng hai cửa.
- i_o, v_o là dòng điện và điện áp ngõ ra của mạng hai cửa.

Ta có phương trình theo tham số vi phân h của mạng hai cửa tuyến tính là:

$$v_i = h_{11} i_i + h_{12} v_o \qquad (7.3)$$

$$i_o = h_{21} i_i + h_{22} v_o \qquad (7.4)$$

Từ phương trình (7.1) và (7.2), ta có:

$h_{11} = \left.\frac{v_i}{i_i}\right|_{v_o = 0} = h_i$ là điện trở ngõ vào khi ngõ ra bị ngắn mạch (đơn vị là Ω) (7.5)

$h_{12} = \left.\frac{v_i}{v_o}\right|_{i_i = 0} = h_r$ là hệ số truyền ngược điện áp khi ngõ vào hở mạch (7.6)

$h_{21} = \left.\frac{i_o}{i_i}\right|_{v_o = 0} = h_f$ là hệ số truyền thuận dòng điện khi ngõ ra ngắn mạch (7.7)

$h_{22} = \left.\frac{i_o}{v_o}\right|_{i_i = 0} = h_O$ là điện dẫn ngõ ra khi ngõ vào hở mạch (đơn vị Ω^1) (7.8)

Từ phương trình (7.1) và (7.2), ta vẽ được mô hình h theo tham số h như hình 7.10.

7.2.2 Mô hình tương đương của transistor BJT khi mắc chung cực phát CE

Trong bộ khuếch đại tín hiệu nhỏ BJT được phân cực ở chế độ khuếch đại Q ở vùng khuếch đại (J_E phân cực thuận J_C phân cực nghịch). BJT sẽ khuếch đại tín hiệu xoay chiều ở ngõ ra tín hiệu xoay chiều ở ngõ vào có biên độ nhỏ.

BJT có 3 cách mắc khác nhau (CE, CB, CC) ta có thể xem là một mạng hai cửa, vậy có thể thay BJT ở trạng thái động tín hiệu nhỏ bằng một mạng hai cửa tuyến tính. Khi đó, có thể dùng mô hình tương đương của mạng hai cửa cho mô hình tương đương của BJT với các tham số vi phân

được thể hiện bằng sự biến thiên nhỏ của dòng hay áp khi BJT hoạt động được gọi là tham số vi phân của BJT. Tùy theo yêu cầu kỹ thuật mà chọn đại lượng phụ thuộc và không phụ thuộc thông qua các tham số để biểu diễn khả năng hoạt động của BJT.

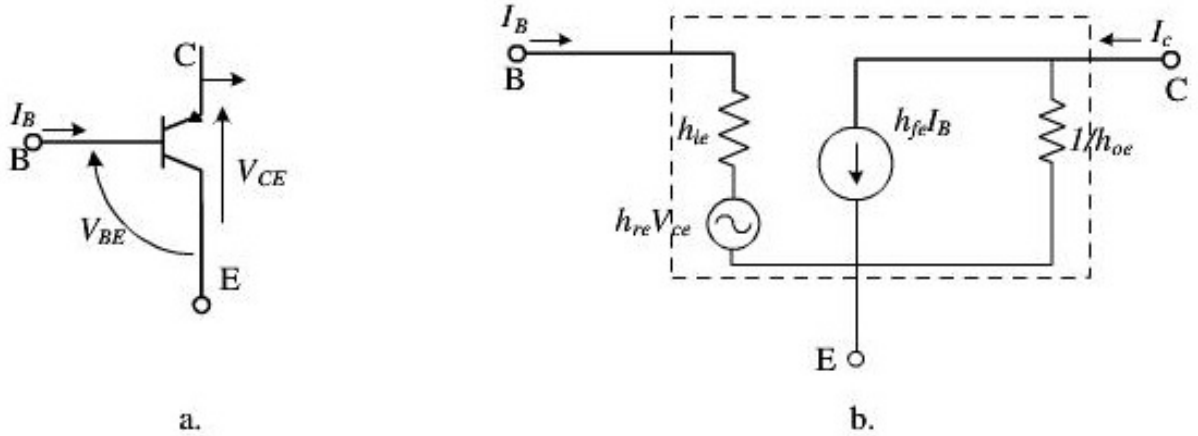
Các tham số vi phân h (hybrid) là các tham số xoay chiều của BJT hiển thị cho độ dốc (hoặc nghịch đảo độ dốc) của các đặc tuyến V-A của BJT, giá trị tham số thay đổi theo điểm làm việc tương ứng.

Mạch điện hình 7.10 có thể áp dụng đối với bất kỳ linh kiện điện tử ba cực tuyến tính hoặc các hệ thống không có nguồn độc lập bên trong.

a. Mô hình tương đương của BJT mắc chung CE

Mô hình mạch tương đương của transistor cực E chung như hình 7.10, trong đó các thông số được thêm vào chữ e để phân biệt đây là mô hình mạch tương đương cực E chung. Dòng vào $I_i = I_b$ và dòng ra $I_o = I_c$. Điện áp vào là V_{BE} và điện áp ra là V_{CE}.

Mạch CE trong hình 7.10a và mô hình tương đương của BJT mắc CE như hình 7.10b.



Hình 7.10. *a. Mạch CE; b. mô hình tương đương của mạch CE*

Phương trình của mạch CE:

$$v_{be} = h_{ie} i_b + h_{re} v_{ce} \qquad (7.9)$$

$$i_c = h_{fe} i_b + h_{oe} v_{ce} \qquad (7.10)$$

Trong đó các tham số vi phân của CE

$h_{ie} = \left.\dfrac{v_{be}}{i_b}\right|_{v_{ce}=0}$ là điện trở ngõ vào của BJT khi ngõ ra $V_{CE} = 0$ đơn vị là Ω

$h_{re} = \left.\dfrac{v_{be}}{v_{ce}}\right|_{i_b = 0}$ là hệ số truyền ngược điện áp khi $i_B = 0$, thường giá trị này bằng 0 (có thể bỏ qua)

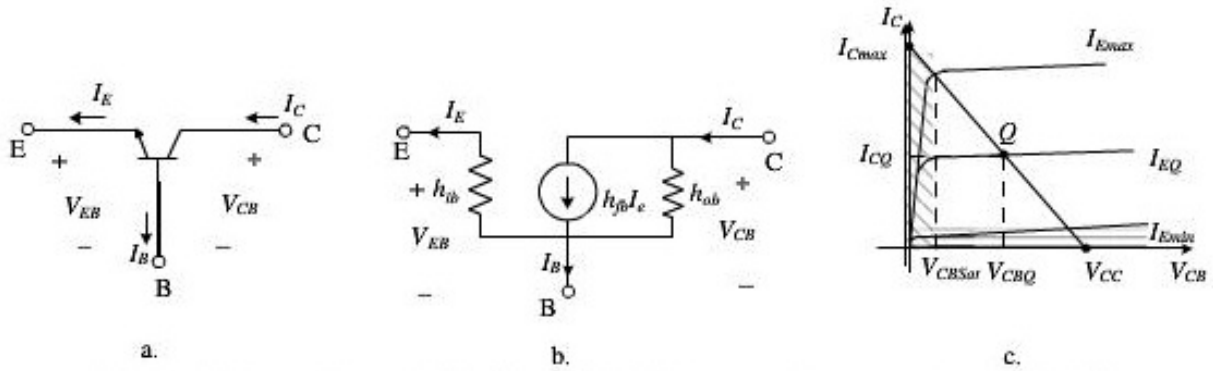
$h_{fe} = \left.\dfrac{i_c}{i_b}\right|_{v_{ce} = 0}$ là hệ số khuếch đại dòng, bằng β

$h_{oe} = \left.\dfrac{i_c}{v_{ce}}\right|_{i_b = 0}$ là điện dẫn ngõ ra khi $i_B = 0$ đơn vị là 1/Ω (siemen)

b. Mô hình tương đương của BJT mắc chung CB

Mô hình mạch tương đương của transistor cực B chung như hình 7.11, trong đó các thông số được thêm vào chữ b để phân biệt đây là mô hình mạch tương đương cực B chung. Ta có dòng vào $i_i = i_e$ và dòng ra $i_o = i_c$. Điện áp vào là $v_i = v_{be}$ và điện áp ra là $v_o = v_{cb}$.

Mạch CB trong hình 7.11a và mô hình tương đương của BJT mắc CE như hình 7.11b.



Hình 7.11. *a. Mạch CB; b. Mô hình tương đương của mạch CB; c. Họ đặc tuyến ngõ ra của mạch CB*

Phương trình của mạch CE:

$$v_{eb} = h_{ib} i_e + h_{rb} v_{cb} \qquad (7.11)$$

$$i_c = h_{fb} i_e + h_{ob} v_{cb} \qquad (7.12)$$

Trong đó các tham số vi phân của CB

$$h_{ib} = \left.\frac{v_{eb}}{i_e}\right|_{v_{cb} = 0};\ h_{rb} = \left.\frac{v_{eb}}{v_{cb}}\right|_{i_e = 0}$$

$$h_{fb} = \frac{i_c}{i_e}\bigg|_{v_{cb}=0};\ h_{ob} = \frac{i_c}{v_{cb}}\bigg|_{i_e=0}$$

c. Mô hình tương đương của BJT mắc chung cực thu - CC

Mô hình mạch CC của BJT ít được sử dụng, nên ở đây không xây dựng mô hình cho mạch CC của BJT. Cho phép sử dụng các thông số của mạch mắc CC là mạch mắc chung cực phát CE

Phương trình của mạch CC:

$$v_{bc} = h_{ic}i_b + h_{rc}v_{ec} = h_{ie}i_b + h_{re}v_{ec} \qquad (7.13)$$

$$i_e = h_{fc}i_b + h_{oc}v_{ec} = h_{fe}i_b + h_{oe}v_{ec} \qquad (7.14)$$

Trong đó các tham số vi phân của CC

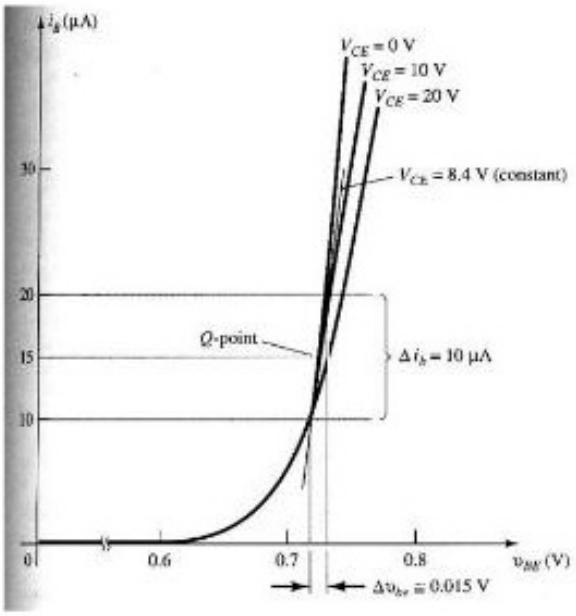
$$h_{ic} = h_{ie} = \frac{v_{bc}}{i_b}\bigg|_{v_{ec}=0};\ h_{rc} = h_{re} = \frac{v_{bc}}{v_{ec}}\bigg|_{i_b=0}$$

$$h_{fc} = h_{fe} = \frac{i_c}{i_b}\bigg|_{v_{ec}=0};\ h_{oc} = h_{oe} = \frac{i_c}{v_{ec}}\bigg|_{i_b=0}$$

7.2.3 Xác định các giá trị thông số của BJT bằng đồ thị

a. Xác định điện trở ngõ vào của BJT h_{ie} (Mắc chung E)

Xét đường đặc tuyến ngõ vào khi cố định $V_{CE} = V_{CEQ}$ như hình 7.12



Hình 7.12. *Đặc tuyến ngõ vào.*

Từ hình 5.6 ta có: $h_{ie} = \left.\frac{\Delta v_{be}}{\Delta i_b}\right|_{V_{CEQ}=0} = \frac{\partial v_{be}}{\partial i_b} \cong \beta \frac{V_T}{I_{EQ}}$ (7.15)

tại nhiệt độ phòng t = 25°C $h_{ie} = \beta \frac{26mV}{I_{EQ}}$ (7.16a)

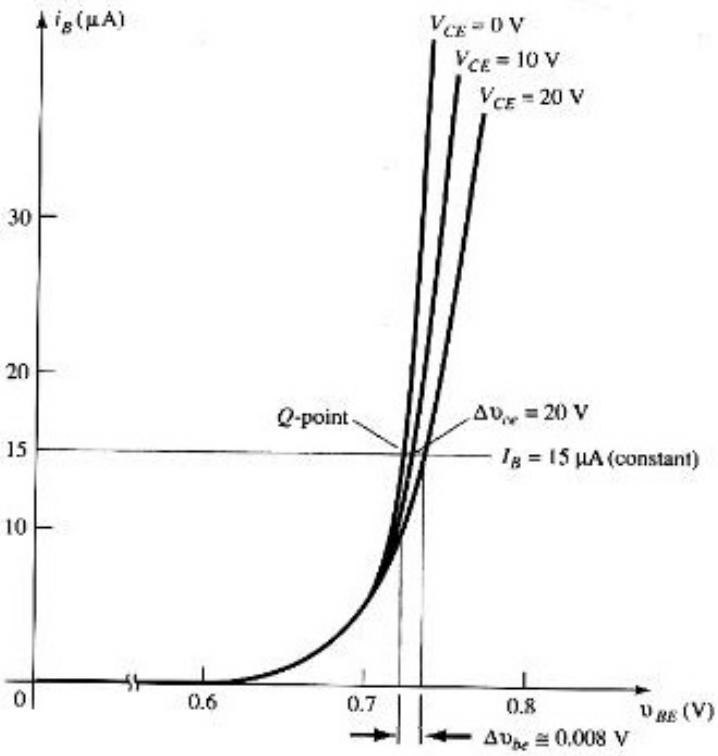
Đặt $r_e = \frac{V_T}{I_{EQ}} = \frac{26mV}{I_{EQ}}$

Vậy $h_{ie} = \beta r_e$ (7.16b)

Chú ý chữ e trong điện trở r_e được chọn để nhấn mạnh rằng dòng điện DC tại cực E xác định giá trị điện trở của mối nối J_E.

b. Xác định hệ số hồi tiếp h_{re}

Xét đường đặc tuyến ngõ vào khi cố định $I_B = I_{BQ}$ như hình 7.13



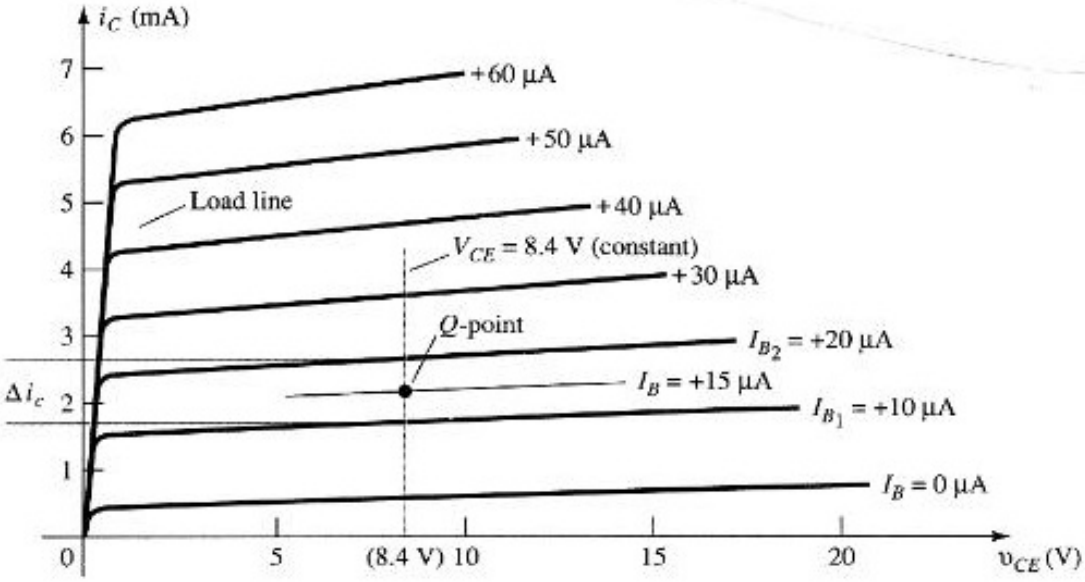
Hình 7.13. *Đặc tuyến ngõ vào.*

Từ hình 7.13 ta có:

$$h_{re} = \left.\frac{\Delta v_{be}}{\Delta v_{ce}}\right|_{I_{BQ}} = \frac{\partial v_{be}}{\partial v_{ce}} \cong 0 \qquad (7.17)$$

c. Xác định hệ số khuếch đại dòng h_{fe}

Xét đường đặc tuyến ngõ ra, khi cố định $V_{CE} = V_{CEQ}$ như hình 7.14



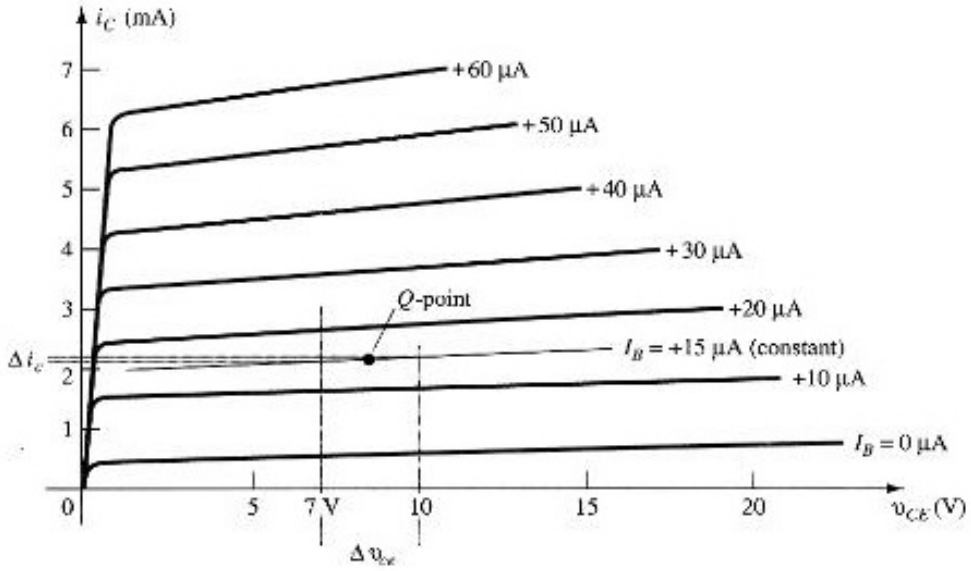
Hình 7.14. *Đặc tuyến ngõ ra.*

Từ hình 7.14 ta có:

$$h_{fe} = \frac{\Delta i_c}{\Delta i_b}\bigg|_{V_{CEQ}} = \frac{\partial i_c}{\partial i_b} \cong \beta \qquad (7.18)$$

d. Xác định điện dẫn ngõ ra h_{oe}

Xét đường đặc tuyến ngõ ra, khi cố định $I_B = I_{BQ}$ như hình 7.15

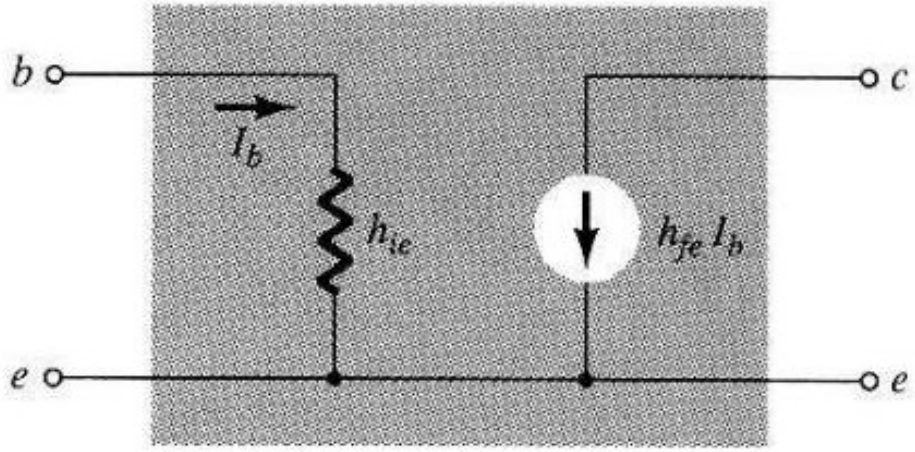


Hình 7.15. *Đặc tuyến ngõ ra.*

Từ hình 7.15 ta có:

$$h_{oe} = \frac{\Delta i_c}{\Delta v_{ce}}\bigg|_{V_{CEQ}} = \frac{\partial i_c}{\partial v_{ce}} \to 0 \qquad (7.19)$$

Đối với mô hình cực E chung, giá trị của thông số h_r là một đại lượng tương đối nhỏ có thể xem $h_r \cong 0$ nên $h_r v_o = 0$, kết quả là ngắn mạch phần tử này. Đại lượng $1/h_o$ thường có giá trị rất lớn nên có thể bỏ qua nếu so sánh với một điện trở tải, kết quả mô hình tương đương gần đúng của transistor mô hình cực E chung như hình 7.16



Hình 7.16. *Mô hình tương đương gần đúng của BJT.*

Bảng chuyển đổi thông số giữa các dạng mạch CE và CB cùng BJT:

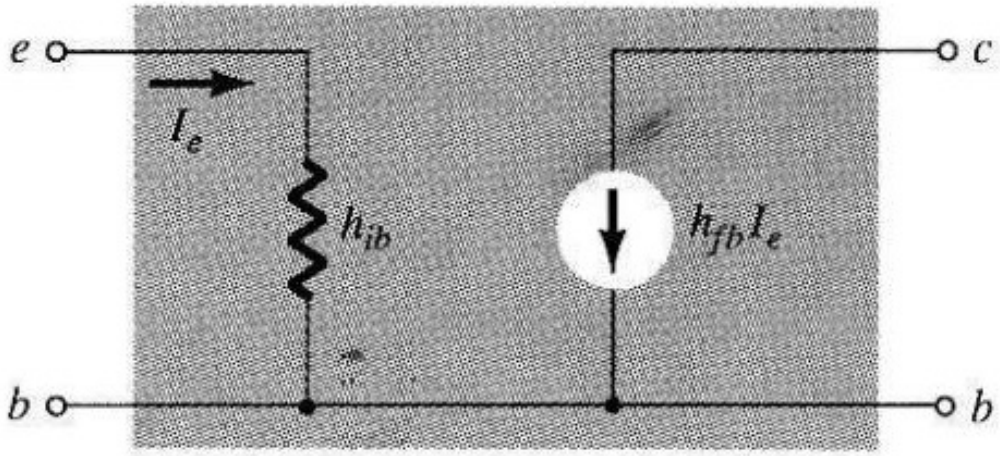
$$h_{ib} = \frac{h_{ie}}{1+h_{fe}} \cong r_e \qquad (7.20)$$

$$h_{rb} = \frac{h_{ie} \times h_{oe}}{1+h_{fe}} - h_{re} \cong 0 \qquad (7.21)$$

$$h_{fb} = -\frac{h_{fe}}{1+h_{fe}} = -\alpha \cong -1 \qquad (7.22)$$

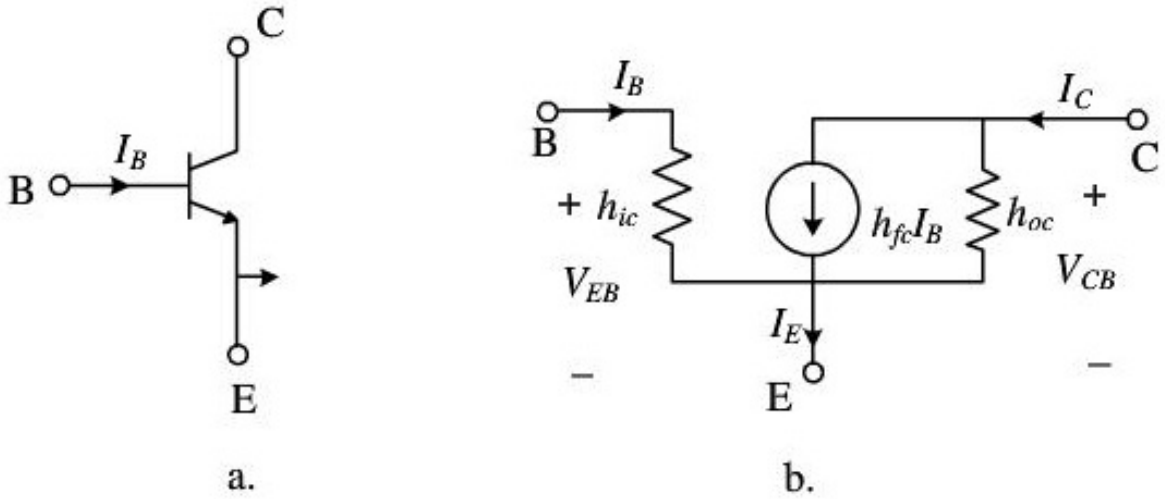
$$h_{ob} = \frac{h_{oe}}{1+h_{fe}} \to 0 \qquad (7.23)$$

Sơ đồ tương đương gần đúng của BJT mắc CB trong hình 7.17.



Hình 7.17. *Mạch tương đương.*

Mạch chung C, ta sử dụng sơ đồ tương đương tín hiệu nhỏ của mạch mắc CE và các tham số $h_{ie} = h_{ic}$, $h_{fe} = h_{fc}$, $h_{oe} = h_{oc}$.



Hình 7.18 *Sơ đồ tương đương tín hiệu nhỏ mạch mắc CC*

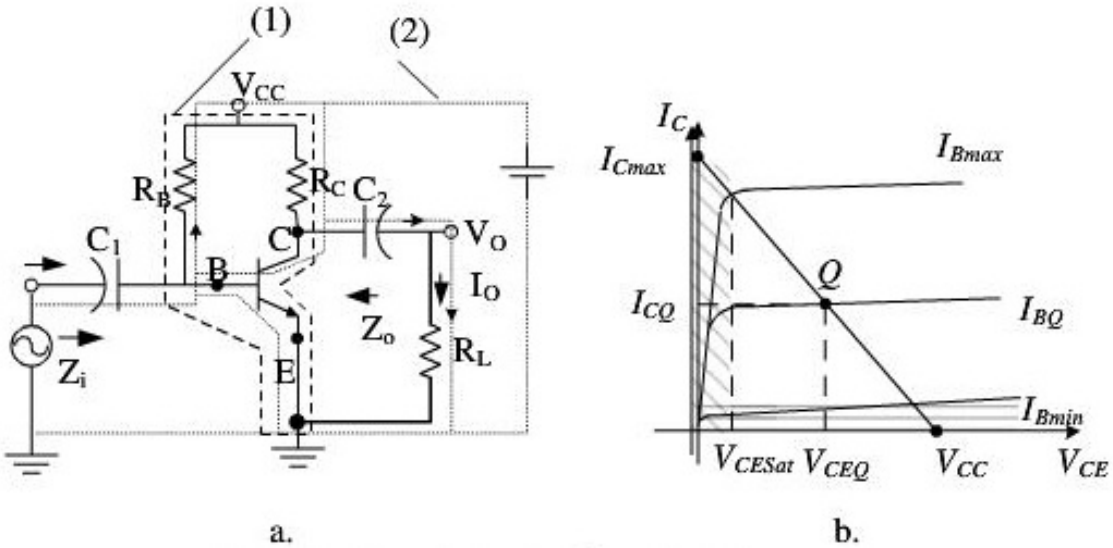
7.3. PHÂN TÍCH MẠCH KHUẾCH ĐẠI TÍN HIỆU NHỎ DÙNG BJT

Các mô hình đã giới thiệu được sử dụng để thực hiện việc phân tích ac của một số mô hình mạch chuẩn dùng transistor.

7.3.1. Mạch khuếch đại tín hiệu nhỏ mắc CE

a. Phân cực định dòng I_B

Cho mạch khuếch đại tín hiệu nhỏ sử dụng transistor Si npn như hình 7.19



a. b.

Hình 7.19. *Mạch khuếch đại E chung.*

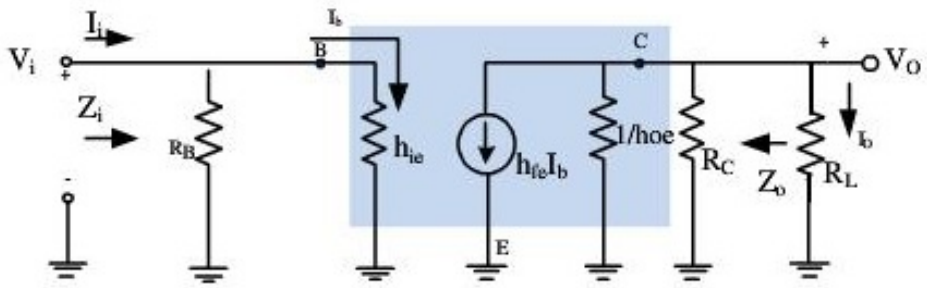
Cần xác định điểm làm việc Q (I_{CQ}, V_{CEQ}) theo khung (1) hình 7.19 Q thuộc vùng khuếch đại.

Cần xác định sơ đồ tương đương tín hiệu nhỏ khi có nguồn xoay chiều áp vào. Ta cần tính các tham số xoay chiều A_v, A_i, Z_i. Z_o của bộ khuếch đại mạch mắc EC (Khung (2)).

Mạch điện tương đương được phân tích như sau: giả sử tín hiệu vào là ac đã được xác định. Do chỉ xét đến tín hiệu ac nên tất cả các nguồn DC có thể xem như ngắn mạch do chúng chỉ xác định điện áp DC ở ngõ ra mà không xác định biên độ dao động ngõ ra.

Các tụ liên lạc ac xem như nối tắt C_1 và C_2 và tụ bypass C_3 được chọn sao cho có tổng trở rất nhỏ tại tần số của tín hiệu và nối tắt điện trở R_E.

Sơ đồ tương đương tín hiệu nhỏ của mạch hình 7.19 như hình 7.20.



Hình 7.20. *Mạch tương đương tín hiệu nhỏ.*

Xác định các thông số: tổng trở vào, tổng trở ra, hệ số khuếch đại điện áp, hệ số khuếch đại dòng điện:

Tổng trở vào là tổng trở nhìn từ hai đầu nguồn tín hiệu về tải

$$Z_{iE} = R_B \parallel h_{ie} \qquad (7.24)$$

Nếu điện trở R_B lớn hơn h_{ie} gấp 10 lần thì có thể xem:

$$Z_{iE} = h_{ie} \qquad (7.25)$$

Tổng trở ra là tổng trở của mạch nhìn từ hai đầu tải về nguồn tín hiệu ac không tính tải

Được xác định khi tín hiệu vào $v_i = 0$, suy ra $i_i = i_b = 0$ nên có thể xem là hở mạch nguồn dòng và kết quả là tổng trở ra:

$$Z_{oE} = R_C \parallel \frac{1}{h_{oe}} \qquad (7.26)$$

Hệ số khuếch đại điện áp:

Ta có $$V_{iE} = I_i Z_i = I_b h_{ie}$$

$$V_{oE} = I_L R_L = -h_{fe} I_b (R_L \parallel R_C \parallel \frac{1}{h_{oe}})$$

Hệ số khuếch đại điện áp

$$A_{VE} = \frac{V_o}{V_i} = -\frac{h_{fe} I_b (R_C \parallel R_L \parallel \frac{1}{h_{oe}})}{I_b h_{ie}} = -\frac{h_{fe}(R_C \parallel R_L \parallel \frac{1}{h_{oe}})}{h_{ie}} \qquad (7.27)$$

Hay $$A_{VE} = -\frac{h_{fe}(R_C \parallel R_L)}{h_{ie}} \qquad (7.28)$$

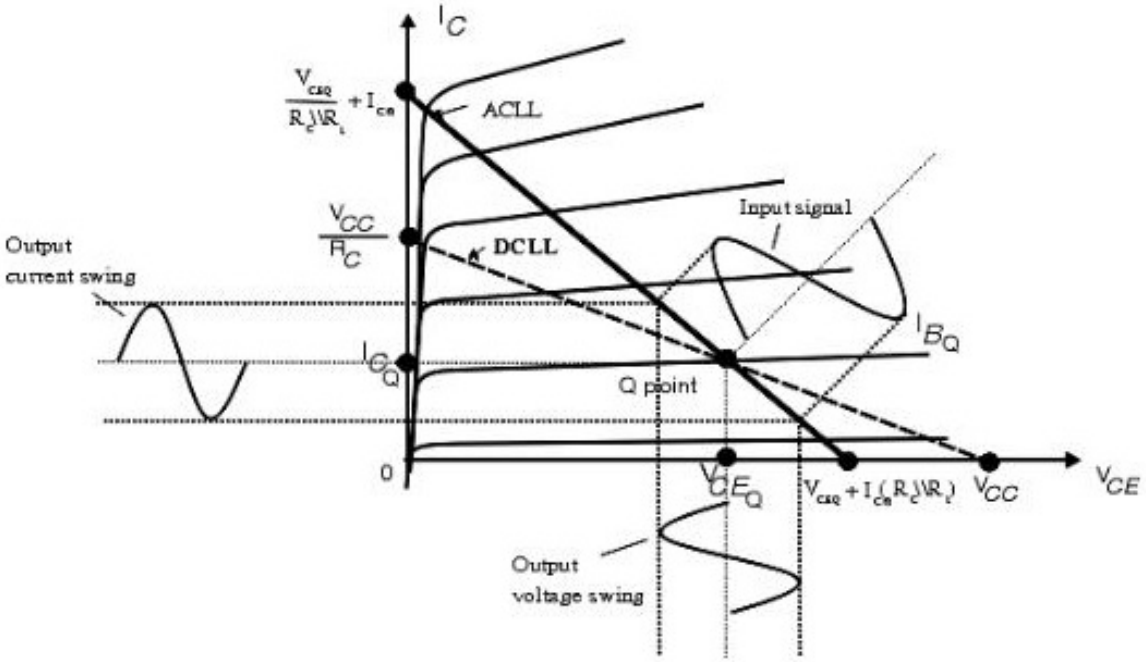
Hệ số A_{VE} có giá trị lớn tỷ lệ thuận với h_{fe}; dấu "-" đảo pha tín hiệu vào ra.

Hệ số khuếch đại dòng: dòng điện ngõ ra được xác định:

$$A_{iE} = \frac{I_o}{I_i} = -A_{VE}\frac{Z_i}{R_C} = h_{fe}\frac{R_B}{R_B + h_{ie}} \qquad (7.29)$$

Nếu $h_{ie} \langle\langle R_B$ thì: $A_{iE} = h_{fe}$ (7.30)

Hệ số khuếch đại mạch CE đảo pha điện áp và có giá trị lớn , tỷ lệ thuận với h_{fe}.



Hình 7.21.

Ví dụ 7.1 Cho mạch khuếch đại CE , sử dụng transistor Si npn , phân cực cố định

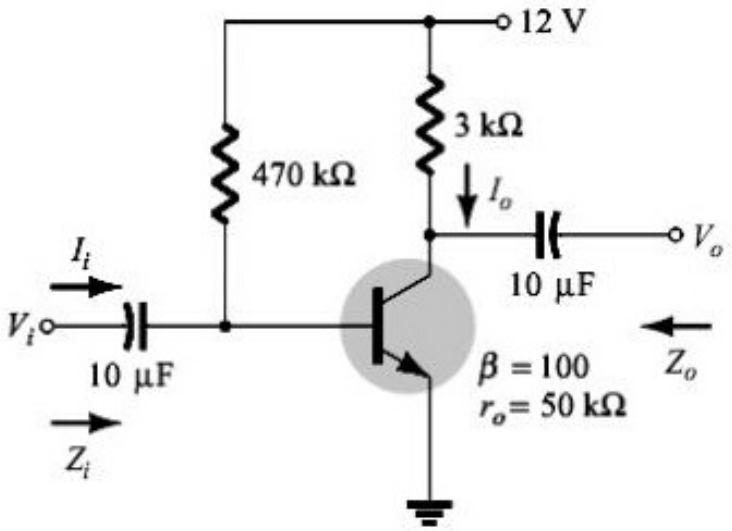
a) Xác định tĩnh điểm Q và phương trình đường tải tĩnh DCLL.

b) Xác định tổng trở ngõ vào Zi

c) Tính tổng trở ngõ ra Z_0

d) Xác định A_V, A_I

e) Khi r_0 = 50 kΩ, tính lại các giá trị Z_0, A_V, A_I.



Hình 7.22. Mạch khuếch đại CE, phân cực cố định cho ví dụ 7.1

Giải:

a) Phân tích DC ta có:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{12V - 0,7V}{470k\Omega} = 24,04\mu A$$

$$I_C = \beta I_B = (100)(24,04\mu A) = 2,404mA$$

$$V_{CE} = V_{CC} - I_C R_C = 12V - (2,404mA)(3k\Omega) = 4,788V$$

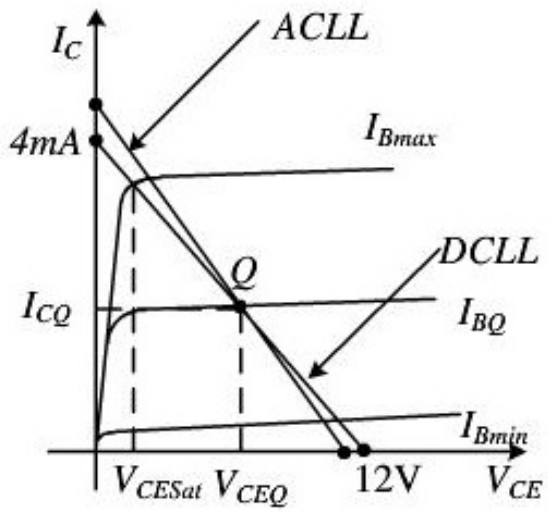
Do đó

$$r_e = \frac{26mV}{I_E} = \frac{26mV}{2,428mA} = 10,71\Omega$$

Với:

$$I_E = (\beta + 1) I_B = (101)(24,04\mu A) = 2,428mA$$

$$hie = \beta r_e = (100)(10,71\Omega) = 1,071k\Omega$$



Hình 7.23

b) Tổng trở ngõ vào Z_i

$$Z_i = R_B \parallel hie = 470k\Omega \parallel 1,071k\Omega = 1,069k\Omega$$

c) Tổng trở ngõ ra Z_o

$$Z_0 = R_C = 3k\Omega$$

d) Độ lợi điện áp, độ lợi dòng điện

Độ lợi áp A_V

$$A_V = \frac{-R_C}{r_e} = -\frac{3k\Omega}{10,71k\Omega} = -280,11$$

Do $R_B \gg 10\beta r_e$ $470k\Omega > 10,71k\Omega$

Độ lợi dòng A_I

$$A_I \approx \beta = 100$$

e) Khi xét đến ảnh hưởng của r_o

$$Z_0 = r_0 \parallel R_C = 50k\Omega \parallel 3k\Omega = 2,83k\Omega$$

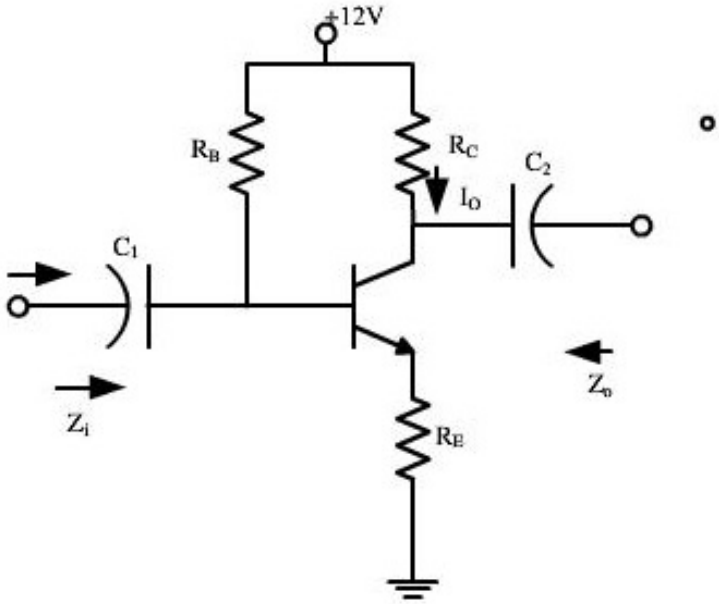
$$A_V = -\frac{r_0 \parallel R_C}{r_e} = -\frac{2,83k\Omega}{10,71k\Omega} = -264,24$$

$$A_I = \frac{\beta R_B r_0}{(r_0 + R_C)(R_B + \beta r_e)} = \frac{(100)(470k\Omega)(50k\Omega)}{(50k\Omega + 3k\Omega)(470k\Omega + 1,071k\Omega)} = 94,13$$

b. Phân cực kiểu định dòng I_B có điện trở R_E

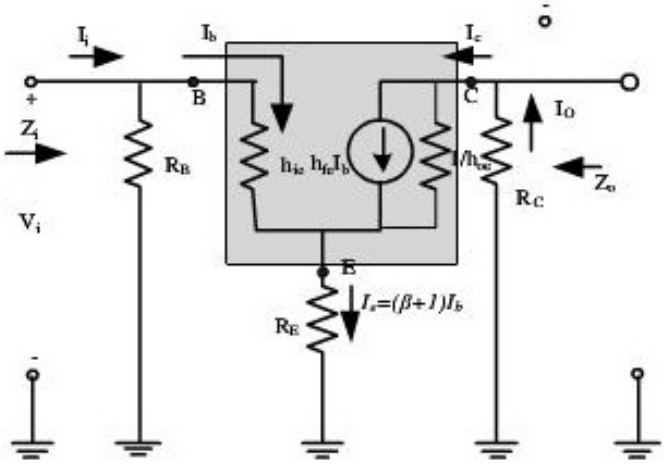
Trường hợp không có tụ bypass C_E (tụ mắc song song với R_E).

Cho mạch khuếch đại như hình 7.24, Xác định các tham số xoay chiều của mạch.



Hình 7.24. *Mạch khuếch đại CE không có tụ C_E, mạch phân cực cố định có điện trở R_E*

Ta có sơ đồ tương đương tín hiệu nhỏ như hình 7.25 và xem $\frac{1}{h_{oe}} \to \infty$, ở đây ta dùng tham số $\beta r_e = h_{ie}$



Hình 7.25. *Mạch tương đương tín hiệu nhỏ*

Áp dụng định luật Kirchhoff cho hình 7.25, ta có:

$$v_i = I_b h_{ie} + I_e R_E$$
$$v_i = I_b h_{ie} + (\beta + 1) I_b R_E$$

Trở kháng ngõ vào bên phải của R_B là:

$$Z_b = \frac{v_i}{I_b} = h_{ie} + (\beta + 1) R_E \qquad (7.31)$$

Do β thông thường lớn hơn 1 rất nhiều nên: $Z_b \cong h_{ie} + \beta R_E$

Có: $\beta r_e = h_{ie}$

Nên: $$Z_b = \beta (r_e + R_E) \qquad (7.32)$$

Do R_E thường lớn hơn r_e nhiều nên

$$Z_b \approx \beta R_E \qquad (7.33)$$

Tổng trở Z_i:

Từ mạch 7.20 ta có:

$$Z_i = R_B \parallel Z_b \qquad (7.34)$$

Tổng trở Z_0:

Đặt $V_i = 0$, $I_B = 0$ và $\beta I_b = 0$ bằng cách ngắn mạch ngõ vào, ta có:

$$Z_0 = R_C \quad (7.35)$$

Tính A_V:

$$A_V:\ I_b = \frac{V_i}{Z_b} \quad (7.36)$$

Với: $Z_b = \beta\left(r_e + R_E\right)$

Độ lợi A_V:

$$A_V = \frac{V_0}{V_i} = -\beta\frac{R_C}{Z_B} \quad (7.37)$$

Nếu $Z_b \cong \beta R_E$ thì: $A_V = -\dfrac{R_C}{R_E}$ (7.38)

Độ lợi A_I:

Áp dụng luật phân dòng cho ngõ vào của mạch ta có:

$$I_b = \frac{R_B I_i}{R_B + Z_b}$$

Suy ra: $\dfrac{I_b}{I_i} = \dfrac{R_B}{R_B + Z_b}$

Ta có: $I_0 = \beta I_b$

Nên $\dfrac{I_0}{I_b} = \beta$

Do đó: $A_i = \dfrac{I_0}{I_i} = \dfrac{I_0}{I_b}.\dfrac{I_b}{I_i} = \beta.\dfrac{R_B}{R_B + Z_b}$

$$A_i = \frac{\beta R_B}{R_B + Z_b} \quad (7.39)$$

Hoặc: $A_i = -A_V.\dfrac{Z_i}{R_C}$ (7.40)

Mối quan hệ về pha: biểu thức (7.38) cho thấy tín hiệu vào ra lệch pha nhau 180°

Xét ảnh hưởng của r_0:

Các công thức dưới đây cho thấy điện trở r_0 của transitor ảnh hưởng trong mạch:

$$Z_i:\ Z_b = \beta r_e + \left[\frac{(\beta+1)+R_C/r_0}{1+(R_C+r_e)/r_0}\right]R_E \qquad (7.41)$$

Do tỷ số R_C/r_0 luôn nhỏ hơn (β+1) rất nhiều, nên:

$$Z_b = \beta r_e + \frac{(\beta+1)R_E}{1+(R_C+r_e)/r_0}$$

Nếu $r_0 \geq 10(R_C + R_E)$

$$Z_b \cong \beta r_e + (\beta+1)R_E$$

Do $\beta + 1 \simeq \beta$

Nên $$Z_b = \beta(r_e + R_E) \qquad (7.42)$$

Tính Z_0 điện trở ngõ ra: $$Z_0 = R_C \parallel \left[r_0 + \frac{\beta\ r_0 + r_e}{1+\frac{\beta r_e}{R_E}}\right] \qquad (7.43)$$

Ta có $r_0 \gg r_e$, nên:

$$Z_0 \cong R_C \parallel \left[r_0 + \frac{\beta}{1+\frac{\beta r_e}{R_E}}\right] = R_C \parallel \left[r_0 + \frac{1}{\frac{1}{\beta}+\frac{r_e}{R_E}}\right]$$

Thông thường $\frac{1}{\beta}$ và $\frac{r_e}{R_E}$ nhỏ hơn 1 rất nhiều nên tổng của chúng cũng nhỏ hơn 1.

Giả sử với β = 100, r_e = 10 Ω, R_E = 1 kΩ

$$\frac{1}{\frac{1}{100}+\frac{10\Omega}{1k\Omega}} = \frac{1}{0,02} = 50$$

$$Z_0 = R_C \parallel 51r_0$$

Do đó để đơn giản: $Z_0 = R_C$ (7.44)

Tính A_V:

$$A_V = \frac{V_0}{V_i} = \frac{-\frac{\beta R_C}{Z_b}\left[1+\frac{r_e}{r_0}\right]+\frac{R_C}{r_0}}{1+\frac{R_C}{r_0}} \quad (7.45)$$

Tỷ số: $\frac{r_e}{r_0} \ll 1$

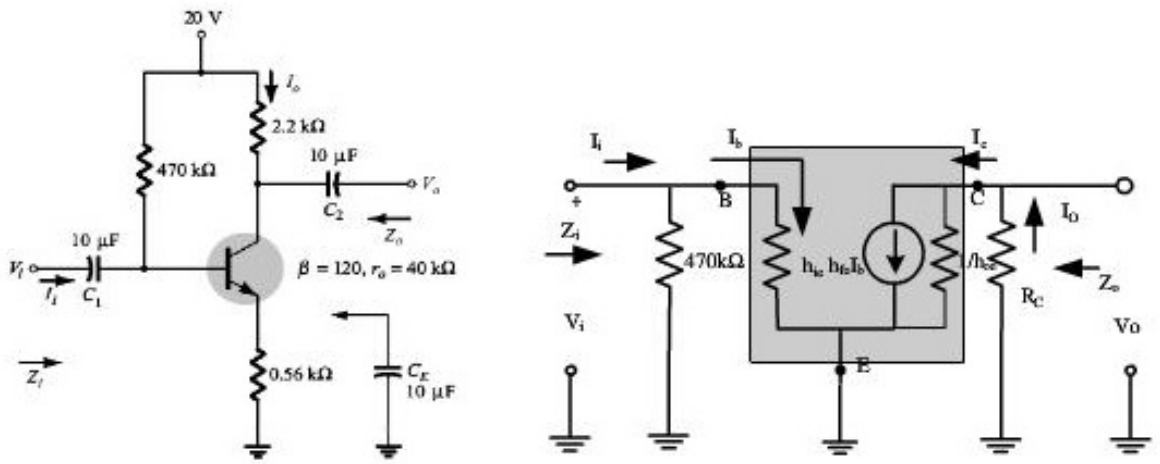
$$A_V = \frac{V_0}{V_i} = \frac{-\frac{\beta R_C}{Z_b}+\frac{R_C}{r_0}}{1+\frac{R_C}{r_0}}$$

Nếu $r_0 \geq 10R_C$

$$A_V = \frac{V_0}{V_i} = -\frac{\beta R_C}{Z_b}$$

Tính A_i: $A_i = -A_v.\frac{Z_i}{R_C}$

Trường hợp có tụ bypass C_E: Nếu điện trở R_E trong mạch hình 7.24 mắc song song với tụ C_E thì mạch tương đương trở thành mạch tương đương như hình 7.26.b. Các công thức từ 7.24 đến 7.30 đều dùng được.



a. b.

Hình 7.26. *Mạch khuếch đại CE*

Ví dụ 7.2. Cho mạch điện như hình 7.26.a với tụ bypass C_E.

a) Tĩnh điểm Q và phương trình đường tải tĩnh DCLL.

b) Tính các tham số xoay chiều của mạch: Z_i, Z_0, A_v, A_i.

***Giải*:**

a) Phân tích DC ta có $I_E = 4.34$ mA

re = 5,99 Ω

b) R_E bị ngắn mạch bởi C_E, do đó:

$$Z_i = R_B \parallel Z_b = R_B \parallel \beta r_e = 470k\Omega \parallel (120)(5,99\Omega) = 717,70\Omega$$

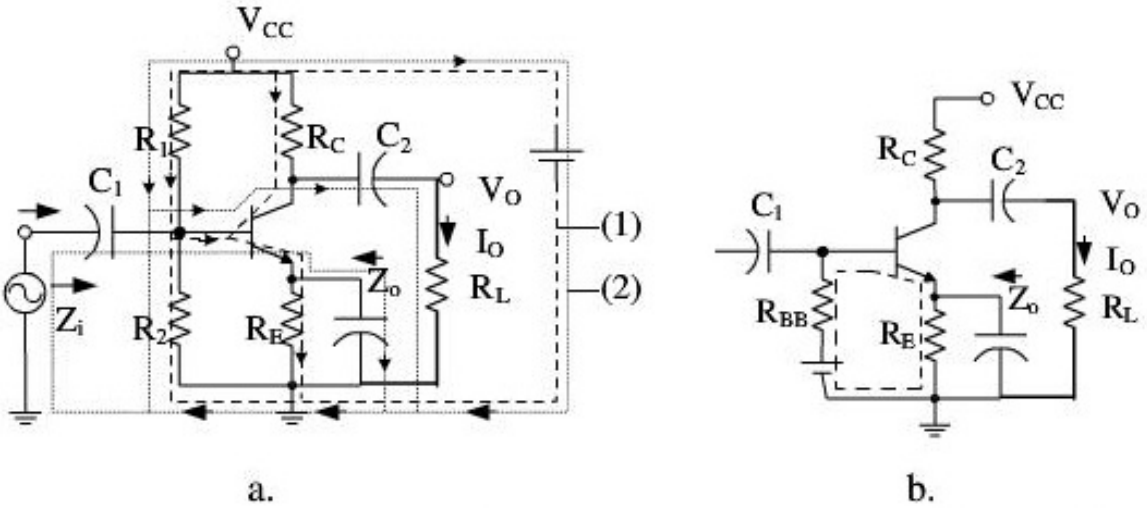
$$Z_0 = R_C = 2,2k\Omega$$

$$A_V = -\frac{R_C}{r_e} = -\frac{2,2k\Omega}{5,99k\Omega} = -367,28 \text{ (tăng đáng kể khi có tụ } C_E\text{)}$$

$$A_i = \frac{\beta R_B}{R_B + Z_b} = \frac{(120)(470k\Omega)}{470k\Omega + 718,8k\Omega} = 119,82$$

c. Phân cực kiểu cầu phân áp:

Cho mạch khuếch đại như hình 7.27

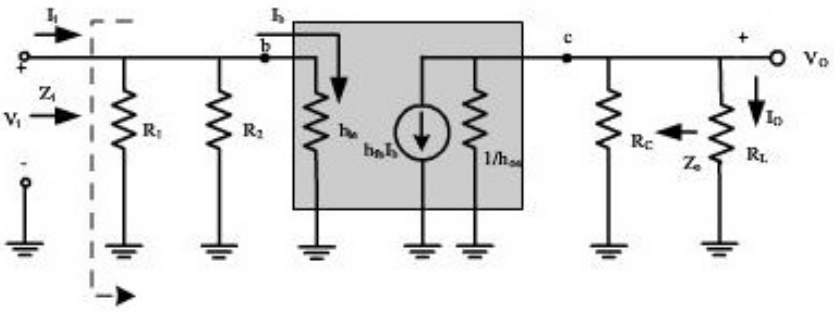


Hình 7.27. *Mạch khuếch đại CE, phân cực kiểu cầu phân áp*

Theo khung (1) ta xác định được mạch tương đương hình 7.27.b Ta xác định được Q(I_{CQ}, V_{CEQ}) ở chế độ khuếch đại.

Theo khung (2) khi có tín hiệu xoay chiều mạch điện tương đương được vẽ lại như hình 7.28, trong đó các tụ điện C_1, C_2 và C_E được chọn sao

cho có trở kháng thấp xem như thông mạch đối với tín hiệu ac, do đó điện trở R_E coi như ngắn mạch đối với tín hiệu xoay c hiều do ảnh hưởng của tụ bypass C_E. Dòng ac không qua R_E trong sơ đồ không xuất hiện R_E.



Hình 7.28. *Mạch tương đương*

Điện trở $R_1 \parallel R_2$ tương đương:

$$R_{BB} = R_1 \parallel R_2 = \frac{R_1.R_2}{R_1 + R_2} \qquad (7.46)$$

Tổng trở ngõ vào Z_i:

Từ mạch tương đương hình 7.28 ta có:

$$Z_i = R_{BB} \parallel h_{ie} \qquad (7.47)$$

Tổng trở ngõ ra Z_0 (Nhìn từ hai đầu tải về nguồn không tính tải):

Từ mạch tương đương hình 7.28, ta sẽ xác định Z_o bằng cách nối tắt nguồn vào $V_i = 0$ nên $I_b = 0$ μA và $I_C = \beta I_b = 0$ mA. Do đó

$$Z_0 = R_C \parallel \frac{1}{h_{oe}} \qquad (7.48)$$

Nếu $r_0 \geq 10R_C$ thì $Z_0 = R_C$; thường thì $\frac{1}{h_{oe}} \to \infty$ ta có $Z_0 \approx R_C$ (7.49)

Độ lợi điện áp A_v:

$$A_V = \frac{V_o}{V_i} = \frac{-h_{fe} I_B (\frac{1}{h_{oe}} \parallel R_C \parallel R_L)}{I_B h_{ie}}$$

Suy ra $$A_V = \frac{-h_{fe}(R_C \parallel R_L)}{h_{ie}} \qquad (7.50)$$

Nếu $1/h_{oe} \geq 10R_C$

$$A_V = \frac{-h_{fe}(R_C \parallel R_L)}{h_{ie}} \quad (7.51)$$

Mạch mắc EC có A_V rất lớn do tỷ lệ thuận với h_{fe} và đảo pha tín hiệu xoay chiều.

Độ lợi dòng điện A_i:

$$A_i = \frac{I_0}{I_i} = \frac{h_{fe}.R_{BB}.(\frac{1}{h_{oe}} \parallel R_C)}{\left(\frac{1}{h_{oe}} \parallel R_C + R_L\right)(R_{BB} + h_{ie})} \quad (7.52)$$

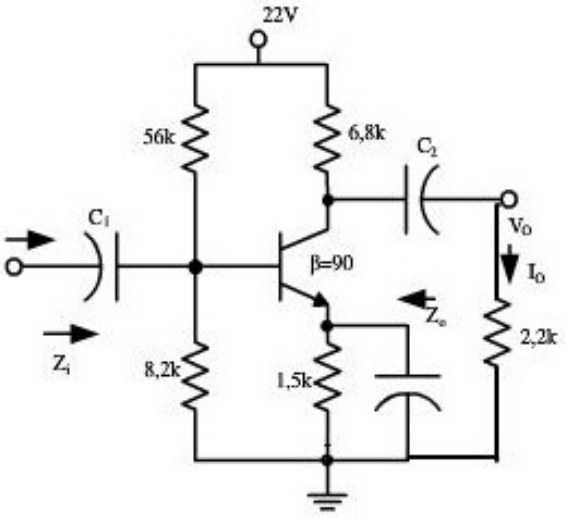
Nếu $1/h_{0e} \geq 10R_C$ $\quad A_i = \frac{I_0}{I_i} \cong \frac{h_{fe}R_{BB}R_C}{(R_C + R_L)(R_{BB} + h_{ie})}$ (7.53)

Nếu $R_{BB} \geq 10h_{ie}$ $\quad A_i = \frac{I_0}{I_i} = \frac{h_{fe}R_{BB}R_C}{(R_C + R_L)(R_{BB} + h_{ie})} \approx \frac{h_{fe}R_C}{(R_C + R_L)}$ (7.54)

Có thể xác định A_i bằng cách: $A_i = -A_V.\frac{Z_i}{R_C}$ (7.55)

Mối quan hệ về pha: từ công thức (7.50) cho thấy, tín hiệu vào V_i và tín hiệu ra V_0 lệch pha nhau 180°.

Ví dụ 7.3. Cho mạch như hình 7.29



Hình 7.29. *Mạch khuếch đại CE, phân cực cầu phân áp cho ví dụ 7.3*

Xác định:

a) Tính dòng áp phân cực tĩnh I_C, V_{CE}. Tính các tham số của bộ khuếch đại Z_i, Z_0, A_v và A_I

b) Với $r_0 = 50\ k\Omega = 1/h_{oe}$, tính Z_0, A_v và A_I

Giải:

a) Phân tích DC:

Kiểm tra $\begin{matrix} \beta r_e > 10R_2 \\ (90)(1,5k\Omega) > 10(8,2k\Omega) \end{matrix}$

$135k\Omega > 8,2k\Omega$ (thỏa mãn)

Sử dụng phương pháp gần đúng:

$$V_B = \frac{R_2}{R_1 + R_2}.V_{CC} = \frac{(8,2k\Omega)(22V)}{56k\Omega + 8,2k\Omega} = 2,81V$$

$$V_E = V_E - V_{BE} = 2,81V - 0,7V = 2,11V$$

$$I_E = \frac{V_E}{R_E} = \frac{2,11V}{1,5k\Omega} = 1,41mA \cong I_C$$

$$V_{CE} = V_{CC} - I_C(R_C + R_E) = 22V - (1,41mA)(6,8k\Omega + 1,5k\Omega) = 10,297V$$

$$r_e = \frac{26mV}{I_E} = \frac{26mV}{1,41mA} = 18,44\Omega$$

$$R_{BB} = (R_1 \parallel R_2) = (56k\Omega) \parallel (8,2k\Omega) = 7,15k\Omega$$

$$Z_i = R_{BB} \parallel \beta r_e = 7,15k\Omega \parallel (90)(18,44\Omega) = 7,15k\Omega \parallel 1,66 = 1,35k\Omega$$

$$Z_0 = R_C = 6,8k\Omega$$

$$A_V = -\frac{R_C \parallel R_L}{r_e} = -\frac{6,8k\Omega \parallel 2,2k\Omega}{18,44\Omega} = -\frac{1,662k\Omega}{18,44\Omega} = -90,13$$

Điều kiện:

$R_{BB} \geq 10\beta r_e$ $\quad (7,15k\Omega \geq 10(1,66k\Omega) = 16,6k\Omega)$ không thỏa mãn

Do đó: $A_i \cong \dfrac{\beta R_{BB}}{R_{BB}+\beta r_e} = \dfrac{(90)(7,15k\Omega)}{7,15k\Omega+1,66k\Omega} = 73,04$

b) Xét ảnh hưởng của r_o

$$Z_i = 1,35k\Omega$$

$$Z_0 = R_C \parallel r_0 = 6,8k\Omega \parallel 50k\Omega = 5,98k\Omega$$

$$A_V = -\frac{R_C \parallel r_0 \parallel R_L}{r_e} = -\frac{1,608k\Omega}{18,44\Omega} = -87,21$$

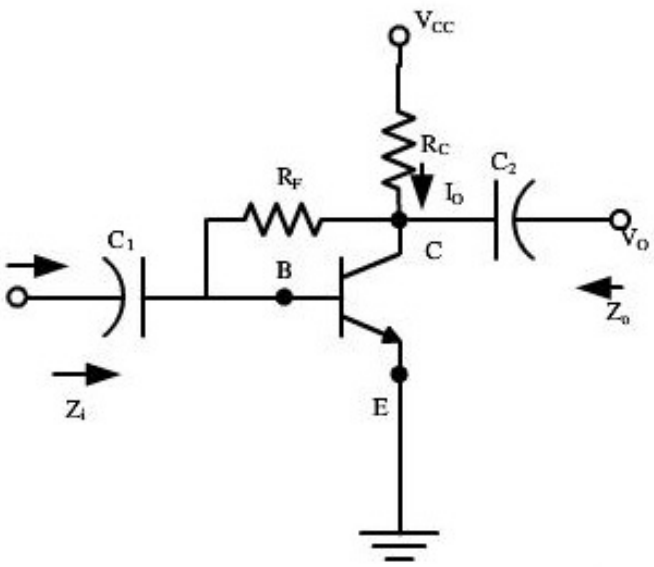
Điều kiện: $r_0 \geq 10R_C$ $\quad (50k\Omega > 10(6,8k\Omega) = 68k\Omega)$ không thỏa mãn

Do đó $$A_i = \frac{I_0}{I_i} = \frac{\beta.R_{BB}.(\frac{1}{h_{oe}} \parallel R_C)}{\left(\frac{1}{h_{oe}} \parallel R_C + R_L\right)(R_{BB}+h_{ie})}$$

$$A_i = \frac{I_0}{I_i} = \frac{\beta.R_{BB}.(\frac{1}{h_{oe}} \parallel R_C)}{\left(\frac{1}{h_{oe}} \parallel R_C + R_L\right)(R_{BB}+h_{ie})} = \frac{(90)(7,15k\Omega)(50k\Omega \parallel 2,2k\Omega)}{((50k\Omega \parallel 2,2k\Omega)+6,8k\Omega)(7,15k\Omega+1,66k\Omega)} \simeq 17$$

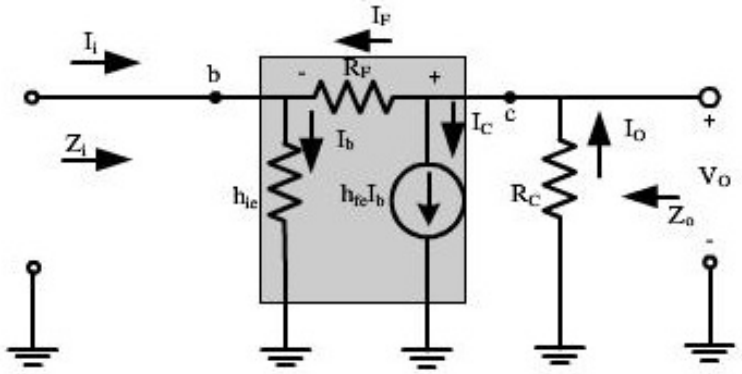
d. Phân cực hồi tiếp từ cực C

Mạch phân cực như ở hình 7.30 cung cấp một đường hồi tiếp từ cực C sang cực B làm gia tăng tính ổn định của mạch như đã phân tích.



Hình 7.30. *Mạch khuếch đại CE, phân cực kiểu hồi tiếp từ C*

Mạch tương đương như hình 7.31



Hình 7.31. *Mạch tương đương*

Tổng trở Z_I

Áp dụng định luật Kirchhoff cho vòng mắc lưới của mạch tương đương, ta có:

$$I' = \frac{V_0 - V_i}{R_F}$$

Với $V_0 = -I_0.R_C$

Mà $I_0 = \beta I_B + I'$

Vì βI_b thường lớn hơn I' nhiều nên:

$$I_0 \cong \beta I_b$$

Suy ra $V_0 = -(\beta I_b)R_C$

Ta có $I_b = \dfrac{V_i}{\beta r_e}$

Nên $V_0 = -\beta \dfrac{v_i}{\beta r_e}.R_C = -\dfrac{R_C}{r_e}.v_i$

Do đó, $I' = \dfrac{V_0 - v_i}{R_F} = \dfrac{V_0}{R_F} - \dfrac{V_i}{R_F} = -\dfrac{R_C}{r_e}v_i - \dfrac{v_i}{R_F} = \dfrac{1}{R_F}\left[1 + \dfrac{R_C}{r_e}\right]v_i$

Kết quả là: $v_i = I_b \beta r_e = (I_i + I')\beta r_e = I_i \beta r_e + I' \beta r_e$

$$v_i = I_b \beta r_e - \frac{1}{R_F}\left[1 + \frac{R_C}{r_e}\right]\beta r_e . v_i$$

Hay: $$v_i\left[1 + \frac{\beta r_e}{R_F}\left(1 + \frac{R_C}{r_e}\right)\right] = I_i \beta r_e$$

Do đó: $$Z_i = \frac{V_i}{I_i} = \frac{\beta r_e}{1 + \frac{\beta r_e}{R_F}\left[1 + \frac{R_C}{R_F}\right]}$$

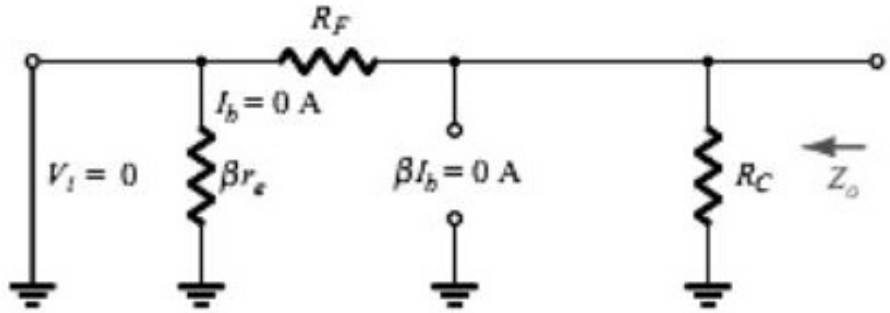
Thường R_C lớn hơn rất nhiều so với r_e và $1 + \frac{R_C}{r_e} \cong \frac{R_C}{r_e}$

Do đó:

$$Z_i = \frac{\beta r_e}{1 + \frac{\beta r_e}{R_F}} = \frac{\beta r_e R_F}{\beta r_e + R_F} = \beta r_e \parallel R_F \qquad (7.56)$$

Tổng trở Z_0:

Nếu ta ngắn mạch ngõ vào ($v_i = 0$) để xác định Z_0, mạch sẽ vẽ lại



Ảnh hưởng của điện trở βr_e bị mất và do đó R_F song song với R_C

$$Z_0 = R_C \parallel R_F \qquad (7.57)$$

Độ lợi A_v:

Tại nút C của hình 7.31

$$I_0 = \beta I_b + I'$$

Thường $\beta I_b \gg I'$ nên $I_0 \cong \beta I_b$

$$V_0 = -I_0 R_C = -\beta I_b R_C$$

Thay thế $I_b = \dfrac{V_i}{\beta r_e}$ ta được

$$V_0 = -\beta \frac{V_i}{\beta r_e} R_C$$

Do đó: $$A_V = \frac{V_0}{V_i} = -\frac{R_C}{r_e} \qquad (7.58)$$

Độ lợi A_i:

Áp dụng định luật Kirchhoff cho vòng mắt lưới ngoài:

$$v_i - v_{RF} - v_0 = 0$$

$$I_b \beta r_e + (I_b - I_i) R_F + I_0 R_C = 0$$

Do: $$I_0 \cong \beta I_b$$

Nên: $$I_b \beta r_e + I_b R_F - I_i R_F + \beta I_b R_C = 0$$

$$I_b (\beta r_e + R_F + \beta R_C) = I_i R_F$$

Thế: $$I_b = \frac{I_0}{\beta}:$$

$$\frac{I_0}{\beta}(\beta r_e + R_F + \beta R_C) = I_i R_F$$

$$I_0 = \frac{\beta I_i R_F}{(\beta r_e + R_F + \beta R_C)}$$

Bỏ qua βr_e khi so sánh với R_F và βR_C, ta được:

$$A_i = \frac{I_0}{I_i} = \frac{\beta R_F}{R_F + \beta R_C} \qquad (7.59)$$

Nếu $\beta R_C \gg R_F$ thì:

$$A_i = \frac{I_0}{I_i} = \frac{\beta R_F}{\beta R_C} = \frac{R_F}{R_C} \qquad (7.60)$$

Mối quan hệ về pha: dấu "-" trong công thức (7.58) cho thấy tín hiệu V_0 lệch pha 180^0 so với V_i.

Xét ảnh hưởng của r_0:

Tổng trở Z_i:

$$Z_i = \frac{1 + \dfrac{R_C \parallel r_0}{R_F}}{\dfrac{1}{\beta r_e} + \dfrac{1}{R_F} + \dfrac{R_C \parallel r_0}{R_F r_e}} \qquad (7.61)$$

Xem rằng $\dfrac{1}{R_F} \approx 0$ và áp dụng điều kiện $r_0 \geq 10R_C$

$$Z_i = \frac{1 + \dfrac{R_C}{R_F}}{\dfrac{1}{\beta r_e} + \dfrac{R_C}{R_F r_e}}$$

Thường $\dfrac{R_C}{R_F} \ll 1$:

$$Z_i = \frac{1}{\dfrac{1}{\beta r_e} + \dfrac{R_C}{R_F r_e}} = \frac{r_e}{\dfrac{1}{\beta} + \dfrac{R_C}{R_F}} \qquad (7.62)$$

Tổng trở Z_0: Bao gồm r_0 song song với R_C trong mạch hình 7.31,

$$Z_0 = R_C \parallel R_F \parallel r_0 \qquad (7.63)$$

Nếu $r_0 \geq 10R_C$: $Z_0 \cong R_C \parallel R_F$ (7.64)

Tính A_V:

$$A_V = -\frac{\left[\dfrac{1}{R_F} + \dfrac{1}{R_e}\right] r_0 \parallel R_C}{1 + \dfrac{r_0 \parallel R_C}{R_F}} \qquad (7.65)$$

Do $R_F \gg r_e$: $A_V = -\dfrac{\dfrac{(r_0 \| R_C)}{r_e}}{1+\dfrac{(r_0 \| R_C)}{R_F}}$

Nếu $r_0 \geq 10R_C$: $A_V \cong -\dfrac{\dfrac{R_C}{r_e}}{1+\dfrac{R_C}{R_F}}$ (7.66)

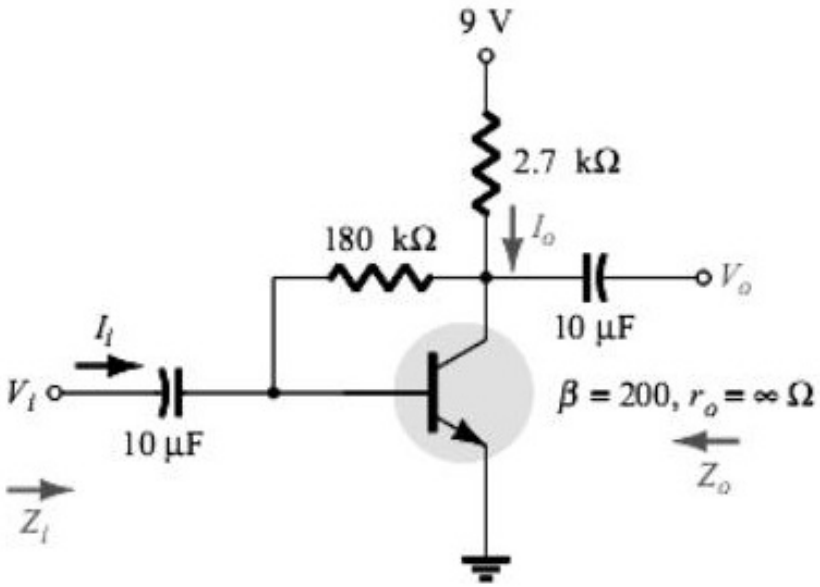
Do $\dfrac{R_C}{R_F}$ thường nhỏ hơn 1 nhiều nên: $A_V \cong -\dfrac{R_C}{r_e}$

Ví dụ 7.4. Cho mạch như hình 7.32, xác định

a) Tĩnh điểm Q và phương trình đường tải tĩnh DCLL

b) Tính các tham số Z_i, Z_0, A_v, A_i

c) Tính Z_i, Z_0, A_v, A_i nếu $r_0 = 20$ kΩ. So sánh kết quả



Hình 7.32. *Mạch khuếch đại CE, phân cực kiểu hồi tiếp từ C cho ví dụ 7.4*

***Giải*:**

a) Phân tích DC ta có

$$I_B = \frac{V_{CC} - V_{BE}}{R_F + \beta R_c} = \frac{9V - 0,7}{180k\Omega + (200)(2,7k\Omega)} = 11,53\mu A$$

$$I_E = (\beta+1)I_B = (201)(11,53\mu A) = 2,32mA$$

Do đó $r_e = \dfrac{26mV}{I_E} = \dfrac{26mV}{2,32mA} = 11,21\Omega$

$$Z_i = \frac{r_e}{\dfrac{1}{\beta}+\dfrac{R_C}{R_F}} = \frac{11,21\Omega}{\dfrac{1}{200}+\dfrac{2,7k\Omega}{180k\Omega}} = 560,5\Omega$$

$$Z_0 = R_C \parallel R_F = 2,7k\Omega \parallel 180k\Omega = 2,66k\Omega$$

$$A_V = -\frac{R_C}{r_e} = -\frac{2,7k\Omega}{11,21k\Omega} = -240,86$$

$$A_i = \frac{\beta R_F}{R_F+\beta R_C} = \frac{(200)(180k\Omega)}{(180k\Omega)+(200)(2,7k\Omega)} = 50$$

c) Z_i: Do điều kiện $r_0 \geq 10R_C$ không thỏa mãn nên:

$$Z_i = \frac{1+\dfrac{R_C \parallel r_0}{R_F}}{\dfrac{1}{\beta r_e}+\dfrac{1}{R_F}+\dfrac{R_C \parallel r_0}{R_F r_e}} = \frac{1+\dfrac{2,7k\Omega \parallel 20k\Omega}{180k\Omega}}{\dfrac{1}{(200)(11,21\Omega)}+\dfrac{1}{180k\Omega}+\dfrac{2,7k\Omega \parallel 20k\Omega}{180k\Omega.11,21\Omega}}$$

Z_i = 617,7 Ω so với Z_i= 560,5 Ω ở câu trước.

Z_0:

$$A_V:\ A_V = -\frac{\left[\dfrac{1}{R_F}+\dfrac{1}{r_e}\right] r_0 \parallel R_C}{1+\dfrac{r_0 \parallel R_C}{R_F}} = -\frac{\left[\dfrac{1}{180k\Omega}+\dfrac{1}{11,21\Omega}\right] 20k\Omega \parallel 2,7k\Omega}{1+\dfrac{20k\Omega \parallel 2,7k\Omega}{180k\Omega}} = -209,56$$

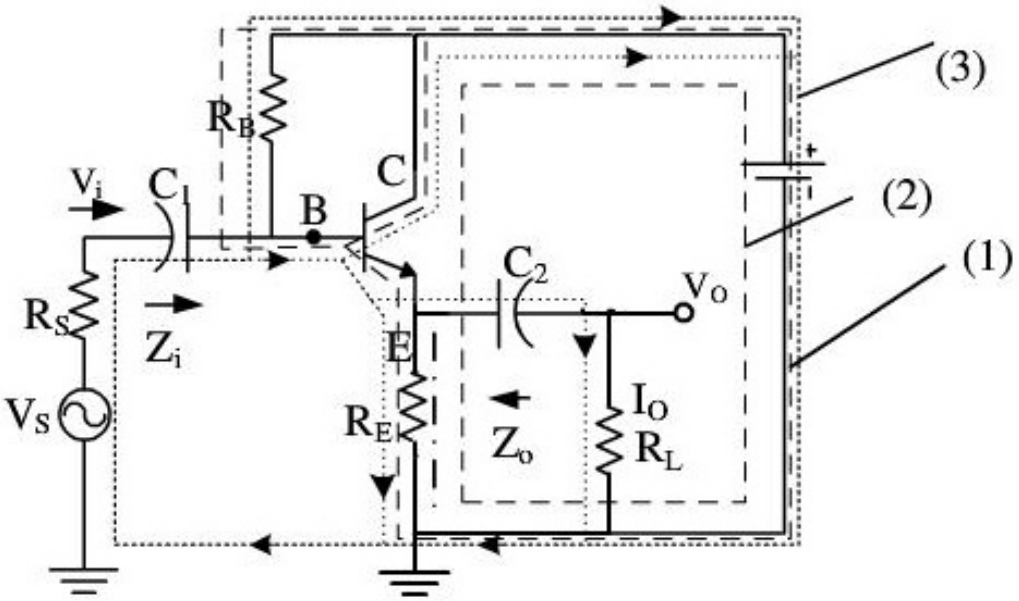
so với A_V= -240,86 ở câu trước.

$$A_i:\ A_i = -A_V.\frac{Z_i}{R_C} = -(-209,56).\frac{617,7\Omega}{2,7k\Omega}$$

$A_i = 47,94$ so với A_i=50 ở câu trước.

7.3.2. Mạch khuếch đại tín hiệu nhỏ mắc CC

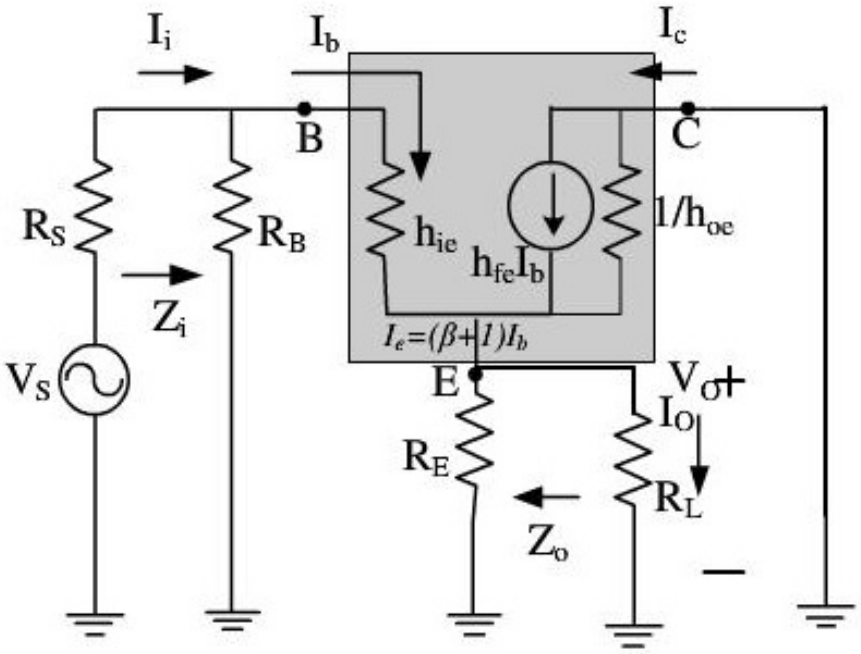
Xét mạch khuếch đại mắc CC như hình 7.33.



Hình 7.33. *Mạch khuếch đại C chung.*

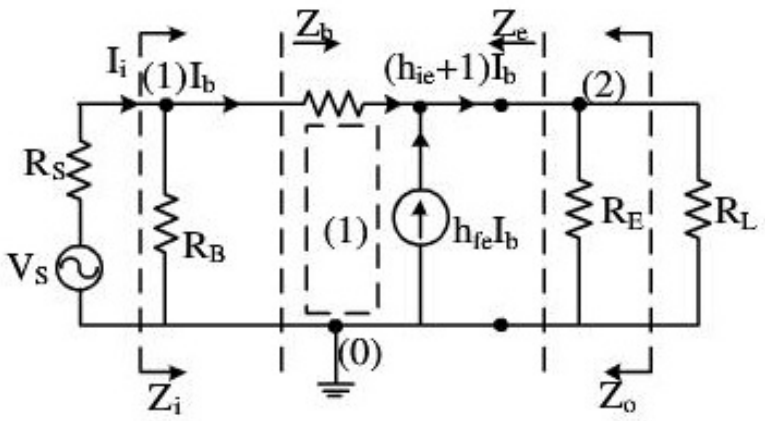
Ta xét phân cực DC cho mạch tìm điểm làm việc tĩnh Q(I_C, V_{CE}) (khung 1, 2).

Khi có tín hiệu ac (khung 3), ta có sơ đồ tương đương tín hiệu nhỏ như hình 7.34, sử dụng các tham số của mạch CE: h_{ie}, h_{fe}, h_{re} và h_{oe}.



Hình 7.34

Ta biến đổi thành hình 7.35



Hình 7.35

➢ ***Tổng trở vào Z_{iC}:***

Tổng trở vào Z_{iC} được xác định:

$$Z_{iC} = R_B \parallel Z_b \qquad (7.67)$$

Trong đó

$$Z_b = \frac{V_{10}}{I_B} = \frac{I_b h_{ie} + (h_{fe}+1)I_b\left(R_E \parallel R_L\right)}{I_b} = h_{ie} + (h_{fe}+1)\left(R_E \parallel R_L\right) \quad (7.68)$$

Ta có tổng trở $Z_{iC} = Z_b \| R_B >> Z_{iE} >> Z_{iB}$ vì tỷ lệ thuận với $h_{fe} + 1$ có giá trị rất lớn.

➢ ***Tổng trở ra Z_o:***

$$I_L R_L = V_{20} = (h_{fe} + 1)I_B(R_E \| R_L) + I_B h_{ie}$$

Xét khung kín (1)

$$Z_e = \frac{V_{20}}{I_e} = \frac{I_b h_{ie} + I_b\left(R_B \parallel R_S\right)}{(h_{fe}+1)I_b} = \frac{h_{ie} + \left(R_B \parallel R_S\right)}{h_{fe}+1} \qquad (7.69)$$

$$Z_o = R_E \| Z_e$$

Vậy tổng trở ngõ ra có điện trở ra rất nhỏ vì tỷ lệ nghịch với h_{fe}. Ta có giá trị điện trở ngõ ra nhỏ nhất so với mạch mắc BC và EC

$$Z_{OC} << Z_{OE} << Z_{OB} \qquad (7.70)$$

➢ ***Độ lợi điện áp:***

Một trong những đặc tính quan trọng nhất của mạch khuếch đại là độ lợi điện áp ac tín hiệu nhỏ được xác định bởi phương trình:

$$A_V = \frac{V_O}{V_i} = \frac{(R_E \parallel R_L)(1+h_{fe})I_b}{h_{ie}I_b + (R_E \parallel R_L)(1+h_{fe})I_b} = \frac{(1+h_{fe})(R_E \parallel R_L)}{h_{ie} + (1+h_{fe})(R_E \parallel R_L)} \approx 1 \quad (7.71)$$

Hay $A_V = \frac{V_O}{V_i} \approx 1$

Nếu $(R_E \parallel R_L) \ll r_e$ thì $A_V \cong 1$.

Vậy mạch CC không khuếch đại điện áp và có độ lệch pha giữa tín hiệu vào và ra bằng 0.

➢ ***Độ lợi dòng:***

$$I_b = \frac{R_B}{R_B + Z_b} I_i$$

$$I_O = \frac{R_E}{R_E + R_L} I_e = \frac{R_E}{R_E + R_L}(1+h_{fe})I_b$$

$$A_i = \frac{I_O}{I_i} = \frac{I_O}{I_b}\frac{I_b}{I_i} = (1+h_{fe})\frac{R_B}{R_B + Z_b}\frac{R_E}{R_E + R_L} \quad (7.72)$$

Độ lợi dòng lớn vì tỷ lệ thuận với h_{fe}.

Như vậy mạch mắc chung C có độ lợi áp xấp xỉ bằng 1 và điện áp vào cùng pha với điện áp ra $A_{VC} \approx +1$.

Mạch CC có độ lợi dòng lớn so với mạch EC, BC $A_{IC} > A_{IE} > A_{IB}$.

Mạch CC có điện trở ngõ vào lớn vào lớn và điện trở ngõ ra nhỏ $Z_{oC} << Z_{iE} < Z_{iB}$.

Mạch CC thường được sử dụng làm Mạch lặp lại điện áp hoặc Mạch đệm cho các bộ khuếch đại, Mạch phối hợp trở kháng.

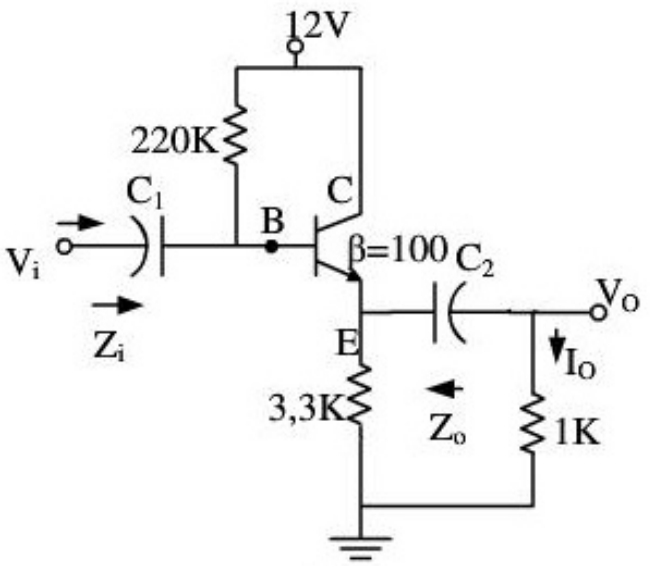
Tóm lại:

$A_{VC} \approx +1$; $A_{IC} > A_{IE}$; $Z_{iC} >> Z_{iE} > Z_{iB}$; $Z_{oC} << Z_{iE} < Z_{iB}$

Ví dụ 7.5. Cho mạch như hình 7.36

a) Xác định dòng áp phân cực tĩnh

b) Xác định các tham số xoay chiều Z_i, Z_0, A_v, A_i



Hình 7.36. *Mạch khuếch đại CC cho ví dụ 7.5*

***Giải*:**

a) Phân tích DC ta có

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta+1)R_E} = \frac{20V - 0,7}{220k\Omega + (101)(3,3k\Omega)} = 20,42\mu A$$

$$I_E = (\beta+1)I_B = (101)(20,42\mu A) = 2,062mA$$

Nên $r_e = \dfrac{26mV}{I_E} = \dfrac{26mV}{2,062mA} = 12,61\Omega$

b) $Z_b = \beta r_e + (\beta+1)(R_E \parallel R_L)$

$$= (100)(12,61\Omega) + (101)(3,3k\Omega \parallel 1k\Omega) = 78,76k\Omega \cong \beta(R_E \parallel R_L)$$

Tổng trở ngõ vào

$$Z_i = R_B \parallel Z_b = 220k\Omega \parallel 78,76k\Omega = 58k\Omega$$

Tổng trở ngõ ra

$$Z_0 = R_E \parallel r_e = 3,3k\Omega \parallel 12,61k\Omega = 12,56k\Omega \cong r_e$$

Độ lợi điện áp

$$A_V = \frac{V_0}{V_i} = \frac{(R_E \parallel R_L)}{r_e + (R_E \parallel R_L)} = \frac{3,3k\Omega \parallel 1k\Omega}{12,61\Omega + (3,3k\Omega \parallel 1k\Omega)} = 0,9838 \cong 1$$

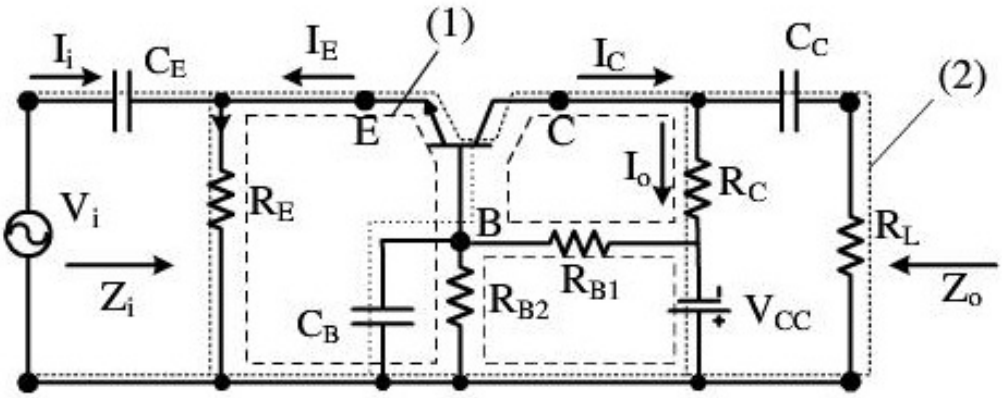
Độ lợi dòng điện

$$A_i = \frac{I_O}{I_i} = (1+h_{fe})\frac{R_B}{R_B+Z_b}\frac{R_E}{R_E+R_L} = (100)\frac{(220k\Omega)}{220k\Omega+334,56k\Omega}.\frac{(3,3k\Omega)}{3,3k\Omega+1k\Omega} = 30,44$$

7.3.3. Mạch khuếch đại tín hiệu nhỏ mắc CB

Xét mạch mắc CB như hình 7.37

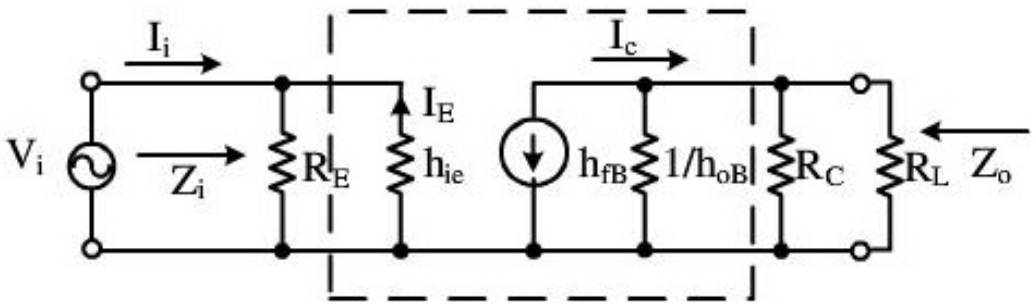
Mạch được phân cực ở chế độ khuếch đại khung (1).



Hình 7.37. *Mạch khuếch đại cực B chung.*

Tín hiệu xoay chiều sẽ đi từ phía trái sang phải theo đường "……." không qua $R_{B1}R_{B2}$.

Ta có sơ đồ mạch tương đương như hình 7.38 theo các tham số h_{fB}, h_{iB}, h_{oB}, tụ C_B nối tắt đối với tín hiệu xoay chiều do đó R_{B1} R_{B2} không có trong sơ đồ.



Hình 7.38*. Mạch tương đương.*

Tổng trở ngõ vào: $Z_i = \frac{V_i}{I_i} = R_E \parallel h_{ib} = R_E \parallel r_e$ (7.73)

Tổng trở ngõ ra: $Z_O = \left.\frac{V_O}{I_O}\right|_{v_i=0} = R_C$ (7.74)

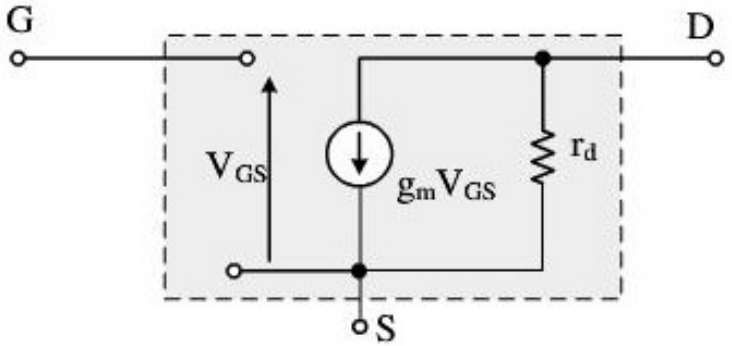
Độ lợi điện áp: $$A_V = \frac{V_O}{V_i} = \frac{-h_{fb} I_e R_C}{h_{ib} I_e} = -\frac{h_{fb} R_C}{h_{ib}} = \frac{R_C}{r_e} \quad (7.75)$$

Độ lợi dòng điện: $$A_i = \frac{I_O}{I_i} = \frac{-h_{fb} I_e}{\frac{R_E + h_{ib}}{R_E} I_e} = \frac{R_E}{R_E + r_e} \cong 1 \quad (7.76)$$

Vậy mạch CB có đặc điểm là độ lợi điện áp lớn nhưng độ lợi dòng bé, tín hiệu vào và ra cùng pha. Nhưng tổng trở mạch này khá bé (công thức 7.37) do vậy phải cải thiện tổng trở ngõ vào của mạch. Ứng dụng được sử dụng trong các mạch khuếch đại tần số cao.

7.4. MẠCH KHUẾCH ĐẠI TÍN HIỆU NHỎ SỬ DỤNG TRANSISTOR TRƯỜNG FET

Cũng tương tự như BJT, để thực hiện việc phân tích ac của mạch dùng FET, cần phải xây dựng mô hình tương đương của FET . Các mạch khuếch đại dùng FET (CS, CD và CG) có thể coi tương đương như một mạng hai cửa và khi FET hoạt động với tín hiệu nhỏ sẽ tương đương mạng hai cửa tuyến tính như hình 7.39.



Hình 7.39. *Mô hình tương đương của FET.*

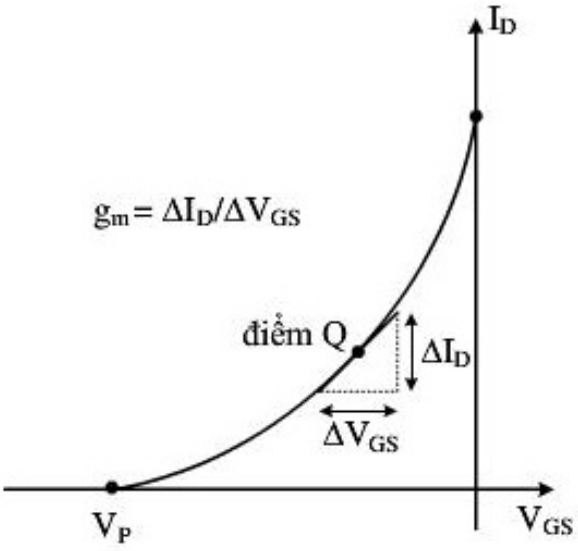
JFET:

Trong đó thông số độ xuyên dẫn g_m được định nghĩa

$$g_m = \frac{\Delta I_d}{\Delta V_{gs}} = \frac{\partial i_d}{\partial v_{gs}} = g_{mo}(1 - \frac{V_{GS}}{V_P}) = g_{mo}\sqrt{\frac{I_D}{I_{DSS}}} \quad (7.77)$$

Với g_{mo} là độ xuyên dẫn của JFET tại $V_{GS} = 0$.

$$g_{mo} = \frac{2I_{DSS}}{|V_P|} \quad (7.78)$$



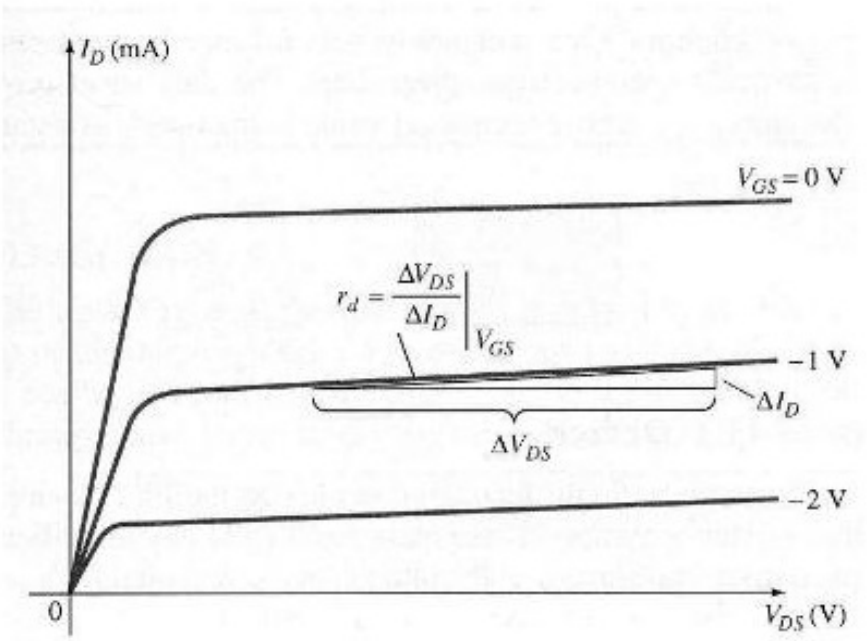
Hình 7.40. *Xác định g_m trên đặc tuyến truyền đạt.*

Và r_d gọi là điện trở máng nguồn

$$r_d = \frac{\Delta V_{ds}}{\Delta I_d}\Big|_{V_{gsQ}} = \frac{\partial v_{ds}}{\partial i_d} = \frac{1}{y_{os}} \qquad (7.79)$$

Với y_{os} điện dẫn ngõ ra.

Thường r_d nằm trong khoảng $30 \div 100K\Omega$



Hình 7.41. *Xác định r_d trên đặc tuyến ngõ ra.*

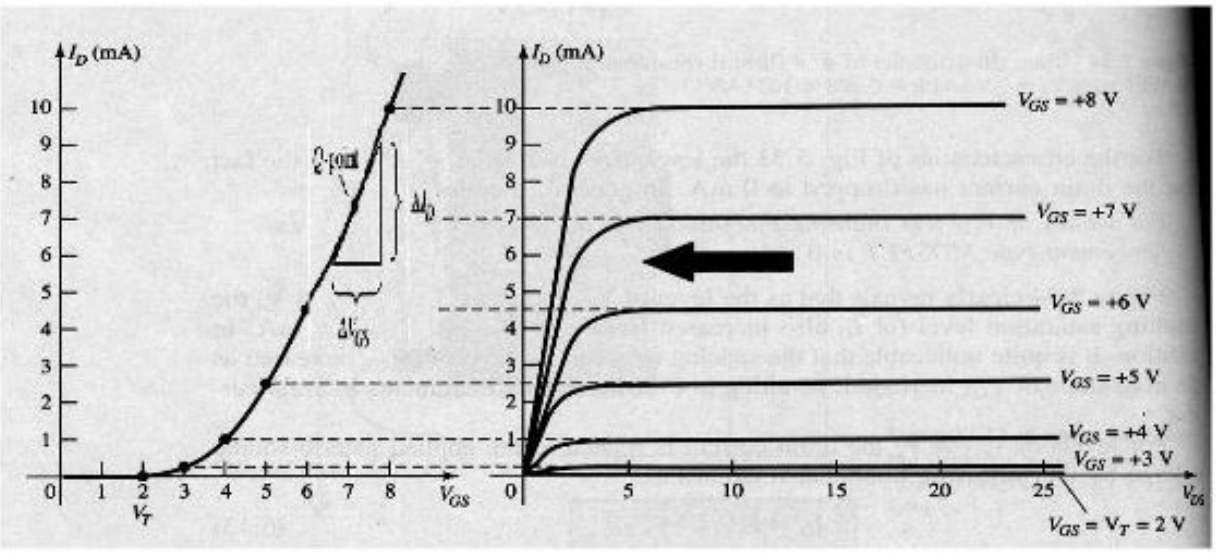
MOSFET

D_MOSFET:

Do phương trình truyền đạt của D_MOSFET cũng giống như JFET nên các thông số tính toán trong mô hình cũng tương tự như JFET.

E_MOSFET:

$$g_m = \frac{\Delta I_d}{\Delta V_{gs}} = \frac{\partial i_d}{\partial v_{gs}} = 2K(V_{GS} - V_T) \qquad (7.80)$$



Hình 7.42. *Xác định g_m trên đặc tuyến truyền đạt.*

❖ **Các chỉ tiêu của bộ khuếch đại dùng FET:**

Các mạch khuếch đại dùng FET có các thông số sau:

➢ ***Tổng trở vào Z_i:***

Tổng trở vào Z_i được xác định bởi định luật Ohm có phương trình:

$$Z_i = \frac{V_i}{I_i} \qquad (7.81)$$

➢ ***Tổng trở ra Z_o:***

Tổng trở ra thường được xác định tại các đầu ngõ ra nhưng hoàn toàn khác với tổng trở.

Sự khác nhau đó là tổng trở ra được xác định tại các đầu ngõ ra nhìn vào hệ thống khi không có tín hiệu ở ngõ vào.

Tổng trở ra xác định theo phương trình:

$$Z_O = \frac{V_O}{I_O} \qquad (7.82)$$

➢ ***Độ lợi điện áp:***

Một trong những đặc tính quan trọng nhất của mạch khuếch đại là độ lợi điện áp, chính là tỷ số điện áp ngõ ra và ngõ vào:

$$A_V = \frac{V_O}{V_I} \qquad (7.83)$$

Đối với hệ thống hình 7.42, độ lợi áp toàn mạch là:

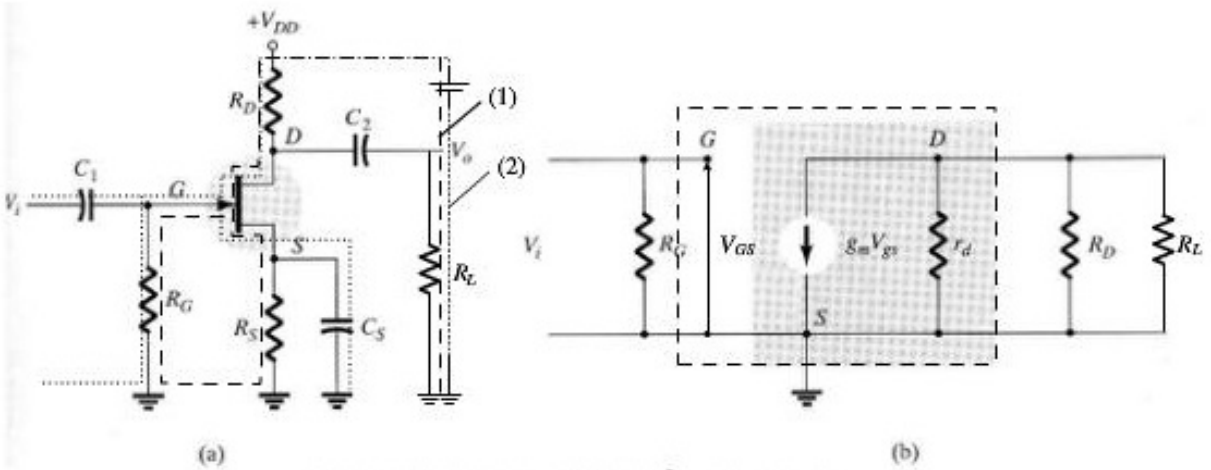
$$A_{Vs} = \frac{V_o}{V_s} = \frac{Z_i}{Z_i + R_s} A_V \qquad (7.84)$$

➢ ***Mối quan hệ về pha:***

Mối quan hệ về pha của tín hiệu vào và tín hiệu ra dạng sin rất quan trọng. Đối với các mạch khuếch đại transistor ở dải tần trung bình cho phép bỏ qua ảnh hưởng của các phần tử dung kháng, tín hiệu vào và tín hiệu ra có thể cùng pha hoặc ngược pha nhau 180° tùy theo đặc tính của mạch.

7.4.1. Mạch khuếch đại tín hiệu nhỏ mắc CS

Xét mạch như hình 7.43a, và sơ đồ mạch tương đương hình 7.43b



Hình 7.43. *Mạch khuếch đại S chung.*

- Mạch được phân cực theo khung (1): Transistor ở chế độ khuếch đại.
- Khi có tín hiệu xoay chiều, tín hiệu ac theo khung (2) không qua R_S.

Ta có:

➢ ***Độ lợi áp:***

$$A_v = \frac{V_O}{V_i} = -\frac{g_m V_{gs}(R_D \parallel r_d)}{V_{gs}} = -g_m(R_D \parallel r_d) \qquad (7.85)$$

Nếu r_d lớn hơn rất nhiều R_D thì:

$$A_v = -g_m R_D \qquad (7.86)$$

➢ ***Điện trở ngõ vào:***

$$Z_i = \frac{V_i}{I_i} = R_G \qquad (7.87)$$

➢ ***Điện trở ngõ ra***

$$Z_O = \left.\frac{V_O}{I_O}\right|_{v_i = 0} = R_D \parallel r_d \qquad (7.88)$$

Vậy mạch CS có thông số giống như mạch mắc CE của BJT: độ lợi áp lớn, tín hiệu vào và ra lệch pha 180^0, nhưng mạch dùng FET có điện trở ngõ vào lớn hơn nhiều.

Ví dụ 7.6 Cho mạch như hình 7.44 có điểm làm việc được xác định bởi V_{GSQ} = -2 V và I_{DQ}=5.625mA, với I_{DSS}=10mA và V_P=-8V. Giá trị y_{os}=40µS.

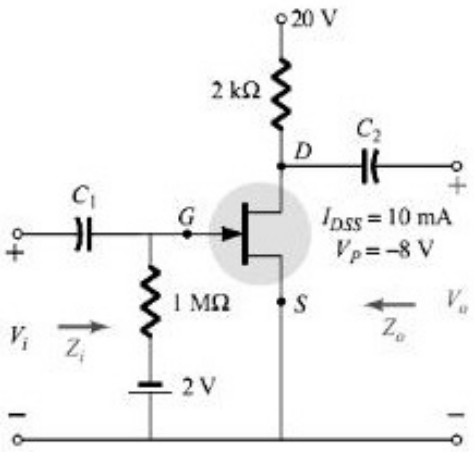
a) Xác định g_m

b) Tìm r_d

c) Tính Z_i, Z_o

d) Xác định độ lợi điện áp A_v

e) Xác định độ lợi điện áp A_v khi bỏ qua ảnh hưởng của r_d



Hình 7.44.

Giải:

a) $$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(10mA)}{8V} = 2,5mS$$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_0}}{V_P}\right) = 2,5mS\left(1 - \frac{(-2V)}{(-8V)}\right) = 1,88mS$$

b) $$r_d = \frac{1}{y_{OS}} = \frac{1}{40\mu S} = 25k\Omega$$

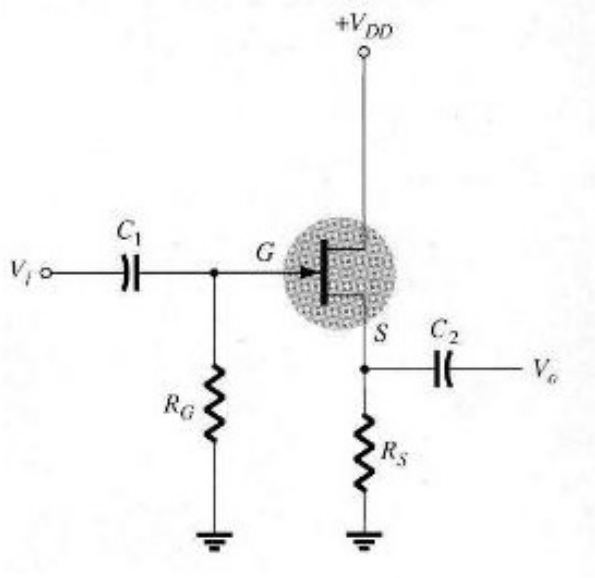
c) $$Z_i = R_G = 1M\Omega$$

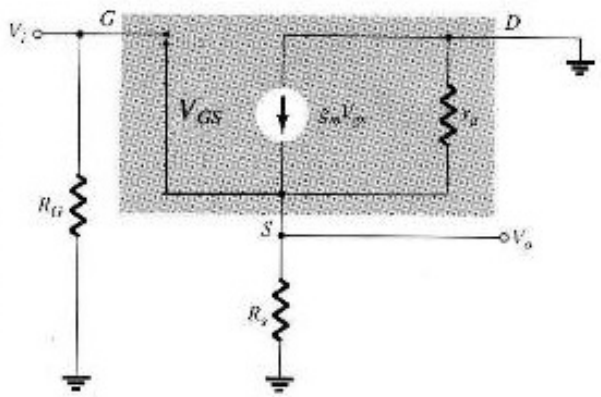
$$Z_0 = R_D \,||\, r_d = 2k\Omega \,||\, 25k\Omega = 1,85k\Omega$$

e) $$A_V = -g_m R_D = -(1,88mS)(2k\Omega) = -3,76$$

7.4.2. Mô hình mạch khuếch đại tín hiệu nhỏ mắc CD

Xét mạch khuếch đại mắc như hình 7.45, sơ đồ mạch tương đương của mạch hình 7.45 như trong hình 7.46.





Hình 7.45. *Mạch khuếch đại D chung.* ***Hình 7.46.*** *Mạch tương đương.*

➢ ***Độ lợi áp:***

$$A_v = \frac{V_O}{V_i} = \frac{g_m V_{gs}(R_S \parallel r_d)}{V_{gs} + g_m V_{gs}(R_S \parallel r_d)} = \frac{g_m(R_S \parallel r_d)}{1 + g_m(R_S \parallel r_d)} \cong 1 \qquad (7.89)$$

Nếu r_d lớn hơn rất nhiều R_S thì:

$$A_v = \frac{g_m R_S}{1 + g_m R_S} \cong 1 \qquad (7.90)$$

➢ ***Điện trở ngõ vào:***

$$Z_i = \frac{V_i}{I_i} = R_G \qquad (7.91)$$

➢ ***Điện trở ngõ ra***

$$Z_O = \frac{V_O}{I_O}\Big|_{V_i=0} = R_S \parallel r_d \parallel \frac{1}{g_m} \qquad (7.92)$$

Vậy mạch CD có thông số giống như mạch mắc CC của BJT: độ lợi áp bằng 1, tín hiệu vào và ra cùng pha, ứng dụng nó là mạch khuếch đại đệm.

Ví dụ 7.7 Cho mạch điện như hình 7.47 có I_{DQ}=4.56mA và V_{GSQ}=-2.86V

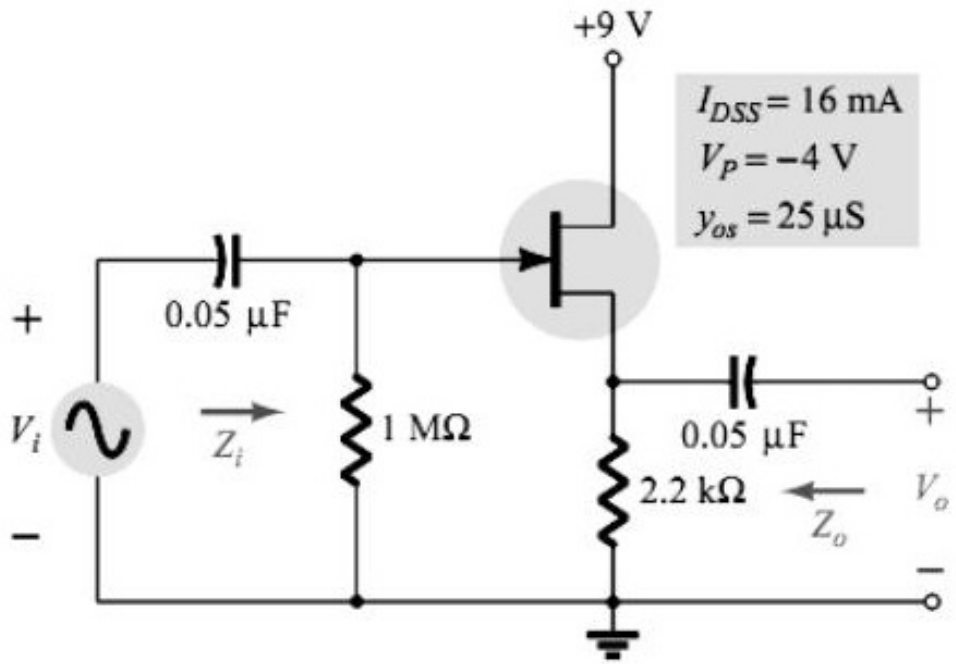
a) Xác định g_m

b) Tìm r_d

c) Xác định Z_i

d) Tính Z_o trong trường hợp có hay không có r_d

e) Tính A_V trong trường hợp có hay không có r_d



Hình 7.47. *Mạch khuếch đại chung D*

a) $$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(16mA)}{4V} = 8mS$$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 8mS\left(1 - \frac{(-2,86V)}{(-4V)}\right) = 2,88mS$$

b) $$r_d = \frac{1}{y_{OS}} = \frac{1}{25\mu S} = 40k\Omega$$

c) $$Z_i = R_G = 1M\Omega$$

d) Trường hợp có r_d, tổng trở ngõ vào

$$Z_0 = r_d \parallel R_S \parallel 1/g_m = 40k\Omega \parallel 2,2k\Omega \parallel 1/2,28mS$$

$$= 40k\Omega \parallel 2,2k\Omega \parallel 438,6\Omega = 362,52\Omega$$

Và trong trường hợp không có r_d

$$Z_0 = R_S \parallel 1/g_m = 2,2k\Omega \parallel 438,6k\Omega = 365,69\Omega$$

e) Độ lợi điện áp

Trường hợp có r_d:

$$A_V = \frac{g_m(r_d \parallel R_S)}{1 + g_m(r_d \parallel R_S)} = \frac{(2,28mS)(40k\Omega \parallel 2,2k\Omega)}{1 + (2,28mS)(40k\Omega \parallel 2,2k\Omega)}$$

$$= \frac{(2,28mS)(2,09k\Omega)}{1 + (2,28mS)(2,09k\Omega)} = \frac{4,77}{1 + 4,77} = 0,83$$

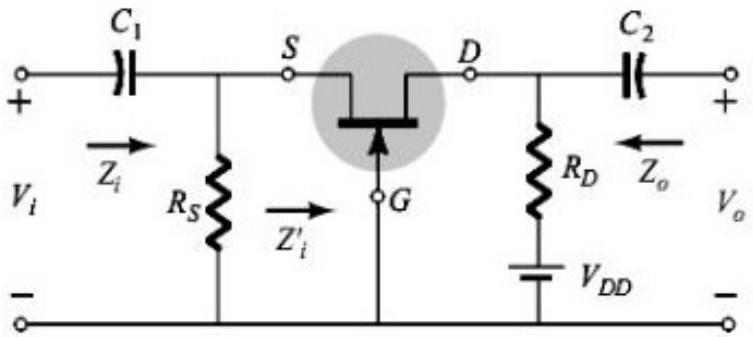
Trường hợp không có r_d

$$A_V = \frac{g_m R_S}{1 + g_m R_S} = \frac{(2,28mS)(2,2k\Omega)}{1 + (2,28mS)(2,2k\Omega)}$$

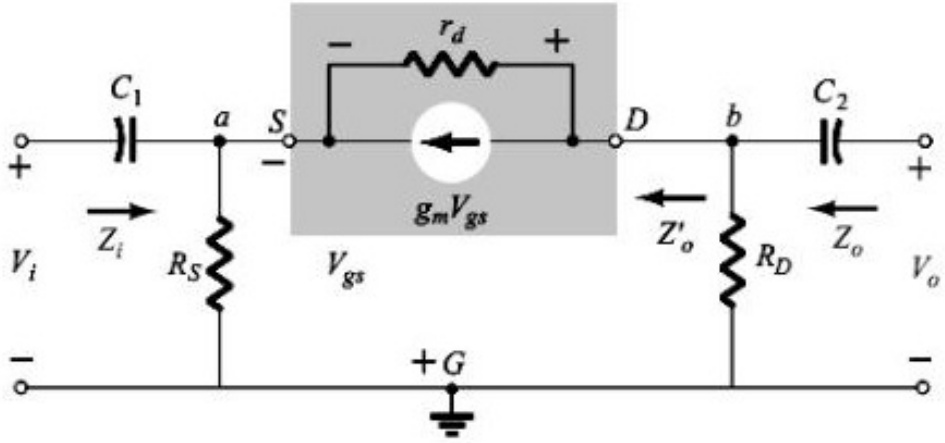
$$= \frac{5,02}{1 + 5,02} = 0,83$$

7.4.3. Mô hình mạch khuếch đại tín hiệu nhỏ mắc CG

Xét mạch như hình 7.48, sơ đồ tương đương hình 7.49.



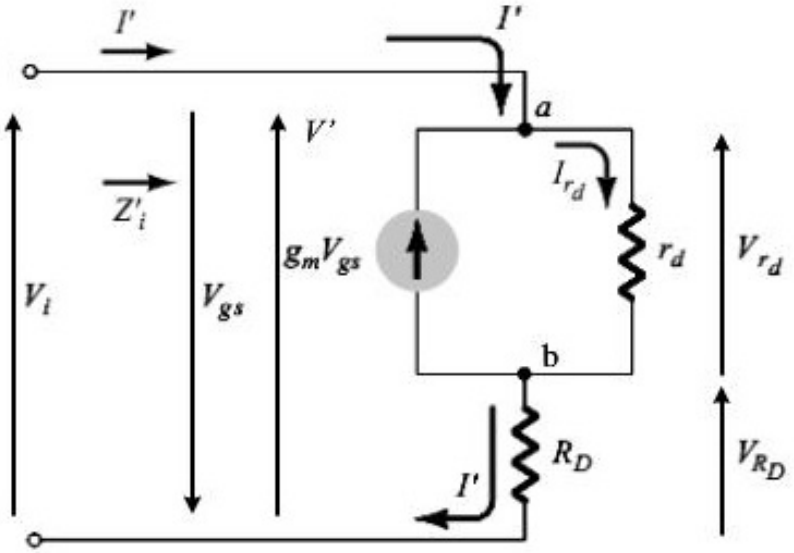
Hình 7.48. *Mạch khuếch đại G chung.*



Hình 7.49. *Mạch tương đương*

Tổng trở ngõ vào Z_i:

Trước tiên ta tìm Z_i'; mạch được vẽ lại như hình 7.50



Hình 7.50.

Đặt V'= -V_{GS}

Áp dụng định luật Kirchhoff, ta có:

$$V' - V_{r_d} - V_{R_D} = 0$$

$$V_{r_d} = V' - V_{R_D} = V' - I'R_D$$

Áp dụng định luật Kirchhoff tại nút a, ta có:

$$I' + g_m V_{gs} = I_{rd}$$

$$I' = \frac{V'}{r_d} - \frac{I'R_D}{r_d} - g_m\left[-V'\right]$$

$$I'\left[1 + \frac{R_D}{r_d}\right] = V'\left[\frac{1}{r_d} + g_m\right]$$

$$Z_i' = \frac{V'}{I'} = \frac{\left[1 + \frac{R_D}{r_d}\right]}{\left[g_m + \frac{1}{r_d}\right]} = \frac{r_d + R_D}{1 + g_m r_d} \qquad (7.93)$$

$$Z_i = R_S \parallel Z_i' = R_S \parallel \left[\frac{r_d + R_D}{1 + g_m r_d}\right] \qquad (7.94)$$

Nếu $r_d \geq 10R_D$

$$Z_i' = \left[\frac{r_d + R_D}{1 + g_m r_d}\right] \cong \frac{1}{g_m}$$

$$Z_i \cong R_S \parallel 1/g_m$$

Tổng trở ngõ ra Z_o

Để xác định Z_o, từ mạch điện hình 7.48 ta ngắn mạch tín hiệu ngõ vào v_i=0, điều này làm cho điện trở R_S bị ngắn mạch nên V_{GS}=0, do đó $g_m V_{gs}$=0, nên ta có r_d song song với R_D trong mạch

$$Z_0 = R_D \parallel r_d$$

Nếu $r_d \geq 10R_D$

$$Z_0 \cong R_D$$

Độ lợi áp A_V, ta có:

$$V_i = -V_{gs}$$

$$V_0 = I_D R_D$$

$$V_{r_d} = V_0 - V_i$$

$$I_{r_d} = \frac{V_0 - V_i}{r_d}$$

Áp dụng định luật Kirchhoff tại nút b, ta có

$$I_{rd} - I_{RD} - g_m V_{gs} = 0$$

$$I_{RD} = I_{rd} - g_m V_{gs} = \left[\frac{V_i - V_o}{r_d}\right] - g_m\left[-V_i\right] = \left[\frac{V_i - V_o}{r_d}\right] + g_m V_i$$

$$V_0\left[1 + \frac{R_D}{r_d}\right] = V_i\left[\frac{R_D}{r_d} + g_m R_D\right]$$

$$A_V = \frac{V_0}{V_i} = \frac{\left[g_m R_D + \frac{R_D}{r_d}\right]}{\left[1 + \frac{R_D}{r_d}\right]} \qquad (7.95)$$

Nếu $r_d \geq 10R_D$: $A_V = g_m R_D$

Vậy mạch CG có thông số giống như mạch mắc CB của BJT: độ lợi áp lớn, tín hiệu vào và ra cùng pha.

Ví dụ 7.8. Cho mạch điện như hình7.51 có I_{DQ}=2.03mA và V_{GSQ}=-2.2V

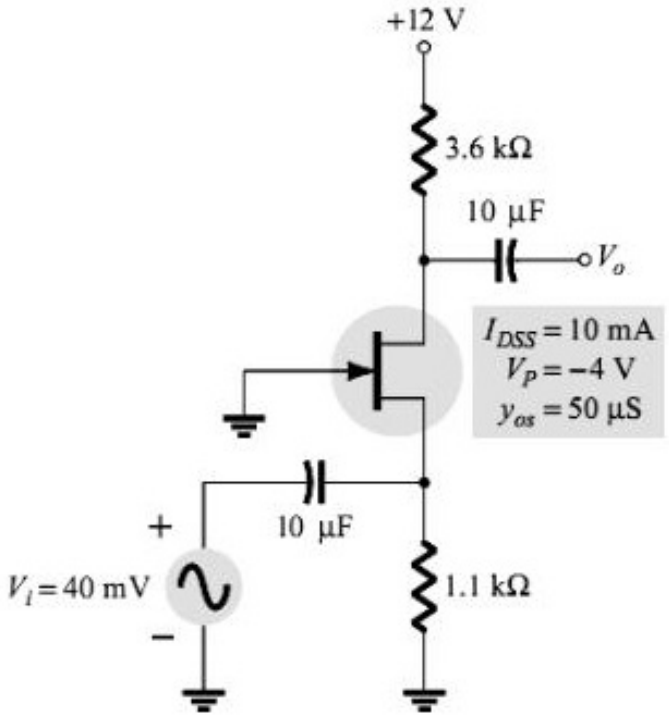
a) Xác định g_m

b) Tìm r_d

c) Xác định Z_i trong trường hợp có hay không có r_d

d) Tính Z_o trong trường hợp có hay không có r_d

e) Tính A_V trong trường hợp có hay không có r_d



Hình 7.51.

Giải

a) $g_{m0} = \dfrac{2I_{DSS}}{|V_P|} = \dfrac{2(10mA)}{4V} = 5mS$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_0}}{V_P}\right) = 5mS\left(1 - \frac{(-2,2V)}{(-4V)}\right) = 2,25mS$$

b) $r_d = \dfrac{1}{y_{os}} = \dfrac{1}{50\mu S} = 20k\Omega$

c) Tổng trở ngõ vào khi xét đến ảnh hưởng của r_d:

$$Z_i = R_S \| \left[\frac{r_d + R_D}{1 + g_m r_d}\right] = 1,1k\Omega \| \left[\frac{20k\Omega + 3,6k\Omega}{1 + 2,25ms \quad 20k\Omega}\right] = 1,1k\Omega \| 0,51k\Omega = 0,35k\Omega$$

Và khi không xét đến r_d:

$$Z_i = R_S \| 1/g_m = 1,1k\Omega \| 1/2,25ms = 1,1k\Omega \| 0,44k\Omega = 0,31k\Omega$$

d) Tổng trở ngõ ra khi xét đến ảnh hưởng của r_d:

$$Z_0 = R_D \| r_d = 3,6k\Omega \| 20k\Omega = 3,05k\Omega$$

Và khi không xét đến r_d:

$$Z_0 = R_D = 3,6k\Omega$$

e) Độ lợi điện áp khi xét đến ảnh hưởng của r_d:

$$A_V = \frac{\left[g_m R_D + \frac{R_D}{r_d}\right]}{\left[1 + \frac{R_D}{r_d}\right]} = \frac{\left[(2,25mS)(3,6k\Omega) + \frac{3,6k\Omega}{20k\Omega}\right]}{\left[1 + \frac{3,6k\Omega}{20k\Omega}\right]}$$

$$= \frac{8,1 + 0,18}{1 + 0,18} = 7,02$$

Ta có:

$$A_V = \frac{V_0}{V_i} \Longrightarrow V_0 = A_V V_i = (7,02)(40mV) = 280,8mV$$

Và khi không xét đến r_d:

$$A_V = g_m R_D = (2,25mS)(3,6k\Omega) = 8,1$$

Do đó:

$$V_0 = A_V V_i = (8,1)(40mV) = 324mV$$

7.5. ĐÁP ỨNG TẦN SỐ CỦA MẠCH KHUẾCH ĐẠI

Đáp ứng tần số của mạch khuếch đại là giản đồ Bode mô tả sự phụ thuộc của hàm truyền $A_V A_I$ của bộ khuếch đại hay của một hệ thống điều khiển với tần số.

Ta có:

$$A_V = \frac{V_o}{V_i} \tag{7.96.a}$$

$$A_V = \frac{a + jb}{a_1 + jb_1} \tag{7.96.b}$$

$$|A_V| = \frac{\sqrt{a^2 + b^2}}{\sqrt{a_1^2 + b_1^2}} \tag{7.96.c}$$

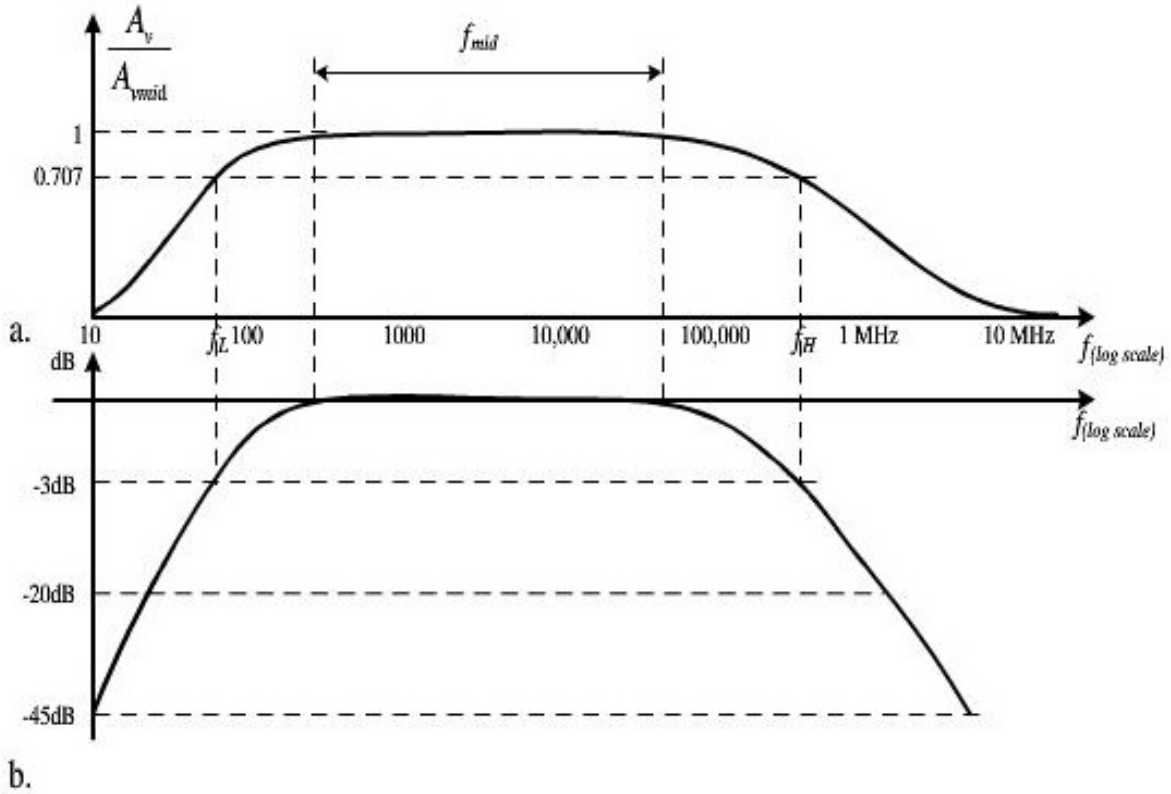
$$20\lg|A_V| = 20\lg\left(\frac{\sqrt{a^2+b^2}}{\sqrt{a_1^2+b_1^2}}\right) \qquad (7.96.d)$$

$$|dB| = 10\lg\left(a^2+b^2\right) - 10\lg\left(a_1^2+b_1^2\right) \qquad (7.96.e)$$

$$|dB| = G(R, L, C, \omega) \qquad (7.96.f)$$

Theo công thức 7.96d, ta có vế trái là đơn vị deciben, vế phải là hàm số phụ thuộc vào tần số tín hiệu AC qua mạch có các phần tử R, L, C và linh kiện bán dẫn.

Đáp ứng tần số được vẽ theo công thức 7.96d như hình 7.52



Hình 7.52. *Giản đồ Bode của hàm truyền hay còn gọi là đáp ứng tần số*

A_{vmid} là hàm truyền trong vùng tần số trung bình khi tín hiệu có tần số $f_L \le f < f_H$ có giá trị lớn nhất.

Tỉ số $\frac{A_v}{A_{vmid}}$ là tỉ số của hàm truyền với giá trị cực đại A_{vmid}.

Trên hình 7.52 ta có các vùng tần số như sau:

- $f \in [0, f_L]$: *Vùng tần số thấp của mạch khuếch đại.*

- $f \in (f_L, f_H)$ *: Vùng tần số trung bình của mạch khuếch đại.*
- $f \in [f_H, \infty]$*: Vùng tần số cao của mạch khuếch đại.*

Trong đó:

- *f_L: tần số cắt dưới của mạch khuếch đại.*
- *f_H: tần số cắt trên của mạch khuếch đại.*

Độ rộng băng tầng của mạch:

$$BW = f_H - f_L$$

- *BW: bandwidth.*

Với một mạch khuếch đại lý tưởng thì độ rộng băng tần (BW) là vô cùng. Nhưng trong thực tế một mạch khuếch đại chỉ làm việc giới hạn trong một dãy tần số nào đó, do ảnh hưởng bởi các tụ liên lạc, tụ bypass và các tụ kí sinh trong các chuyển tiếp pn của transistor.

Độ rộng băng tần của mạch bị giới hạn bởi tần số cắt dưới và tần số cắt trên, tần số cắt của mạch là tại đó độ lợi của mạch giảm đi căn bậc hai của hai hay nói cách khác giảm đi -3dB.

Tần số cắt dưới bị ảnh hưởng bởi các tụ liên lạc và tụ bypass (C_E) và tần số cắt trên bị ảnh hưởng bởi các tụ kí sinh trong các chuyển tiếp pn của transistor.

Khi tần số tín hiệu vào nhỏ hơn tần số cắt dưới $f_{in} < f_L$, trở kháng của các tụ kí sinh là khá lớn và không ảnh hưởng, nhưng đồng thời trở kháng của các tụ liên lạc và bypass cũng khá lớn, do đó làm giảm hệ số khuếch đại của mạch, người ta gọi đó là vùng tần số thấp.

Khi tần số tín hiệu vào tăng nằm trong khoảng $f_L < f_{in} < f_H$, trở kháng của các tụ liên lạc và bypass này giảm nhỏ, có thể xem như bằng không, và trở kháng của các tụ kí sinh bằng vô cùng (do điện dung của các tụ kí sinh khá bé), thì hệ số khuếch đại của mạch lúc này đạt giá trị cực đại, vùng tần số này gọi là vùng tần số trung bình của mạch.

Nhưng khi tần số vào quá lớn $f_{in} > f_H$ thì trở kháng của các tụ kí sinh sẽ giảm nhỏ và làm giảm hệ số khuếch đại của mạch, đây chính là vùng tần số cao.

Công suất tín hiệu ra tại vùng tần số trung bình:

$$P_{Omid} = \frac{\left|V_o^2\right|}{R_o} = \frac{\left|A_{Vmid}V_i\right|^2}{R_o}$$

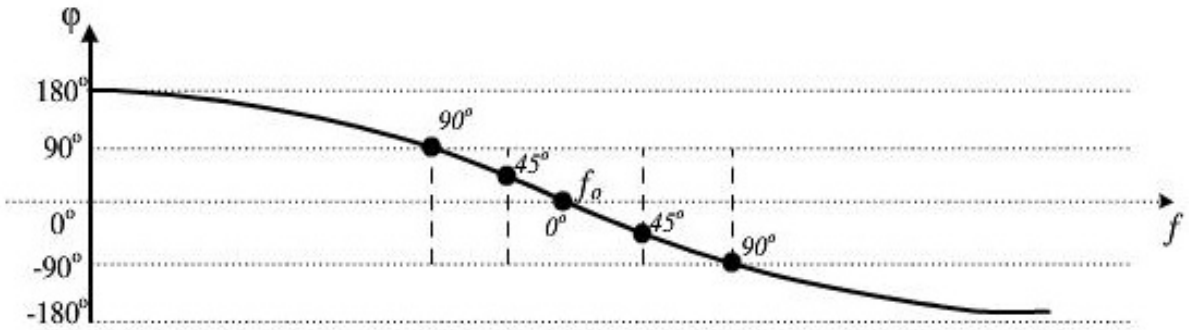
Công suất tín hiệu ra tại tần số cắt:

$$P_{OH,L} = \frac{\left|V_o^2\right|}{R_o} = \frac{\left|\left(A_{Vmid}/\sqrt{2}\right)V_i\right|^2}{R_o} = 0.5\frac{\left|A_{Vmid}V_i\right|^2}{R_o}$$

Vậy tần số cắt là tại đó công suất tín hiệu ra giảm đi một nữa so với tín hiệu tại dải tần trung bình của mạch.

Ta có đáp ứng pha của hàm truyền theo công thức 7.96d như hình 7.53.

$$\text{arc}tg\varphi_{|A_v|} = \frac{b}{a} - \frac{b_1}{a_1} = G_1(R,L,C)$$

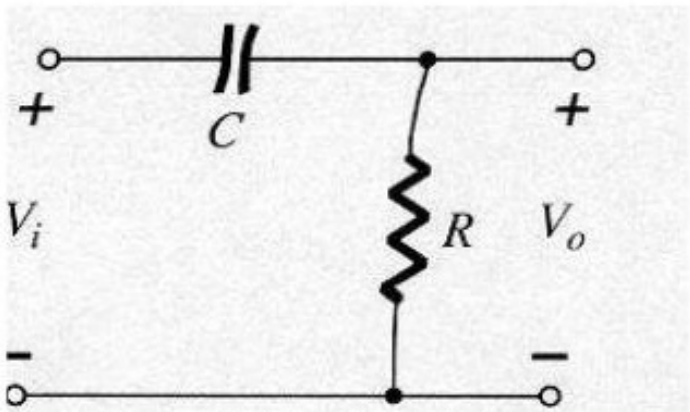


Hình 7.53. *Đáp ứng pha (sự phụ thuộc của góc pha vào tần số tín hiệu)*

7.5.1. Phân tích giản đồ Bode của mạch lọc thông thấp và thông cao

7.5.1.1. Mạch lọc thông cao

Xét mạch RC như hình sau:



Hình 7.54. *Mạch lọc thông cao.*

Ta có: $$A_V = \frac{V_o}{V_i} = \frac{R}{R - jX_C} = \frac{1}{1 - j\,{}^{1}\!/_{2\pi fRC}} \qquad (7.97.a)$$

Đặt: $f_1 = \dfrac{1}{2\pi RC}$ là hằng số

Viết lại phương trình: $A_V = \dfrac{V_o}{V_i} = \dfrac{1}{1 - j\,{}^{f_1}\!/_{f}}$

Biên độ của A_V: $$|A_V| = \frac{1}{\sqrt{1 + \left({}^{f_1}\!/_{f}\right)^2}} \qquad (7.97.b)$$

Pha: $\varphi = arctg\dfrac{f_1}{f}$

A_V tính theo đơn vị dB:

$$|A_V|_{(dB)} = 20\log_{10}\frac{1}{\sqrt{1 + \left({}^{f_1}\!/_{f}\right)^2}} = -10\log_{10}\left[1 + \left(\frac{f_1}{f}\right)^2\right] \qquad (7.98)$$

Khảo sát: cho tín hiệu vào mạch RC có tần số f:

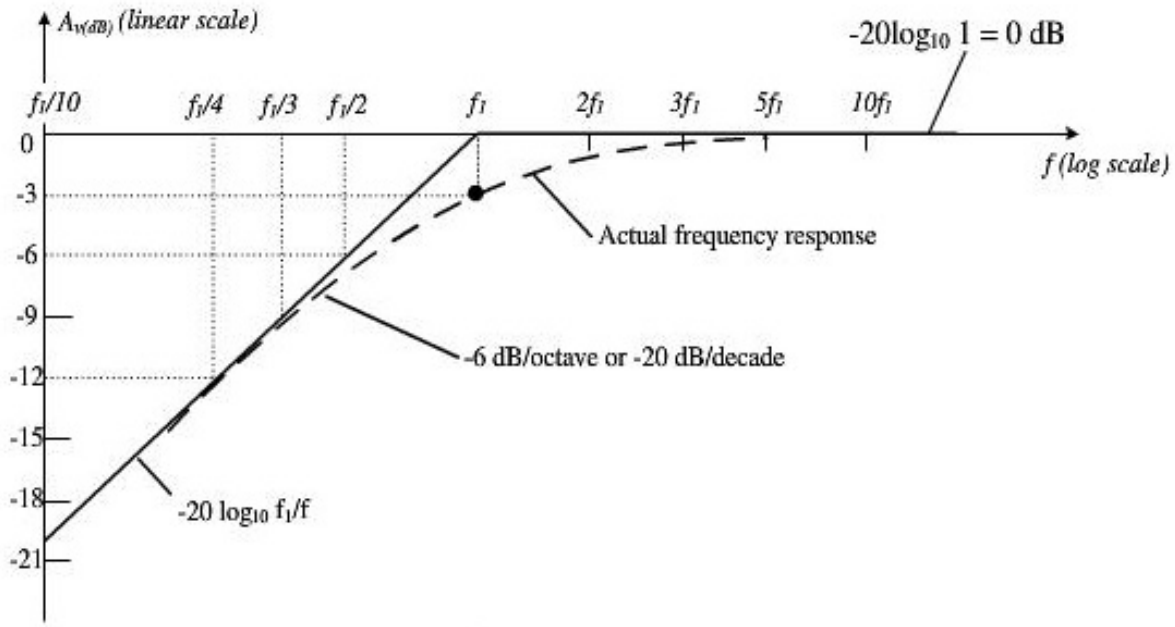
Khi $f >> f_1$: $A_V = 0dB$ tương đương $V_o = V_i$ $\varphi = 0^0$

Khi $f = f_1$: $A_V = -3dB$ tương đương $V_o = 0{,}707V_i$ $\varphi = 45^0$

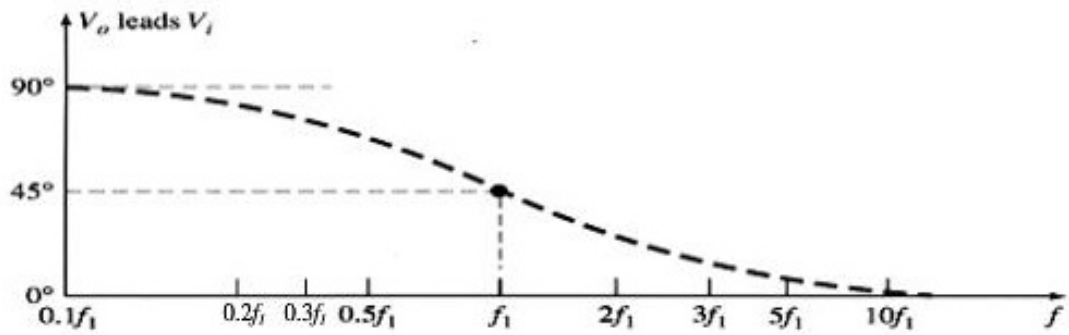
Khi $f << f_1$: $A_V = -20\log_{10}\dfrac{f_1}{f}$

Tại $f = 0.1f_1$: $A_V = -20dB$

Vậy A_V giảm 20dB/decade và $\varphi \to 90^0$



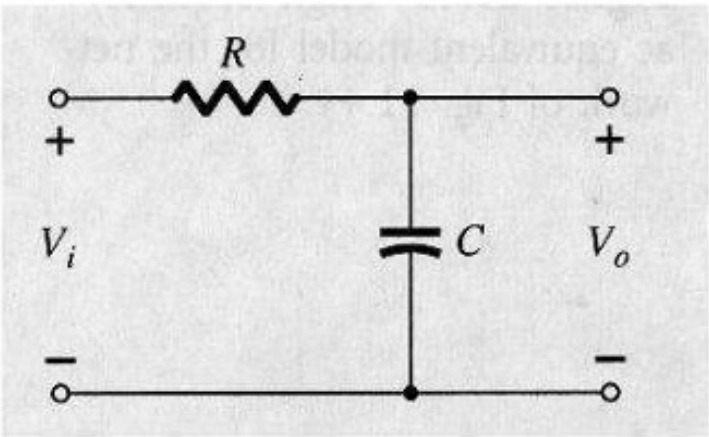
Hình 7.55. Giản đồ Bode của mạch lọc thông cao



Hình 7.56. Đáp ứng pha của mạch lọc thông cao

7.5.1.2. Mạch lọc thông thấp

Xét mạch RC như hình vẽ:



Hình 7.57. *Mạch thông thấp.*

Ta có: $$A_V = \frac{V_o}{V_i} = \frac{-jX_C}{R - jX_C} = \frac{1}{1 + j2\pi fRC}$$

Đặt: $$f_2 = \frac{1}{2\pi RC} \qquad (7.99.a)$$

Viết lại phương trình: $$A_V = \frac{V_o}{V_i} = \frac{1}{1 + j\dfrac{f}{f_2}}$$

Biên độ của A_V: $$|A_V| = \frac{1}{\sqrt{\left(f/f_2\right)^2 + 1}} \qquad (7.99.b)$$

Pha: $$\varphi = -arctg\,\frac{f}{f_2}$$

A_V tính theo đơn vị dB:

$$|A_V|_{(dB)} = 20\log_{10}\frac{1}{\sqrt{\left(f/f_2\right)^2 + 1}} = -10\log_{10}\left[1 + \left(\frac{f}{f_2}\right)^2\right] \qquad (7.100)$$

Khảo sát bằng cách cho tín hiệu có tần số f vào mạch RC:

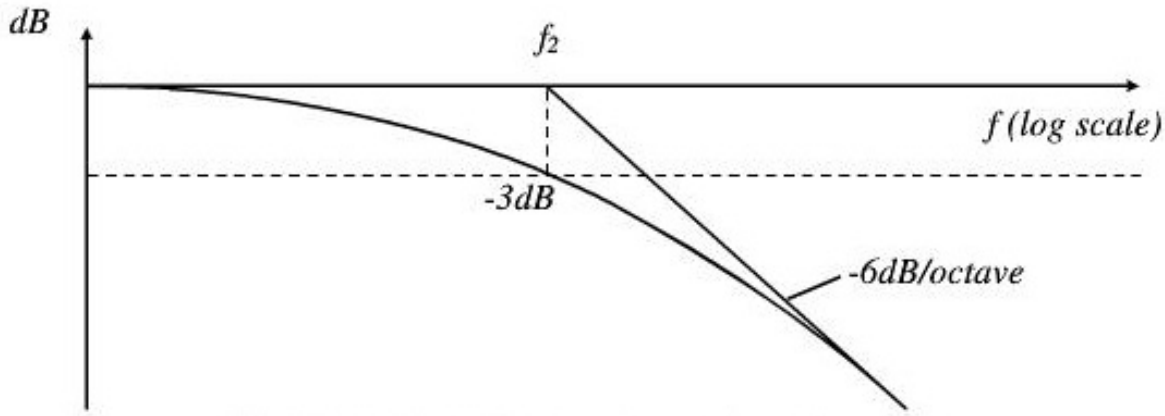
Khi $f << f_2$: $A_V = 0dB$ tương đương $V_o = V_i$ $\varphi = 0^0$

Khi $f = f_2$: $A_V = -3dB$ tương đương $V_o = 0{,}707V_i$ $\varphi = -45^0$

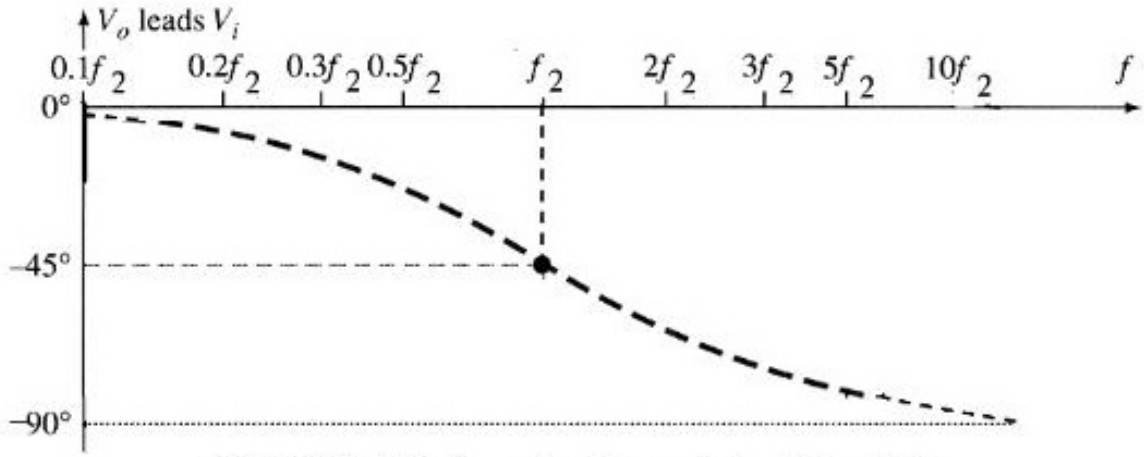
Khi $f >> f_2$: $A_V = -20\log_{10}\dfrac{f}{f_2}$

Tại $f = 10f_2$: $A_V = -20dB$

Vậy A_V giảm 20dB/decade và $\varphi \to -90^0$



Hình 7.58. Giản đồ Bode của mạch lọc thông thấp



Hình 7.59. Đáp ứng pha của mạch lọc thông thấp

7.5.2. Phân tích mạch khuếch đại ở tần số trung bình

Tại vùng tần số trung bình là vùng tần số tại đó các tụ liên lạc có giá trị trở kháng thấp nên xem như bị ngắn mạch (không ảnh hưởng) và các điện dung kí sinh có giá trị trở kháng cao (xem như hở mạch). Tại vùng tần số này, ta đã xét đến hệ số khuếch đại của mạch ở phần 7.4 và 7.5 đối với BJT và FET.

Ta có với mọi ω:

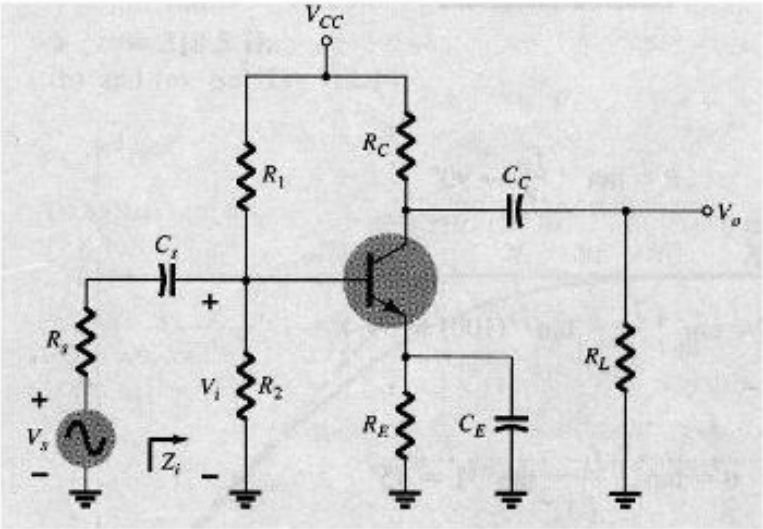
$$C_C \to \infty : X_{C_C} = \frac{1}{jC_C\omega} \to 0; C_S \to \infty : X_{C_S} = \frac{1}{jC_S\omega} \to 0; C_E \to \infty : X_{C_E} = \frac{1}{jC_E\omega} \to 0$$

7.5.3. Phân tích mạch khuếch đại ở tần số thấp

Vùng tần số thấp qua khảo sát thì các tụ ngoài C_C, C_S, C_E ảnh hưởng nhiều đến độ rộng dải băng tần của hệ thống.

a) Mạch khuếch đại dùng BJT

Xét mạch khuếch đại như hình 7.60

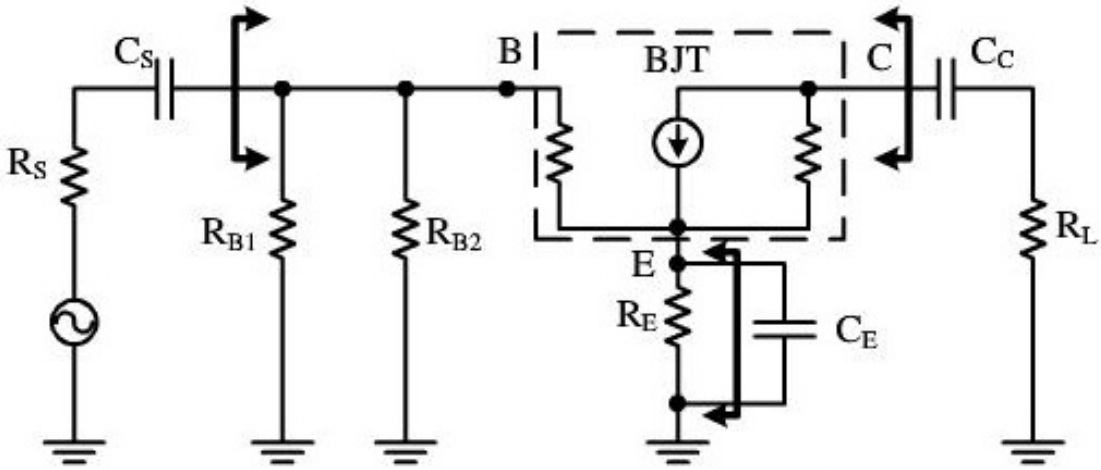


Hình 7.60. *Mạch khuếch đại*

Các tụ liên lạc C_S, C_C và tụ bypass C_E sẽ xác định đáp ứng tần số thấp của mạch khuếch đại.

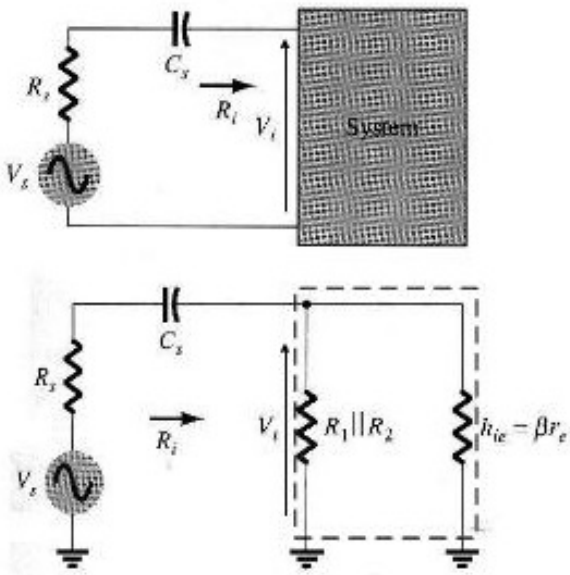
➢ **Xét ảnh hưởng của tụ C_S:**

Tại tần số trung bình và tần số cao: $V_{imid} = \dfrac{R_i}{R_i + R_S} V_S$ ta có sơ đồ tương đương của mạch chung CE có tính ảnh hưởng của ba tụ như hình 7.61.



Hình 7.61. *Sơ đồ tương đương mạch mắc chung CE*

Tại vùng tần số thấp, khi xét ảnh hưởng của tụ C_S lên mạch, ta coi $C_E \to \infty$ và $C_B \to \infty$, toàn mạch hình 7.61 sẽ biến đổi thành mạch tương đương như hình 7.62.



Hình 7.62. *Ảnh hưởng của tụ C_S*

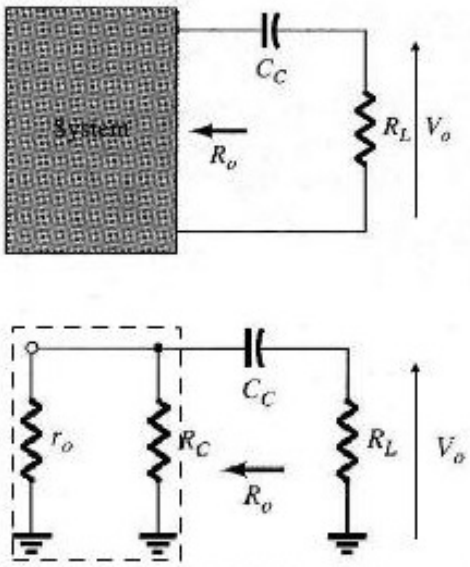
Ta có: $$R_i = R_1 \parallel R_2 \parallel h_{ie}$$

Nên: $$V_i = \frac{R_i}{R_S + R_i - jX_C} V_S$$

Tần số cắt dưới của mạch là: $$f_{LS} = \frac{1}{2\pi(R_S + R_i)C_S}$$

Điện áp ngõ vào của mạch khuếch đại giảm đi 70,7% hay 3dB tại tần số này, do đó điện áp ngõ ra cũng giảm đi 3dB.

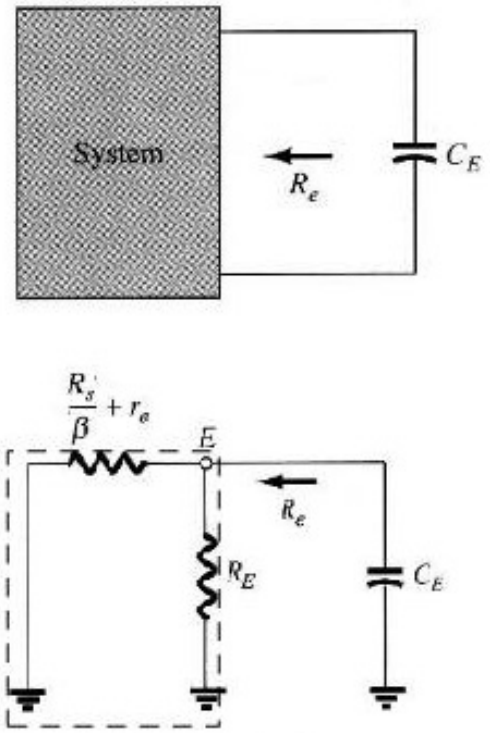
➢ **Xét ảnh hưởng của tụ C_C (bỏ qua ảnh hưởng của tụ C_S và C_E):**



Hình 7.63. *Ảnh hưởng của tụ C_C*

Tần số cắt dưới của mạch là: $f_{LC} = \dfrac{1}{2\pi(R_o + R_L)C_C}$ với $R_o = R_C \parallel r_o$

Xét ảnh hưởng của tụ C_E: ảnh hưởng của tụ C_E lên vùng tần số thấp ta xét hình mũi tên bên trong tụ bypass C_E như trong hình 7.64.



Hình 7.64. *Ảnh hưởng của tụ C_E*

Gọi R_e là tổng trở tương đương nhìn từ hai đầu tụ C_E, theo thevenin hình 7.64 ta có:

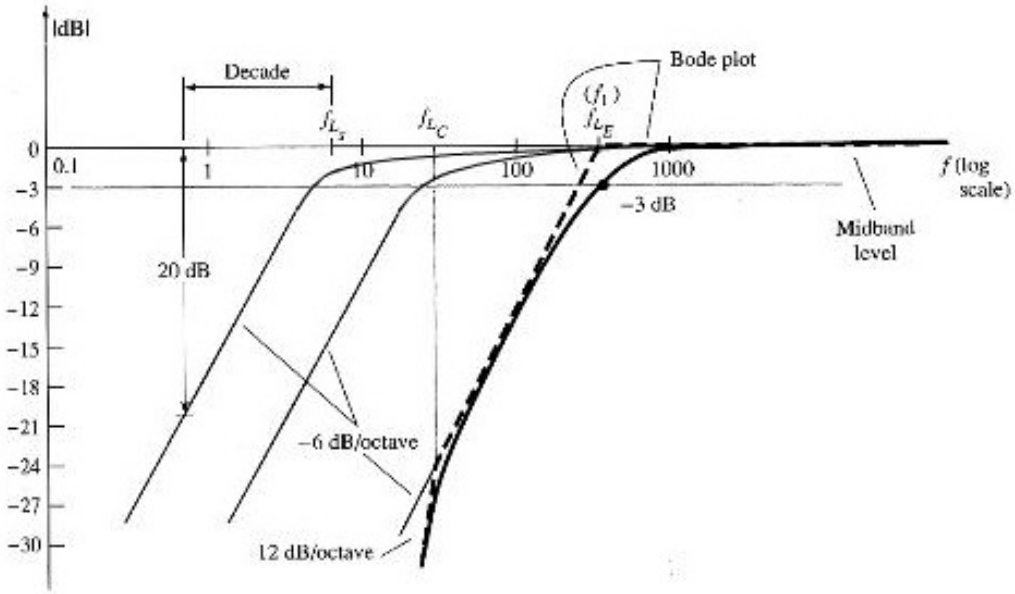
$$R_e = R_E \parallel \left(\frac{R_S'}{\beta} + r_e\right), \text{ với } R_S' = R_S \parallel R_1 \parallel R_2$$

Tần số cắt dưới của mạch là: $f_{LE} = \dfrac{1}{2\pi R_e C_E}$

Theo tính toán như trên các tụ ngoài C_C, C_S, C_E ảnh hưởng đến vùng tần số thấp của hàm truyền làm hẹp lại vùng tần số trung bình. Ta phải chọn tần số cắt dương của mạch khuếch đại dưới ảnh hưởng các tụ C_C, C_S, C_E là:

$$f_L = f_{max}\left(f_{C_C}, f_{C_S}, f_{C_E}\right)$$

Thông thường, vùng tần số f_L này có giá trị lớn hơn f_{L0} (là tần số cắt dưới của bộ khuếch đại khi không tính ảnh hưởng của tụ C_C, C_S, C_E)



Hình 7.65. *Đáp ứng tần số của mạch khuếch đại trong vùng tần số thấp.*

Ví dụ 7.9

a) Xác định tần số cắt thấp của mạch hình 7.66 với các thông số sau:

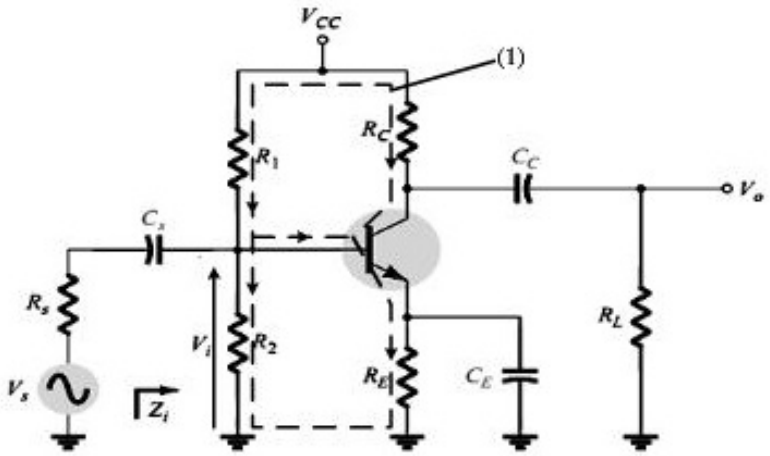
$R_S = 1k\Omega$, $R_1 = 40k\Omega$, $R_2 = 10k\Omega$, $R_E = 2k\Omega$, $R_C = 4k\Omega$

$R_L = 2,2k\Omega$

$C_S = 10\mu F$, $C_E = 20\mu F$, $C_C = 1\mu F$

$\beta = 100$, $r_0 = \infty\Omega$, $V_{CC} = 20V$

b) Vẽ đáp ứng tần số dùng giản đồ Bode



Hình 7.66.

Giải

a) Phân tích DC để xác định điện trở r_e: mạch phân cực cầu phân áp DC theo khung (1)

Xét điều kiện:

$\beta R_E = (100)(2k\Omega) = 200k\Omega \gg 10R_2 = 100k\Omega$ (thỏa điều kiện mạch ổn định)

Do đó $V_B \cong \dfrac{R_2 V_{CC}}{R_2 + R_1} = \dfrac{10k\Omega(20V)}{10k\Omega + 40k\Omega} = \dfrac{200V}{50} = 4V$

Ta tính được $I_E = \dfrac{V_E}{R_E} = \dfrac{4V - 0,7V}{2k\Omega} = \dfrac{3,3V}{2k\Omega} = 1,65mA$

Kết quả là $r_e = \dfrac{26mV}{1,65mA} \cong 15,76\Omega$

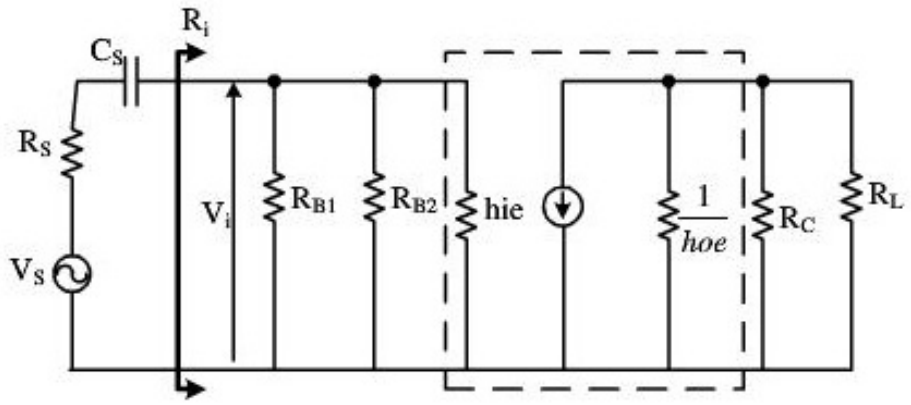
$\beta r_e = 100(15,76\Omega) = 1576\Omega = 1,576k\Omega$

Độ lợi trung bình: $A_V = \dfrac{V_0}{V_i} = \dfrac{-R_C \parallel R_L}{r_e} = -\dfrac{4k\Omega \parallel 2,2k\Omega}{1,56\Omega} \cong -90$

Tổng trở ngõ vào:

$Z_i = R_i = R_1 \parallel R_2 \parallel \beta r_e = 40k\Omega \parallel 10k\Omega \parallel 1,576k\Omega \cong 1,32k\Omega$

Theo sơ đồ tương đương tín hiệu nhỏ xét ảnh hưởng tụ C_S ta vẽ lại mạch xét từ tụ C_S mạch khuếch đại mắc E chung.



Hình 7.67. *Sơ đồ tương đương của toàn mạch*

Bỏ qua $\dfrac{1}{hoe} \to \infty$, ta có $V_i = \dfrac{R_i V_s}{R_i + R_s}$

Suy ra $\dfrac{V_i}{V_s} = \dfrac{R_i}{R_i + R_s} = \dfrac{1,32k\Omega}{1,32k\Omega + 1k\Omega} = 0,569$

Do đó độ lợi toàn mạch:

$$A_{V_S} = \frac{V_0}{V_s} = \frac{V_0}{V_i}\frac{V_i}{V_s} = (-90)(0,569) = -51,21\text{; hie} = \beta r_E$$

$$R_i = R_1 \parallel R_2 \parallel \beta r_e = 40k\Omega \parallel 10k\Omega \parallel 1,576k\Omega \cong 1,32k\Omega$$

Xét ảnh hưởng của tụ C_S

$$f_{L_S} = \frac{1}{2\pi(R_s + R_i)C_s} = \frac{1}{(6,28)(1k\Omega + 1,32k\Omega)(10\mu F)} \cong 6,86Hz$$

Xét ảnh hưởng của tụ C_C

$$f_{L_C} = \frac{1}{2\pi(R_s + R_i)C_C} = \frac{1}{(6,28)(1k\Omega + 2,2k\Omega)(1\mu F)} \cong 25,68Hz$$

Xét ảnh hưởng của tụ C_E

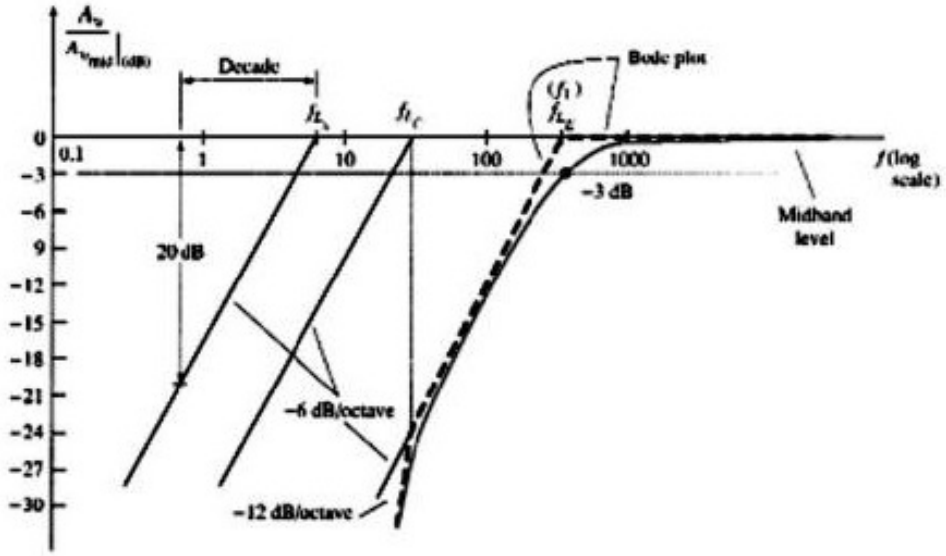
$$R_s' = R_s \parallel R_1 \parallel R_2 = 1k\Omega \parallel 40k\Omega \parallel 10k\Omega \cong 0,889k\Omega$$

$$R_e = R_E \parallel \left(\frac{R_{s'}}{\beta} + r_e\right) = 2k\Omega \parallel \left(\frac{0,889k\Omega}{100} + 15,76\Omega\right)$$

$$= 2k\Omega \parallel 8,89\Omega + 15,76\Omega = 2k\Omega \parallel 24,65\Omega \cong 24,35\Omega$$

$$f_{L_E} = \frac{1}{2\pi R_e C_E} = \frac{1}{(6,28)(24,35\Omega)(20\mu F)} = \frac{10^6}{3058,36} \cong 327Hz$$

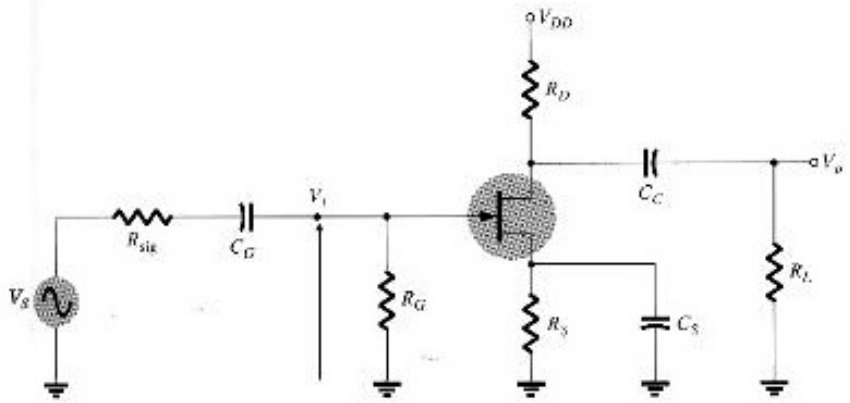
b) Vẽ Đáp ứng tần số biên độ



Hình 7.68.

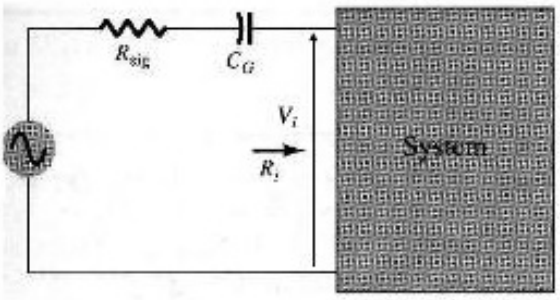
b) Mạch khuếch đại dùng FET

Tương tự như vậy ta có thể tính ảnh hưởng của C_G, C_S, C_D lên mạch sử dụng FET



Hình 7.69. *Mạch khuếch đại dùng FET.*

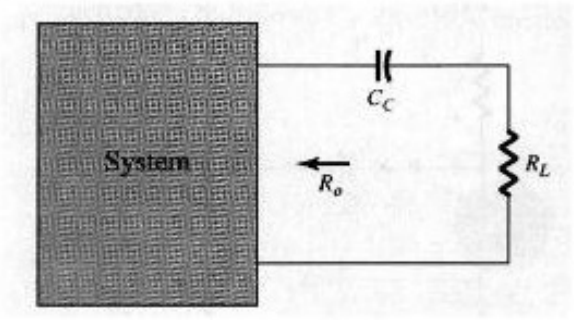
Xét ảnh hưởng của tụ C_G:



Hình 7.70. *Ảnh hưởng của tụ C_G.*

Tần số cắt: $f_{LG} = \dfrac{1}{2\pi(R_{sig} + R_i)C_G}$ với $R_i = R_G$

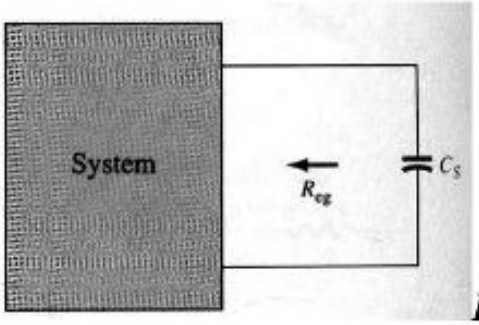
Xét ảnh hưởng của tụ C_C:



Hình 7.71. *Ảnh hưởng của tụ C_C.*

Tần số cắt $f_{LC} = \dfrac{1}{2\pi(R_o + R_L)C_C}$

Xét ảnh hưởng của tụ C_S:

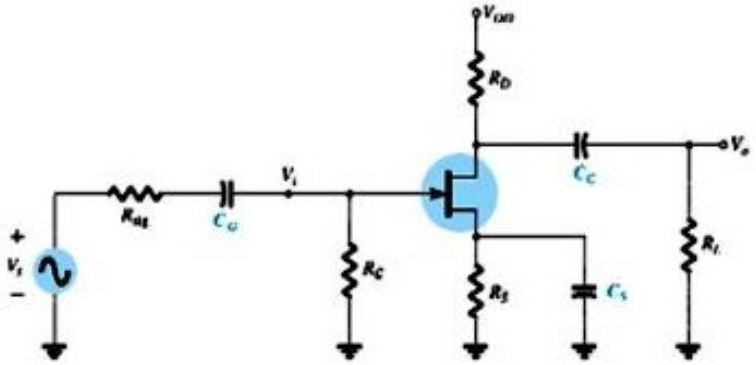


Hình 7.72. *Ảnh hưởng của tụ C_S.*

Tần số cắt $f_{LS} = \dfrac{1}{2\pi R_{eq} C_S}$ với $R_{eq} = R_S \parallel \dfrac{1}{g_m}$

Ví dụ 7.10

Cho mạch như hình 7.73



Hình 7.73

Với các thông số cho

$R_{sig} = 10k\Omega$, $R_G = 1M\Omega$, $R_D = 4,7k\Omega$, $R_S = 1k\Omega$, $R_L = 2,2k\Omega$

$I_{DSS} = 8mA$, $V_P = -4V$, $r_d = \infty\Omega$, $V_{DD} = 20V$

$C_G = 0,01\mu F$, $C_C = 0,5\mu F$, $C_S = 2\mu F$

a) Xác định tần số cắt thấp

b) Vẽ đáp ứng tần số dùng giản đồ Bode

Giải

a) Phân tích DC, ta tìm được V_{GSQ}=-2V và I_{DSS}=2mA

Tính toán

$$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8mA)}{4V} = 4mS$$

$$g_m = g_{m0}\left(1-\frac{V_{GS_Q}}{V_P}\right) = 4mS\left(1-\frac{-2V}{-4V}\right) = 2mS$$

Xét ảnh hưởng của tụ C_G

$$f_{L_G} = \frac{1}{2\pi(10k\Omega+10M\Omega)(0,01\mu F)} \cong 15,8Hz$$

Xét ảnh hưởng của tụ C_C

$$f_{L_C} = \frac{1}{2\pi(4,7k\Omega+2,2k\Omega)(0,5\mu F)} \cong 46,13Hz$$

$$R_{eq} = R_S \parallel \frac{1}{g_m} = 1k\Omega \parallel \frac{1}{2mS} = 1k\Omega \parallel 0,5k\Omega = 333,33\Omega$$

Xét ảnh hưởng của tụ C_S

$$f_{L_S} = \frac{1}{2\pi(333,33\Omega)(2\mu F)} = 238,73Hz$$

b) Độ lợi tại vùng tần số trung bình được xác định

$$A_{V_{mid}} = \frac{V_0}{V_i} = -g_m\ R_D \parallel R_L = -\ 2mS\ \ 4,7k\Omega \parallel 2,2k\Omega = -\ 2mS\ \ 1,499k\Omega \cong -3$$

Do đó ta vẽ được đáp ứng tần số như hình

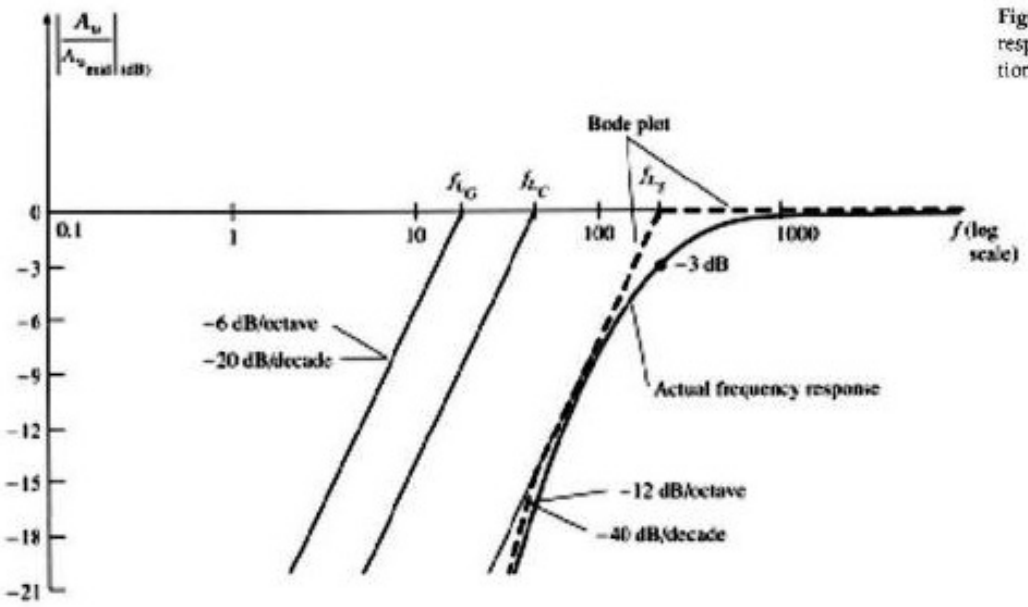


Figure
respons
tion of

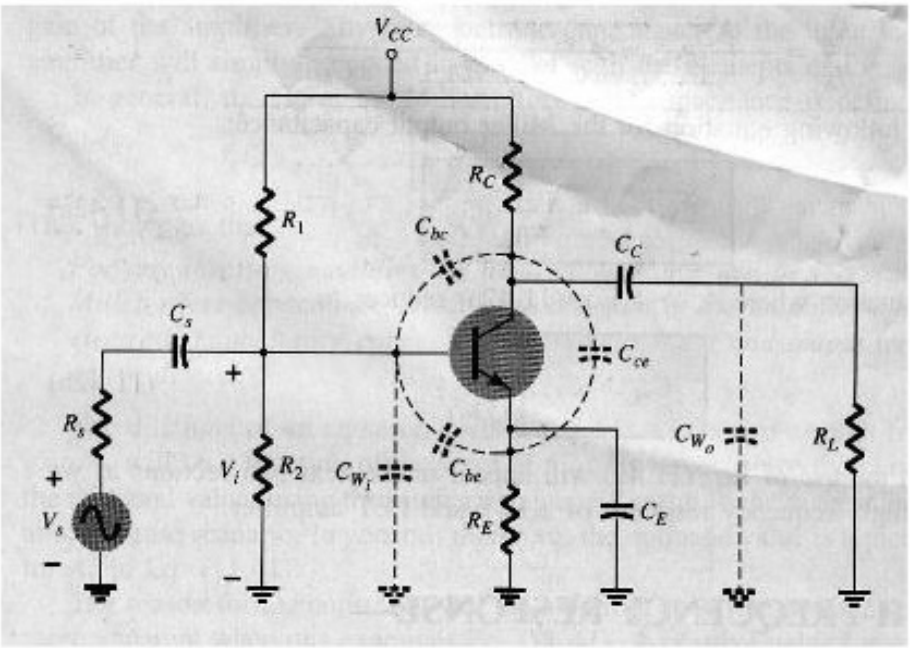
Hình 7.74

7.5.4. Phân tích mạch khuếch đại ở tần số cao

Ở vùng tần số cao, các tụ ký sinh có trong linh kiện bán dẫn và hiệu ứng tụ điện của ngõ vào, ngõ ra của hệ thống sẽ ảnh hưởng rất nhiều đến f_H, làm suy giảm dải băng tần của bộ khuếch đại.

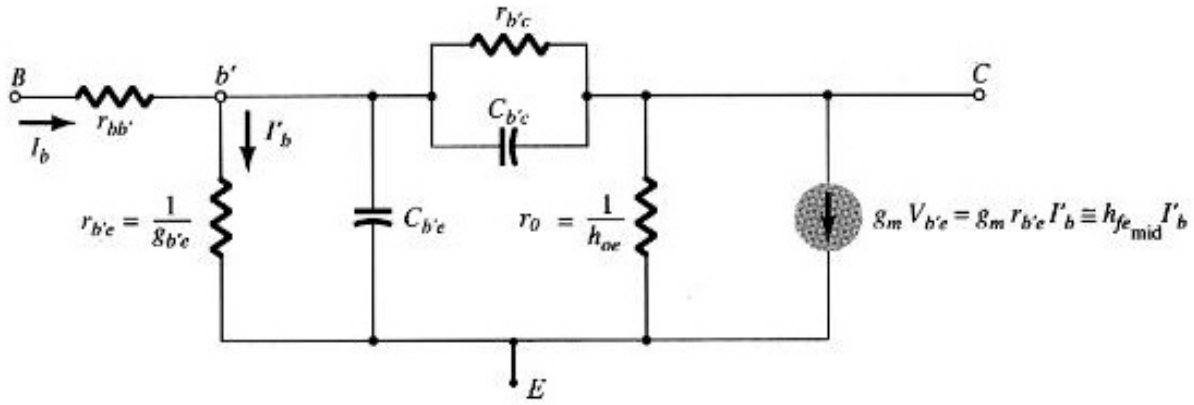
a) Mạch khuếch đại dùng BJT

Xét ảnh hưởng của các tụ kí sinh hình 7.75



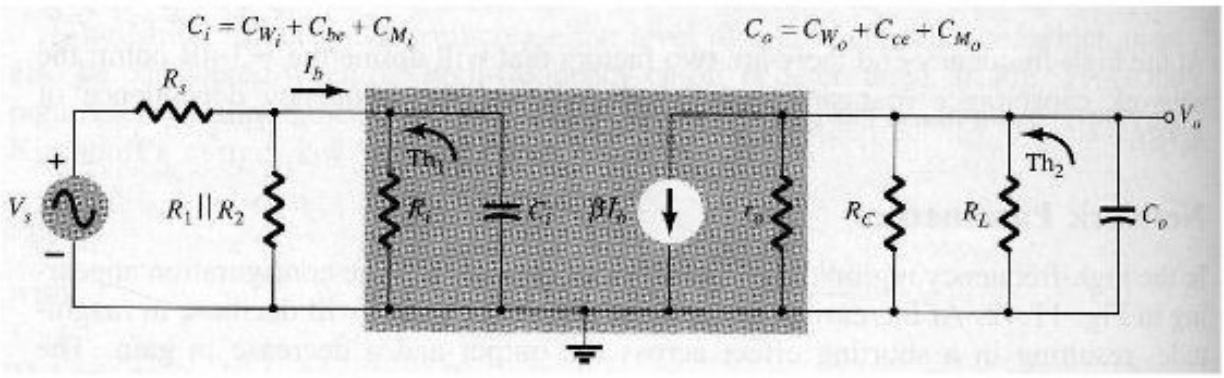
Hình 7.75. *Xét ảnh hưởng của điện dung kí sinh trong transistor.*

Do các chuyển tiếp J_E và J_C hình thành các tụ giữa các cực C, B, E ta có hình 7.76.



Hình 7.76. *Mô hình tương đương của BJT ở tần số cao.*

Ở tần số cao, ta có thể bỏ ảnh hưởng C_C, C_E, C_S và tính thêm ảnh hưởng hiệu ứng ngõ vào của Miller và ngõ ra ta có hình đơn giản tương đương như hình 7.77.



Hình 7.77. *Sơ đồ tương đương của mạch khuếch đại tại vùng tần số cao*

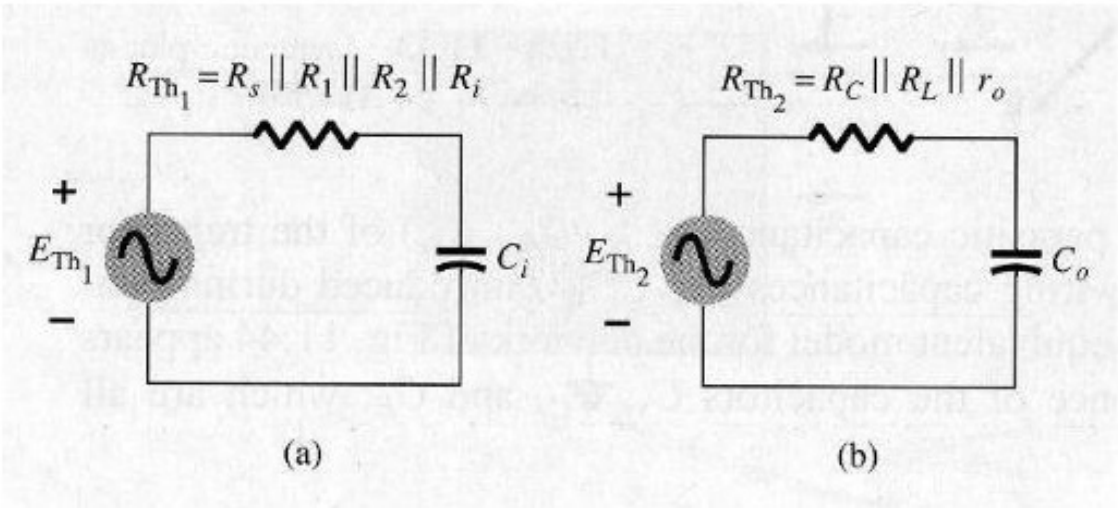
Trong đó:

- C_{Wi}, C_{Wo}: điện dung của dây dẫn lần lượt ở ngõ vào và ngõ ra của mạch khuếch đại, thường các điện dung này rất bé có thể bỏ qua.
- C_{Mi} và C_{Mo} điện dung do ảnh hưởng của hiệu ứng Miller lần lượt ở ngõ vào và ngõ ra.

$$C_{Mi} = (1 - A_V)C_{bc}$$

$$C_{Mo} = C_{bc}$$

Từ đó, ta đưa về mạch tương đương Thevenin như hình 7.78 đối với ngõ vào và ngõ ra.



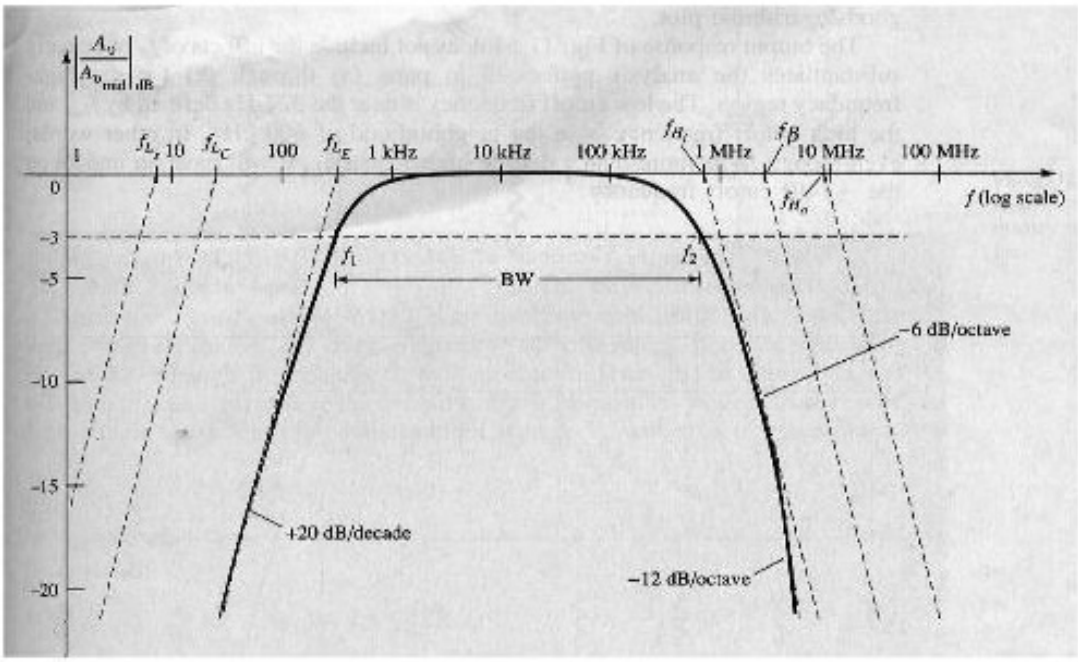
Hình 7.78. *Mạch tương đương Thevenin.*

Mạch lọc thông có:

Tần số cắt cao ngõ vào: $f_{Hi} = \dfrac{1}{2\pi R_{Th1} C_i}$ với $R_{Th1} = R_S \| R_1 \| R_2 \| R_i$

Tần số cắt cao ngõ ra: $f_{Ho} = \dfrac{1}{2\pi R_{Th2} C_o}$ với $R_{Th2} = R_C \parallel R_L \parallel r_o$

Đáp ứng tần số của mạch trong hình 7.79 biểu diễn ảnh hưởng của tụ tương đương C_i và C_o của mạch khuếch đại lên vùng tần số cao của dải băng tần. Thường thì tụ C_i ảnh hưởng làm giảm băng tần của bộ khuếch đại.



Hình 7.79. *Đáp ứng tần số của mạch khuếch đại.*

Ta có thể chọn được dải băng tần (BW – Band Width) cho bộ khuếch đại dưới ảnh hưởng của các tụ C_C, C_E, C_S và các tụ ký sinh như sau:

$$f_L = f_{max}\left(f_{L_{C_C}}, f_{L_{C_S}}, f_{L_{C_E}}\right)$$

$$f_H = f_{min}\left(f_{H_{C_i}}, f_{H_{C_o}}\right)$$

$$BW = f_H - f_L$$

Trên hình 7.79 đoạn $BW = f_2 - f_1$

Ví dụ 7.11 Cho mạch như hình 7.80

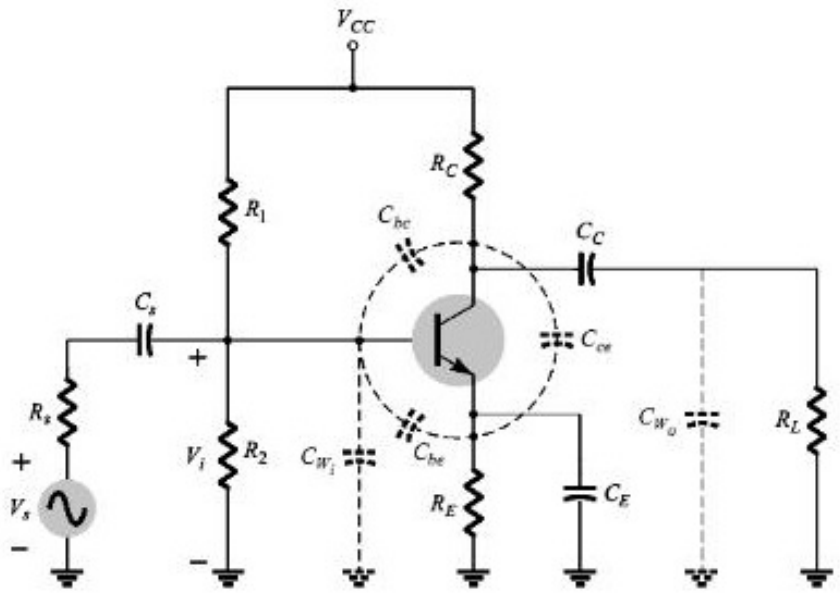
Với các thông số như đã cho ở ví dụ

$R_S = 1k\Omega,\ R_1 = 40k\Omega,\ R_2 = 10k\Omega,\ R_E = 2k\Omega,\ R_C = 4k\Omega,\ R_L = 2,2k\Omega$

$C_S = 10\mu F,\ C_C = 1\mu F,\ C_E = 20\mu F$

$\beta = 100,\ r_0 = \infty\Omega,\ V_{CC} = 20V$

Và $C_{be} = 36pF,\ C_{bc} = 4pF,\ C_{W_i} = 6pF,\ C_{W_0} = 8pF$



Hình 7.80

a) Xác định f_{Hi} và f_{Ho}.

b) Vẽ đáp ứng tần số cho vùng tần số thấp và tần số cao của mạch.

Giải

a) Từ ví dụ, ta xác định

Tổng trở ngõ vào và độ lợi trung bình:

$$R_i = 1,32k\Omega, \qquad A_{V_{mid}}(amplifier) = -90$$

$$R_{Th_1} = R_S \parallel R_1 \parallel R_2 \parallel R_i = 1k\Omega \parallel 40k\Omega \parallel 10k\Omega \parallel 1,32k\Omega \cong 0,531k\Omega$$

$$C_i = C_{W_i} + C_{be} + (1 - A_V)C_{be} = 6pF + 36pF + [1-(-90)]4pF = 406pF$$

Tần số cắt cao ngõ vào:

$$f_{H_i} = \frac{1}{2\pi R_{Th_1} C_i} = \frac{1}{2\pi(0,351k\Omega)(406pF)} = 738,24kHz$$

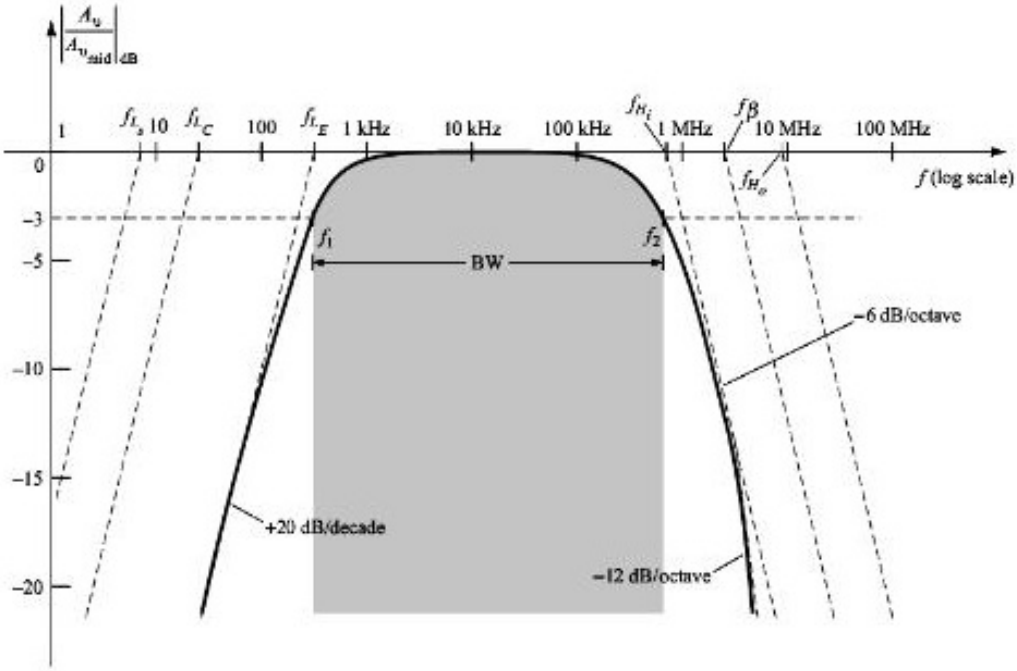
$$R_{Th_2} = R_C \parallel R_L = 4k\Omega \parallel 2,2k\Omega = 1,419k\Omega$$

$$C_0 = C_{W_0} + C_{M_0} = 8pF + \left(1 - \frac{1}{-90}\right)4pF = 12,04pF$$

Tần số cắt cao ngõ ra:

$$f_{H_0} = \frac{1}{2\pi R_{Th_i} C_0} = \frac{1}{2\pi(1,419k\Omega)(13,04pF)} = 8,6MHz$$

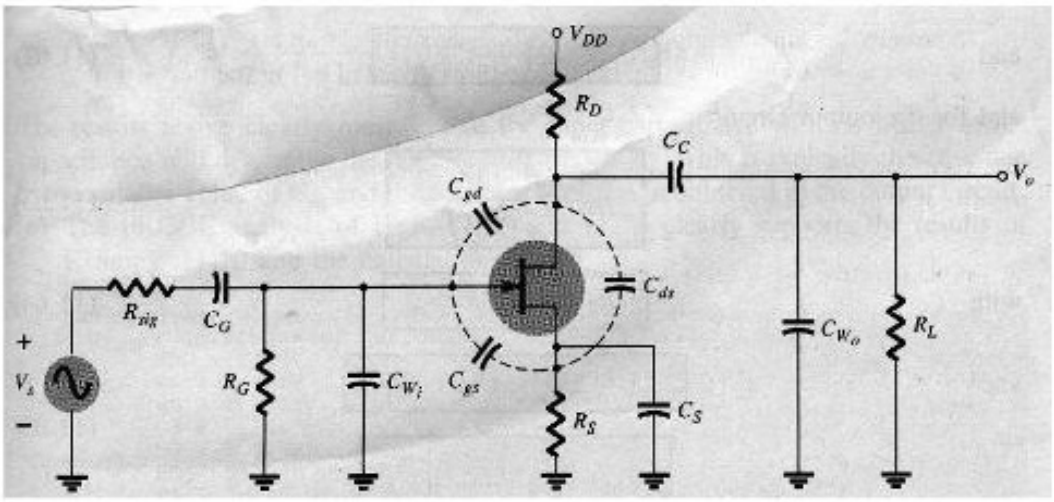
b) Đáp ứng tần số của mạch



Hình 7.81

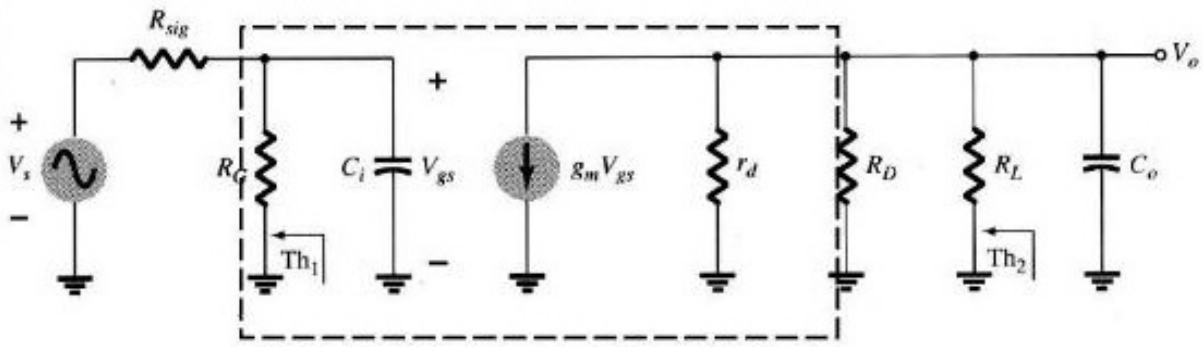
b) Mạch khuếch đại dùng FET

Xét mạch khuếch đại như hình sau:



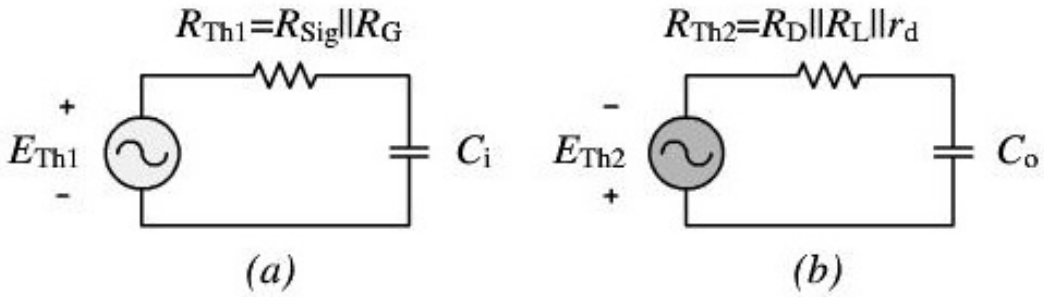
***Hình 7.82**. Ảnh hưởng của tần số cao của mạch khuếch đại dùng JFET.*

Cũng tương tự như BJT, khi hoạt động ở tần số cao các chuyển tiếp pn trong JFET tồn tại các điện dung chuyển tiếp. Ta có sơ đồ mạch tương đương của mạch khuếch đại dùng JFET ở hình 7.82 như sau:



Hình 7.83. *Sơ đồ mạch tương đương tại vùng tần số cao.*

Áp dụng định lý Thevenin, ta có mạch tương đương như hình 7.84.



Hình 7.84. *Mạch tương đương Thevenin.*

Tần số cắt cao ngõ vào: $f_{Hi} = \dfrac{1}{2\pi R_{Th1} C_i}$ với $R_{Th1} = R_{sig} \parallel R_G$

Tần số cắt cao ngõ ra: $f_{Ho} = \dfrac{1}{2\pi R_{Th2} C_0}$ với $R_{Th2} = R_D \parallel R_L \parallel r_d$

Ví dụ 7.12

Cho mạch như hình 7.82 với các thông số:

$C_G = 0{,}01\mu F, \quad C_C = 0{,}5\mu F, \quad C_S = 2\mu F$

$R_{sig} = 10k\Omega, \; R_G = 1M\Omega, \; R_D = 4{,}7k\Omega, \; R_S = 1k\Omega, \; R_L = 2{,}2k\Omega$

$I_{DSS} = 8mA, \quad V_P = -4V, \quad r_d = \infty\Omega, \quad V_{DD} = 20V$

$C_{gd} = 2pF, \; C_{gs} = 4pF, \; C_{ds} = 0{,}5pF, \; C_{W_i} = 5pF, \; C_{W_0} = 6pF$

a) Xác định f_{Hi} và f_{Ho}

b) Vẽ đáp ứng tần số cho vùng tần số thấp và tần số cao của mạch.

Giải

a) Từ ví dụ, ta xác định được

$$R_{Th_1} = R_{sig} \parallel R_G = 10k\Omega \parallel 1M\Omega = 9,9k\Omega$$

$$A_V = -3$$

Điện dung ngõ vào:

$$C_i = C_{W_i} + C_{gs} + (1 - A_V)C_{gd}$$

$$= 5pF + 4pF + (1-3)2pF = 9pF + 8pF = 17pF$$

Tần số cắt cao ngõ vào

$$f_{H_i} = \frac{1}{2\pi R_{Th_1} C_i} = \frac{1}{2\pi(9,9k\Omega)(17pF)} 945,67kHz$$

$$R_{Th_2} = R_D \parallel R_L = 4,7k\Omega \parallel 2,2k\Omega \cong 1,5k\Omega$$

$$C_0 = C_{W_0} + C_{da} + C_{M_0} = 6pF + 0,5pF + \left(1 - \frac{1}{-3}\right)2pF = 9,17PF$$

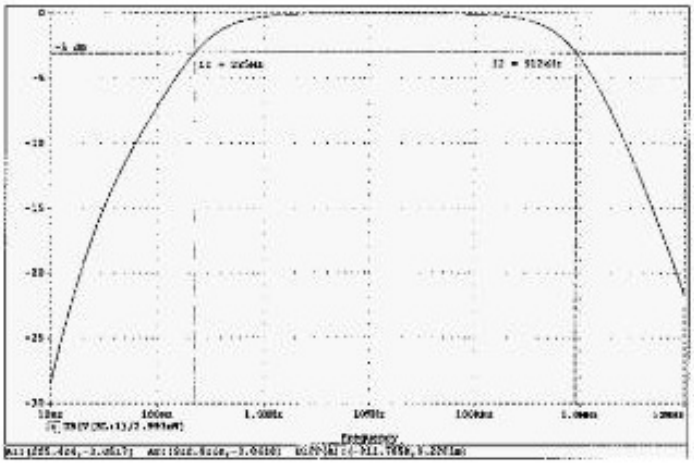
Tần số cắt cao ngõ ra

$$f_{H_i} = \frac{1}{2\pi R_{Th_i} C_i} = \frac{1}{2\pi(0,351k\Omega)(406pF)} = 738,24kHz$$

$$f_{H_0} = \frac{1}{2\pi(1,5k\Omega)(9,17pF)} = 11,57MHz$$

Ta chọn $f_{Hi} = f_H = 738,24$ kHz là tần số cắt cao của mạch khuếch đại có ảnh hưởng của tụ ký sinh.

b) Đáp ứng tần số



Hình 7.85. *Đáp ứng tần số kết quả tính toán.*

7.6. BÀI TẬP

Phần I: Xác định các thông số của mạch khuếch đại BJT

7.6.1. Cho mạch điện như hình 7.86

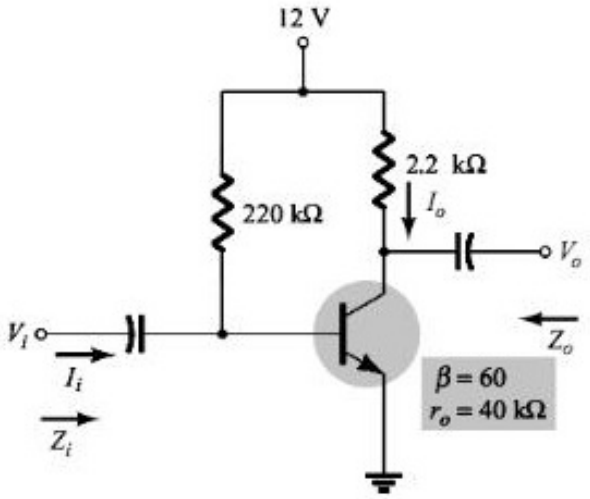
a) Xác định Z_i, Z_o

b) Xác định A_v, A_i

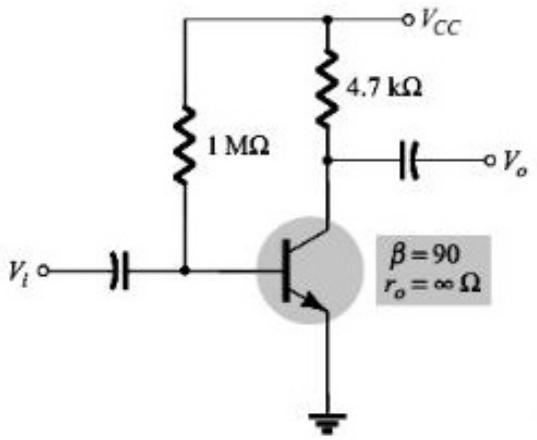
c) Xác định Z_i, Z_o khi có r_0=20kΩ

d) Xác nếu A_i, A_o khi có r_0=20Kω

7.6.2. Cho mạch điện như hình 7.87, xác định điện áp V_{CC} để A_v=-200



Hình 7.86.



Hình 7.87.

7.6.3. Cho mạch điện như hình 7.88

a) Tính I_B, I_C, và r_e

b) Xác định Z_i, Z_o

c) Tính A_v, A_i

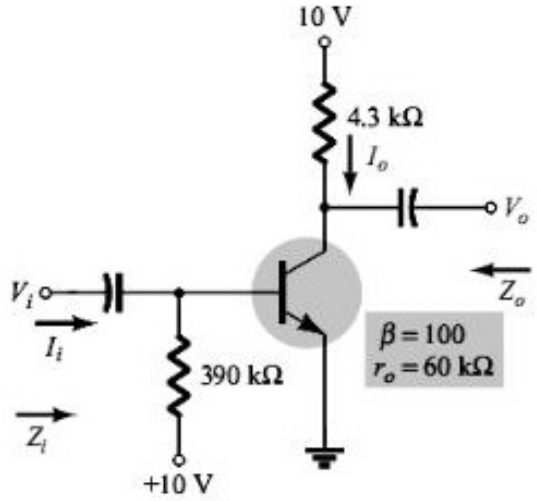
d) Xác định A_v, A_i khi xét đến ảnh hưởng của r_o = 30kΩ

7.6.4. Cho mạch điện như hình 7.89

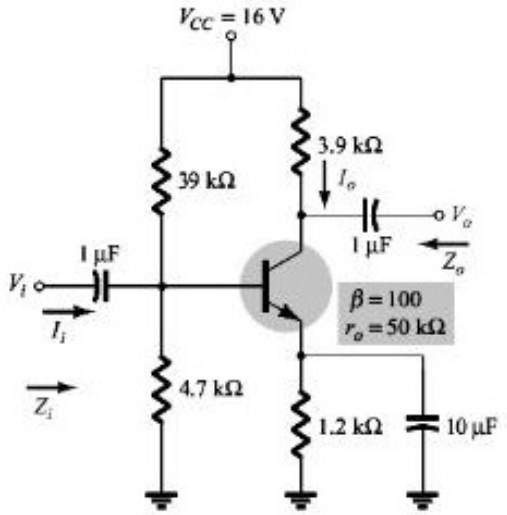
a) Xác định tĩnh điểm Q

b) Xác định các tham số xoay chiều của mạch nếu cho r_o = 40 kΩ tính lại các tham số.

c) Nếu cho r_0 = 40kΩ tính lại các tham số.

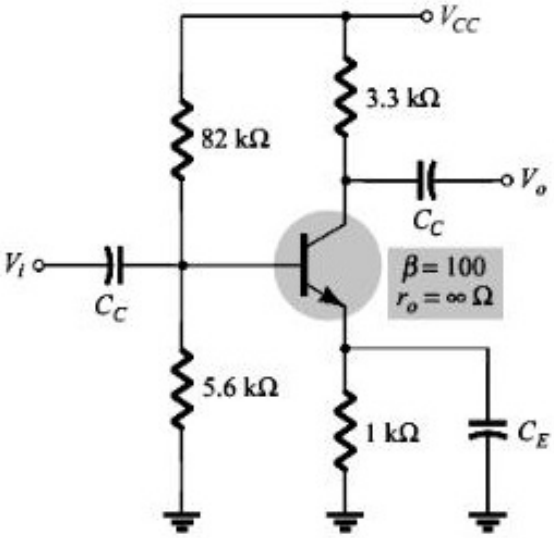


Hình 7.88.

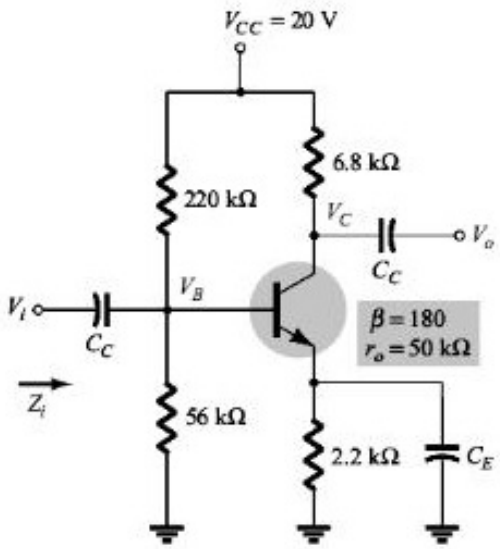


Hình 7.89

7.6.5. Cho mạch điện như hình 7.90, xác định điện áp V_{CC} nếu A_v = -160 và r_o = 25kΩ



Hình 7.90.



Hình 7.91.

7.6.6. Cho mạch điện như hình 7.91

a) Xác định r_e

b) Tính V_B, V_C

c) Xác định Z_i và $A_v = V_o/V_i$

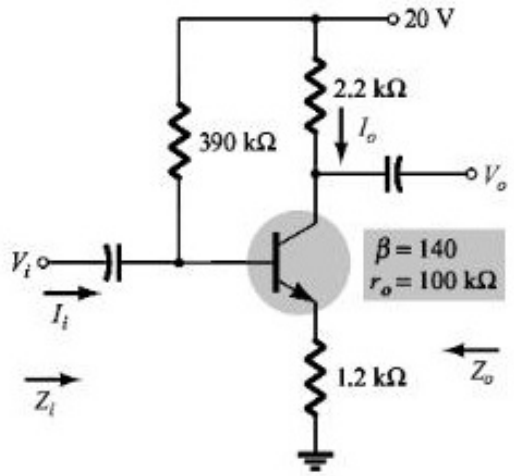
7.6.7. Cho mạch điện như hình 7.92

a) Xác định r_e

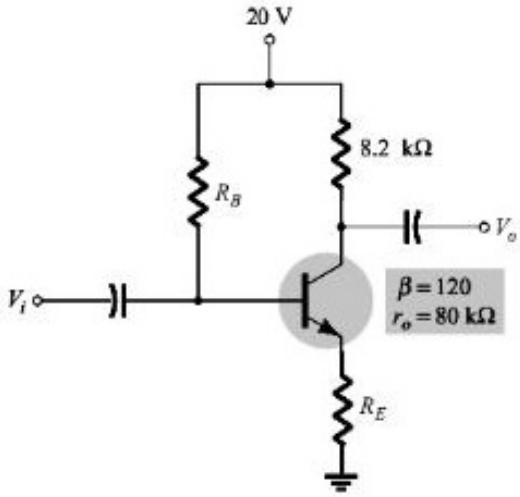
b) Tính Z_I, Z_o

c) Tính A_v, A_i

d) Lặp lại câu b) và c) với $r_o = 20\ k\Omega$



Hình 7.92.



Hình 7.93.

7.6.8. Cho mạch điện như hình 7.93, xác định điện trở R_E và R_B nếu $A_V = -10$ và $r_e = 3{,}8\Omega$, giả sử rằng $Z_b = \beta R_E$

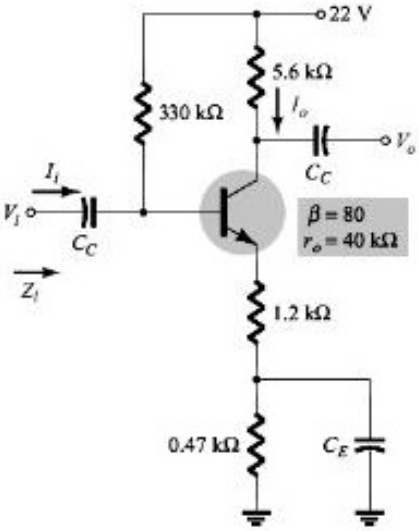
7.6.9. Lặp lại các yêu cầu của bài 8 nếu điện trở R_E bị bypass (nối tắt).

7.6.10. Cho mạch điện như hình 7.94

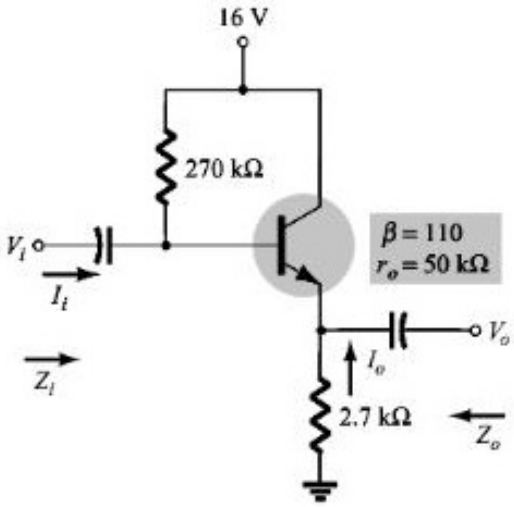
a) Xác định r_e

b) Tính Z_i, Z_o

c) Tính A_v, A_i



Hình 7.94.



Hình 7.95.

7.6. 11. Cho mạch điện như hình 7.95

a) Xác định r_e và βr_e

b) Xác định Z_i, Z_o

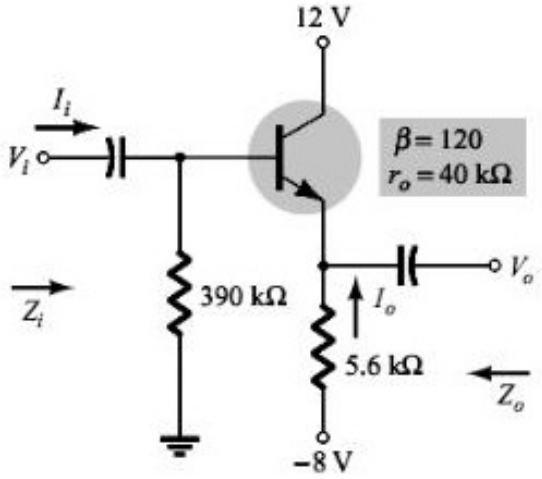
c) Tính A_v, A_i

7.6.12. Cho mạch điện như hình 7.96

a) Xác định Z_i, Z_o

b) Tìm A_v

b) Tính V_O, nếu $V_I = 1$ mV



Hình 7.96.

7.6.13. Cho mạch điện như hình 7.97

a) Tính I_B, I_C

b) Xác định r_e

c) Xác định Z_i, Z_o

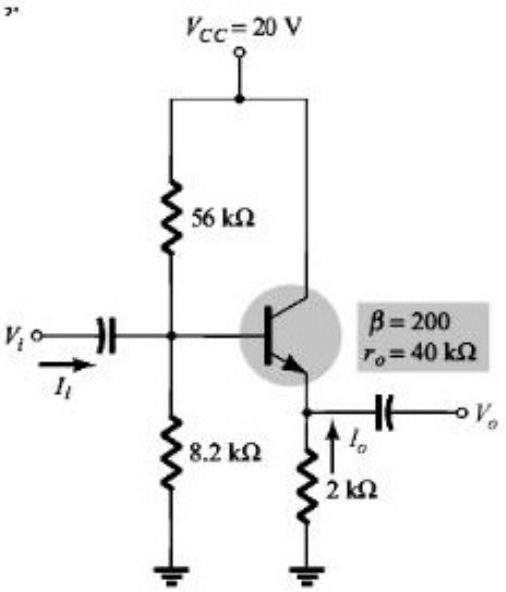
d) Tìm A_v, A_i

7.6.14. Cho cấu hình mạch khuếch đại CB như hình 7.98

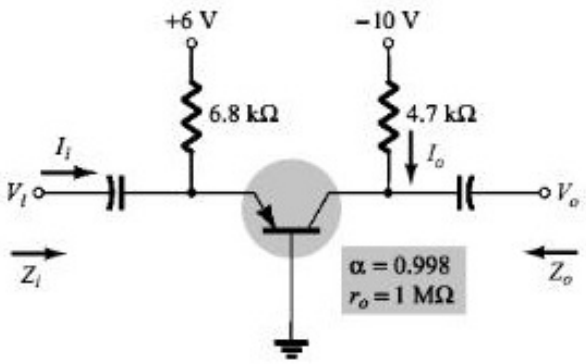
a) Xác định r_e

b) Xác định Z_i, Z_o

c) Tính A_v, A_i

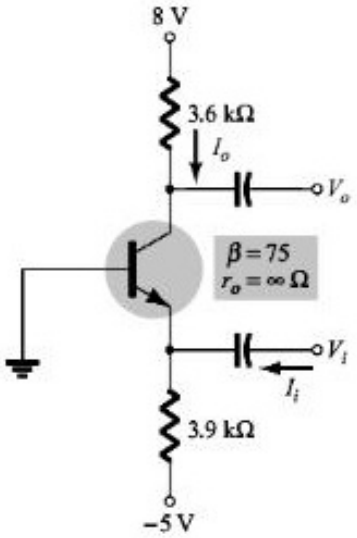


Hình 7.97.

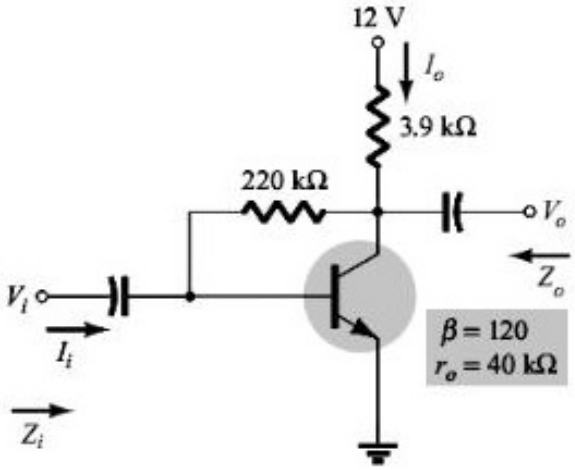


Hình 7.98.

7.6.15. Cho mạch như hình 7.99, xác định A_v, A_i



Hình 7.99.



Hình 7.100.

7.6.16. Cho mạch khuếch đại phân cực hồi tiếp Collector như hình 7.100

a) Xác định r_e

b) Xác định Z_i, Z_o

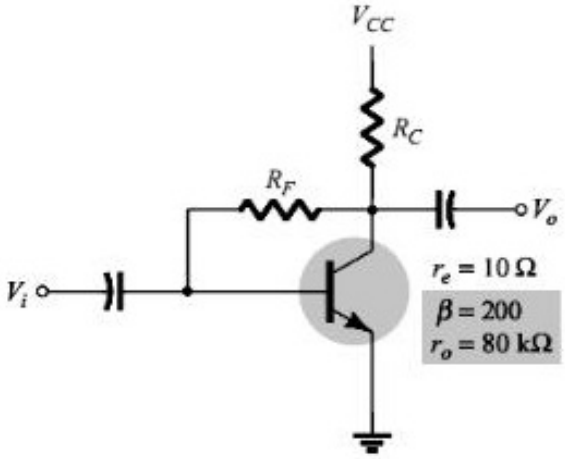
c) Tính A_v, A_i

7.6.17. Cho mạch như hình 7.101, với r_e=10Ω, β=200, A_v=-160, A_i=19, Xác định R_C, R_F, V_{CC}.

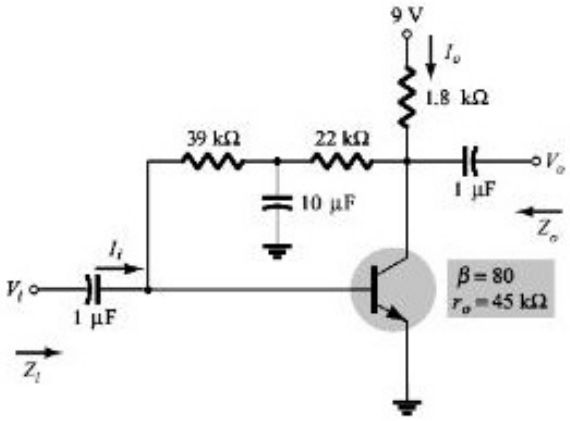
7.6.18. Cho mạch như hình 7.102

a) Xác định Z_i, Z_o

b) Tìm A_v, A_i



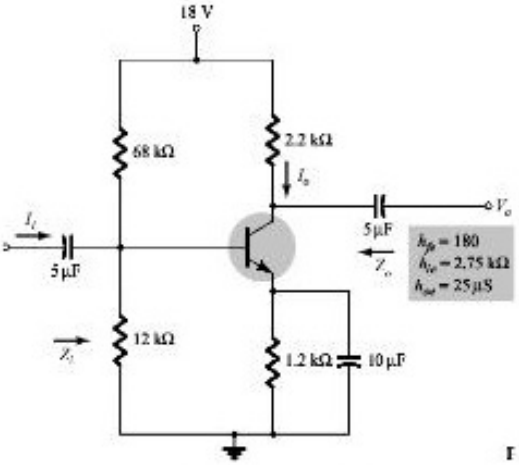
Hình 7.101.



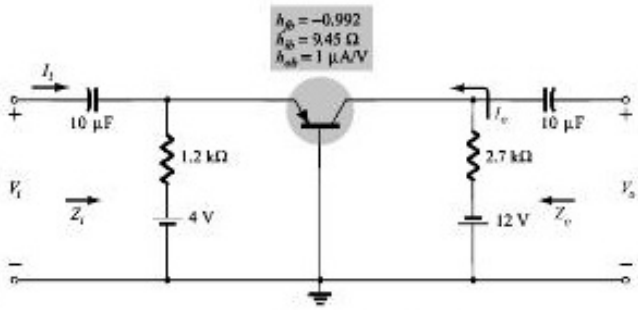
Hình 7.102.

7.6.19. Cho mạch điện như hình 7.103

Xác định Z_i, Z_o, A_v, A_i



Hình 7.103.



Hình 7.104.

7.6.20. Cho mạch điện như hình 7.104

a. Xác định Z_i, Z_o

b. Xác định A_v, A_i

c. Xác định α, β, r_e, r_o

7.6.21. Cho mạch điện như hình 7.105

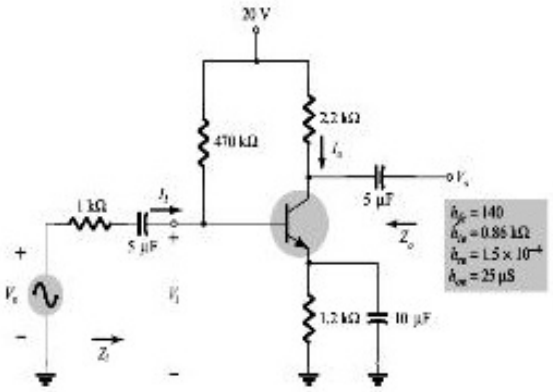
a) Xác định Z_i, Z_o

b) Xác định A_v, A_i

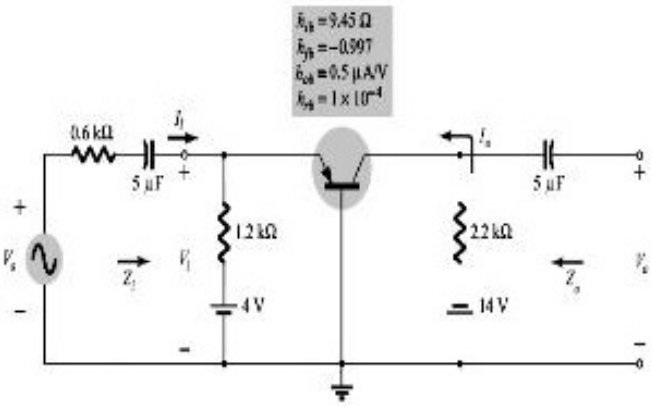
7.6.22. Cho mạch điện như hình 7.106

a) Xác định Z_i, Z_o

b) Xác định A_v, A_i



Hình 7.105.



Hình 7.106.

Phần II: Xác định các thông số của mạch khuếch đại FET

7.6.23. Tính g_{mO} của JFET có các thông số I_{DSS} = 15mA và V_P=-5V

7.6.24. Xác định điện áp thắt kênh của JFET có g_{mO}=10mS và I_{DSS}=12mA.

7.6.25. Một JFET có các thông số g_{mO}=5mS và V_P=-3.5V, xác định dòng điện tại V_{GS}=0V?

7.6.26. Tính g_m của JFET có (I_{DSS} = 12mA và V_P=-3V) tại áp phân cực V_{GS}=-1V

7.6.27. Một JFET có g_m=6mS tại V_{GSQ}=-1V, Tìm giá trị dòng I_{DSS} nếu V_P=-2.5V

7.6.28. Sử dụng đặc tuyến như hình 7.107

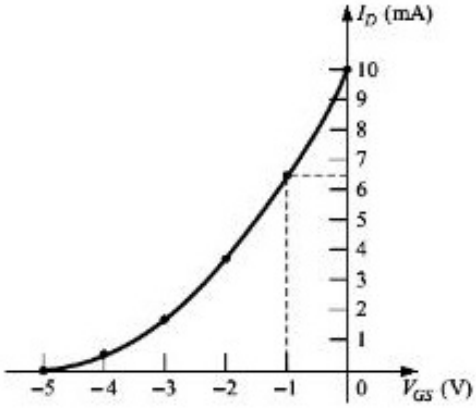
a) Xác định giá trị g_{mo}

b) Xác định g_m tại V_{GS}=-1.5V trên đồ thị

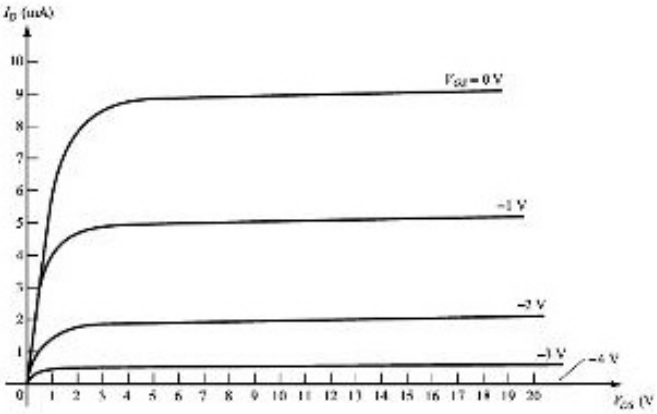
c) Xác định g_m tại V_{GS}=-1.5V bằng công thức, so sánh kết quả với câu b)

e) Xác định g_m tại V_{GS}=-2.5V trên đồ thị

f) Xác định g_m tại V_{GS}=-2.5V bằng công thức, so sánh kết quả với câu b)



Hình 7.107.



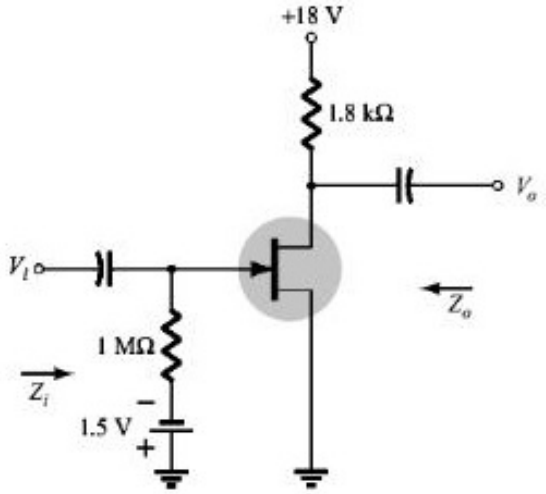
Hình 7.108.

7.6.29. Sử dụng đặc tuyến như hình 7.108

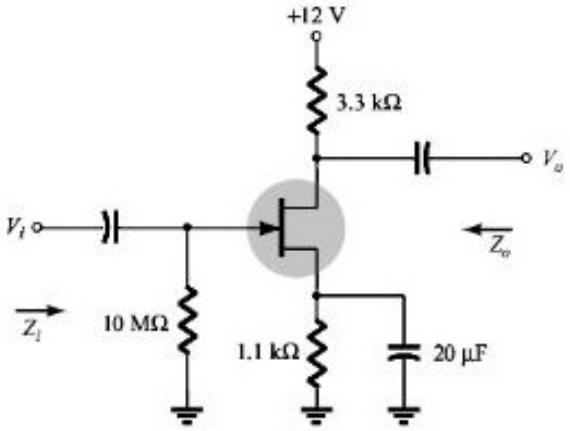
a) Xác định giá trị r_d tại V_{GS}=0V

b) Xác định giá trị g_{mo} tại V_{DS}=10V

7.6.30. Xác định Z_I, Z_o, A_V của mạch hình 7.109 nếu I_{DSS}=10mA, V_P=-4V, r_d= 40kΩ



Hình 7.109.

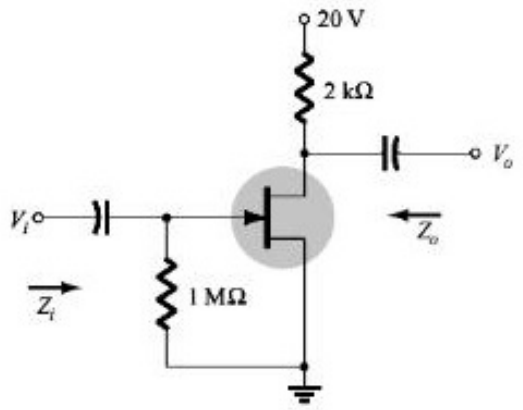


Hình 7.110.

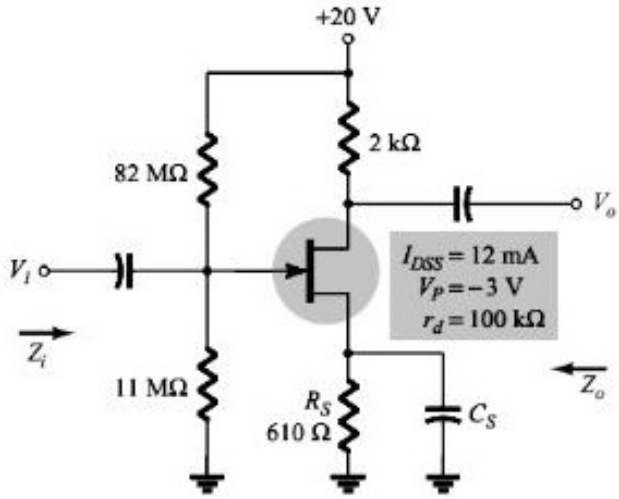
7.6.31. Lặp lại bài tập số 30, Xác định Z_I, Z_O, A_V của mạch hình 7-105, nếu I_{DSS}=12mA, V_P=-6V, y_{OS}= 40 μS

7.6.32. Xác định Z_I, Z_O, A_V của mạch hình 7.110 nếu y_{fs}=3000 mS, y_{OS}= 50 μS

7.6.33. Xác định Z_i, Z_o, A_V của mạch hình 7.111 nếu I_{DSS}=6mA, V_P=-6V, y_{OS}= 40 μS



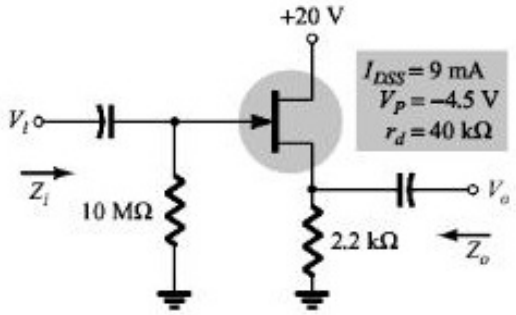
Hình 7.111.



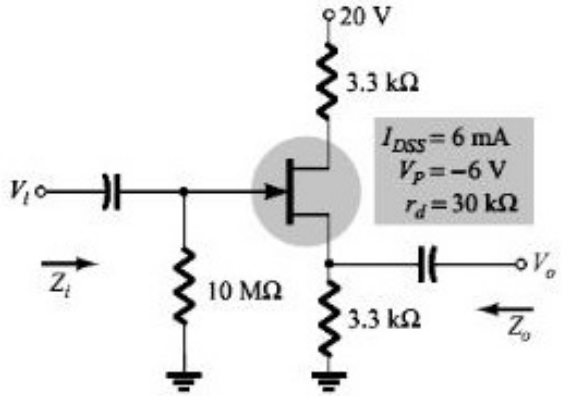
Hình 7.112.

7.6.34. Xác định Z_i, Z_o, A_V của mạch hình 7.112 nếu V_i=20mV và tụ điện C_S bị gỡ bỏ

7.6.35. Xác định Z_i, Z_o, A_V của mạch hình 7.113.



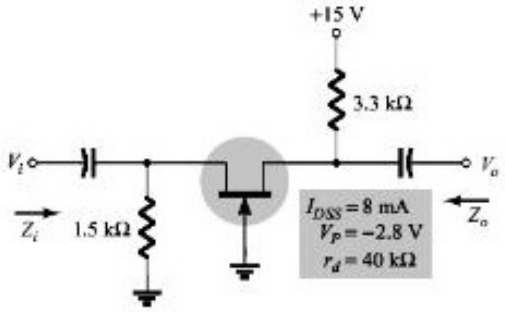
Hình 7.113.



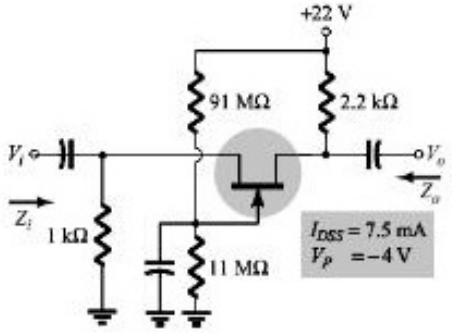
Hình 7.114.

7.6.36. Xác định Z_I, Z_o, A_V của mạch hình 7.114

7.6.37. Xác định Z_I, Z_o, A_V của mạch hình 7.115 nếu V_i=0.1 mV



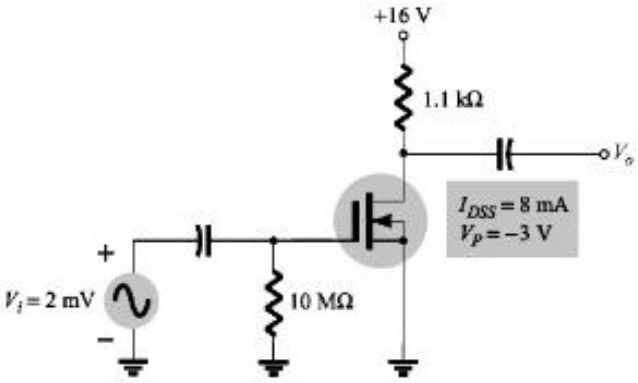
Hình 7.115.



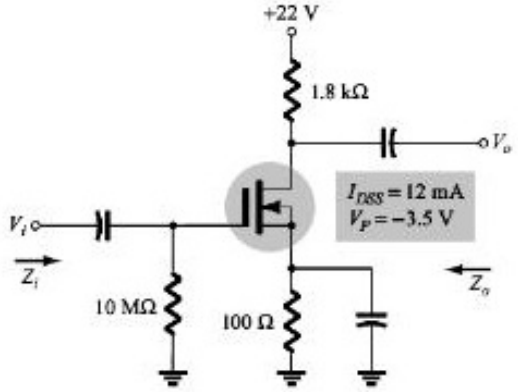
Hình 7.116.

7.6.38. Xác định Z_I, Z_o, A_V của mạch hình 7.116 nếu r_d=33kΩ

7.6.39. Xác định V_o của mạch hình 7.117 nếu y_{os}=20 μS



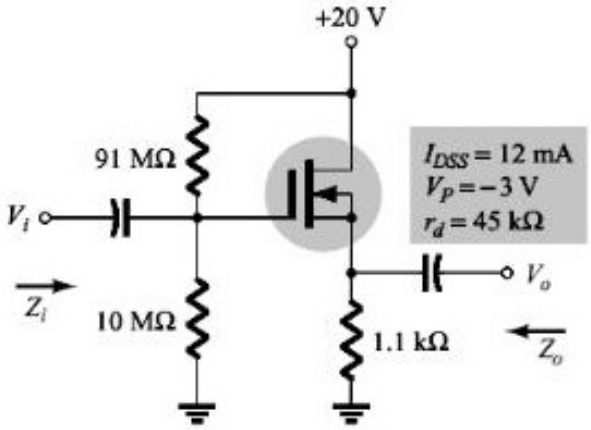
Hình 7.117.



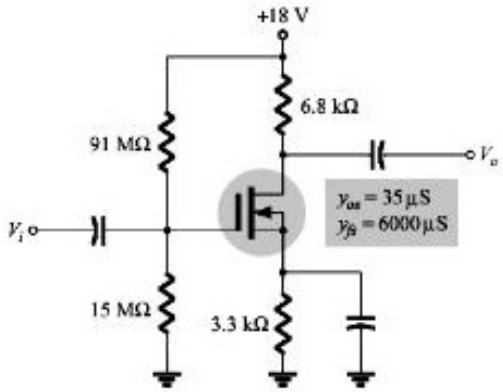
Hình 7.118.

7.6.40. Xác định Z_I, Z_o, A_V của mạch hình 7.118 nếu r_d=60 kΩ

7.6.41. Xác định Z_I, Z_o, A_V của mạch hình 7.119



Hình 7.119.



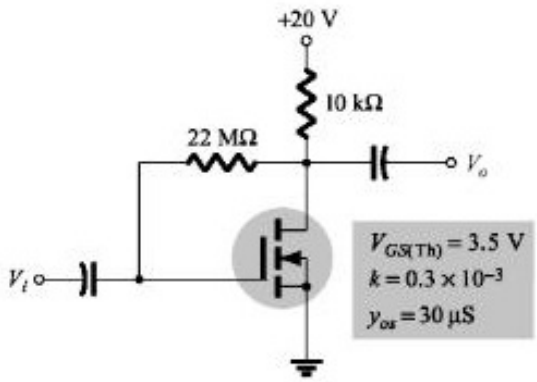
Hình 7.120.

7.6.42. Xác định V_o của mạch hình 7.120 nếu V_i=4 mV

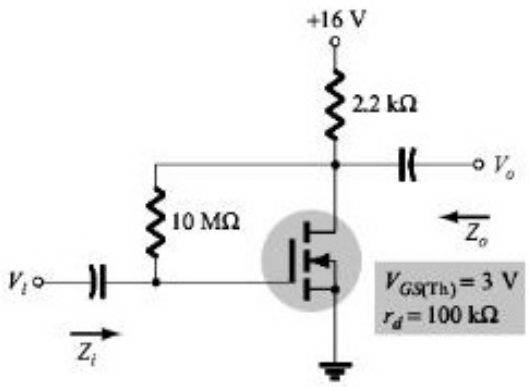
7.6.43. Xác định g_m của MOSFET nếu $V_{GS(Th)}$ = 3 Vvà được phân cực ở V_{GSQ}=8 V, giả sử k = $0.3x10^{-3}$.

7.6.44. Xác định Z_I, Z_O, A_V của mạch khuếch đại hình 7.121

Nếu k = $0.3x10^{-3}$



Hình 7.121.



Hình 7.122.

7.6.45. Xác định V_o của mạch hình 7.122 nếu V_i=20 mV

7.6.46. Xác định V_o của mạch hình 7.122 trên nếu V_i = 4 mV, $V_{GS(Th)}$ = 4V và $I_{D(on)}$ = 4 mA với $V_{GS(on)}$ = 7 V và y_{os} = 20 μS

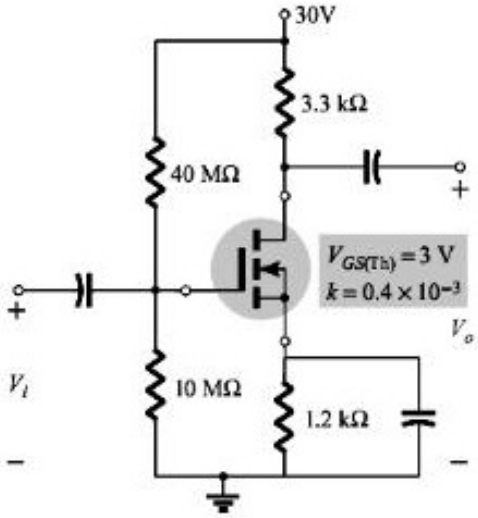
7.6.47. Xác định V_o của mạch hình7.123 nếu V_i = 0.8 mV và r_d = 40 kΩ

7.6.48. Cho mạch điện như hình 7.124

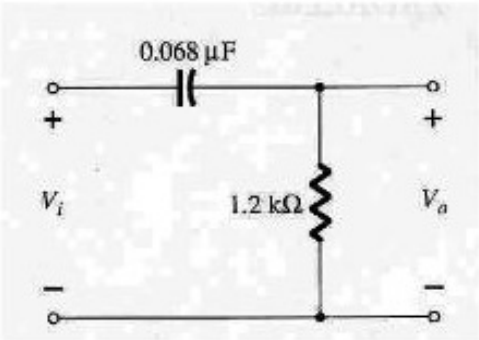
a. Hãy xác định hàm truyền biên độ $\frac{V_o}{V_i}$.

b. Dùng kết quả ở câu (a) hãy xác định hàm truyền biên độ $\frac{V_o}{V_i}$ tại tần số 100 Hz, 1 kH, 2kHz, 5kHz và 10kHz và vẽ đường cong đáp ứng tần số nằm trong dãi tần số từ 100 Hz đến 10 kHz.

c. Hãy xác định tần số cắt của mạch.



Hình 7.123.



Hình 7.124.

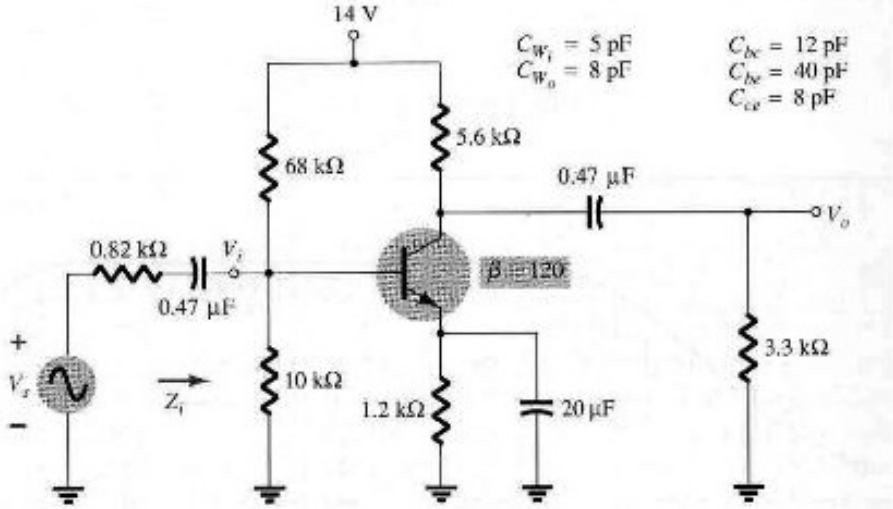
7.6.49. Cho mạch điện như hình 7.125

a. Hãy xác định giá trị điện trở r_e.

b. Hãy xác định hệ số khuếch đại tại tần số trung bình $A_{Vmid} = \dfrac{V_o}{V_i}$.

c. Hãy tính tổng trở vào Z_i.

d. Hãy tính các giá trị tần số f_{LS}, f_{LC}, f_{LE}. Hãy xác định tần số cắt thấp của mạch.



Hình 7.125.

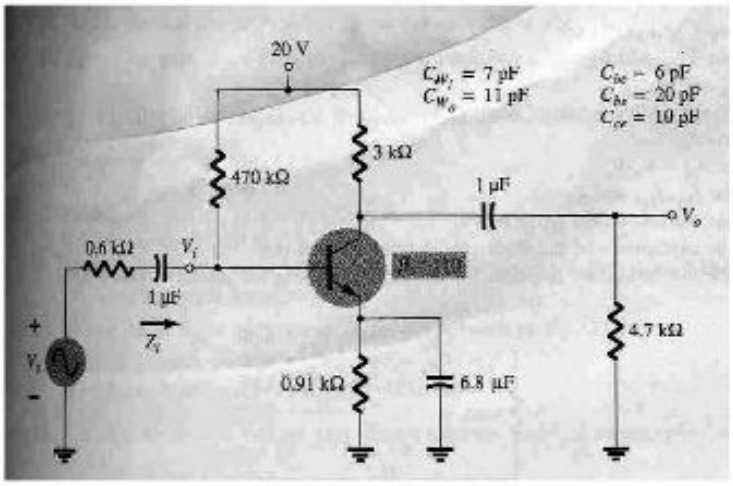
7.6.50. Cho mạch điện như hình 7.126

a. Hãy xác định giá trị điện trở r_e.

b. Hãy xác định hệ số khuếch đại tại tần số trung bình $A_{Vmid} = \dfrac{V_o}{V_i}$.

c. Hãy tính tổng trở vào Z_i.

d. Hãy tính các giá trị tần số f_{LS}, f_{LC}, f_{LE}. Hãy xác định tần số cắt thấp của mạch.



Hình 7.126.

7.6.51. Cho mạch điện như hình 7.127

a. Hãy xác định giá V_{GSQ} và I_{DQ}.

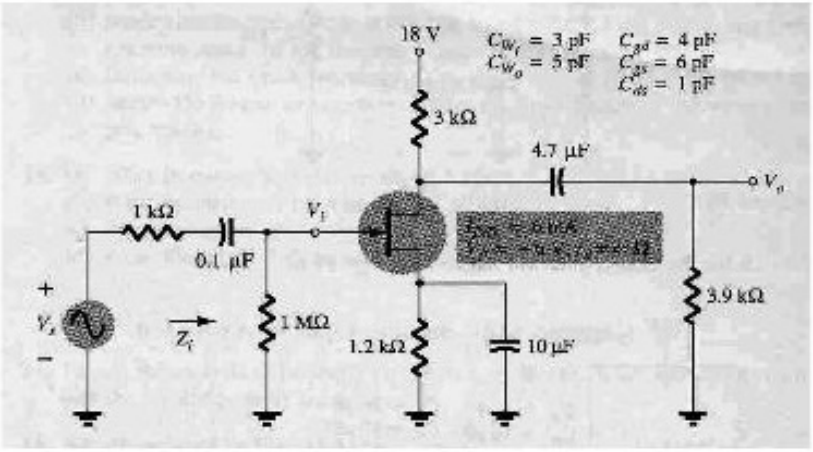
b. Tìm giá trị g_{mo} và g_m

c. Hãy xác định hệ số khuếch đại tại tần số trung bình $A_{Vmid} = \dfrac{V_o}{V_i}$.

d. Hãy tính tổng trở vào Z_i.

e. Hãy xác định hệ số khuếch đại $A_{VS} = \dfrac{V_o}{V_S}$.

f. Hãy tính các giá trị tần số f_{LG}, f_{LC}, f_{LS}. Hãy xác định tần số cắt thấp của mạch.



Hình 7.127.

7.6.52. Cho mạch điện như hình 7.128

a. Hãy xác định giá V_{GSQ} và I_{DQ}.

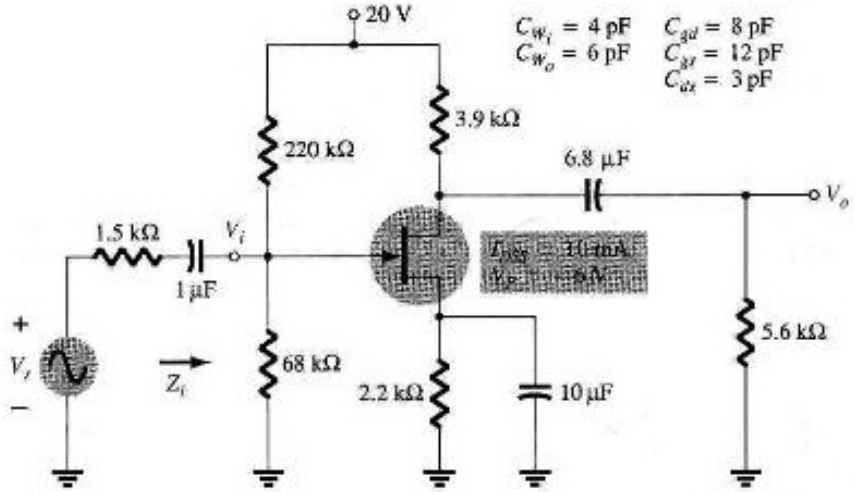
b. Tìm giá trị g_{mo} và g_m

c. Hãy xác định hệ số khuếch đại tại tần số trung bình $A_{Vmid} = \dfrac{V_o}{V_i}$.

d. Hãy tính tổng trở vào Z_i.

e. Hãy xác định hệ số khuếch đại $A_{VS} = \dfrac{V_o}{V_S}$.

f. Hãy tính các giá trị tần số f_{LG}, f_{LC}, f_{LS}. Hãy xác định tần số cắt thấp của mạch.

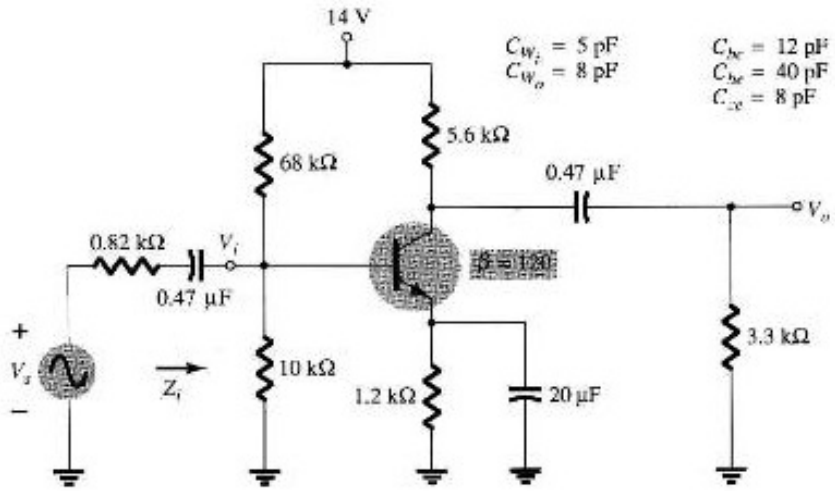


Hình 7.128.

7.6.53. Cho mạch điện như hình 7.129

a. Hãy xác định tần số cắt trên ngõ vào f_{Hi} và ngõ ra f_{Ho}.

b. Kết hợp bài 50 vẽ đáp ứng tần số của mạch khuếch đại.



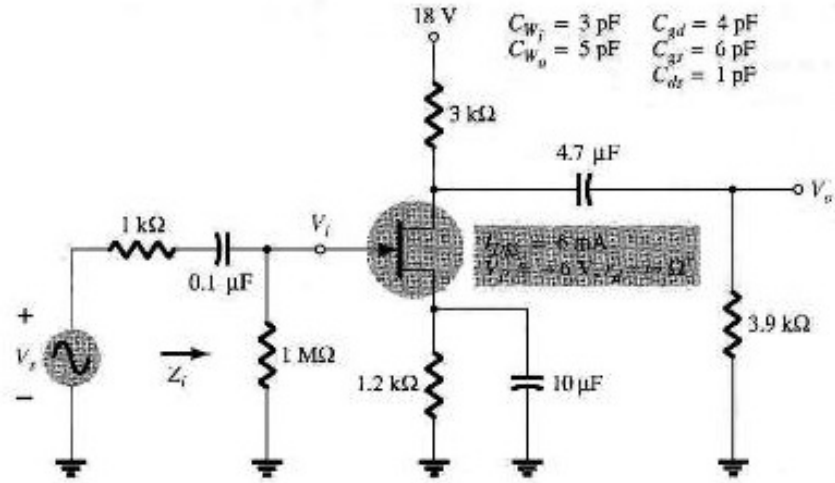
Hình 7.129.

7.6.54. Cho mạch điện như hình 7.130

a. Tìm giá trị g_{mo} và g_m

b. Hãy xác định hệ số kđ A_V và hệ số khuếch đại tại tần số trung bình $A_{Vmid} = \dfrac{V_o}{V_i}$.

c. Hãy xác định tần số cắt trên ngõ vào f_{Hi} và ngõ ra f_{Ho}.



Hình 7.130.

Chương 8
MẠCH KHUẾCH ĐẠI GHÉP LIÊN TẦNG

8.1. GIỚI THIỆU

➢ Tổng quan

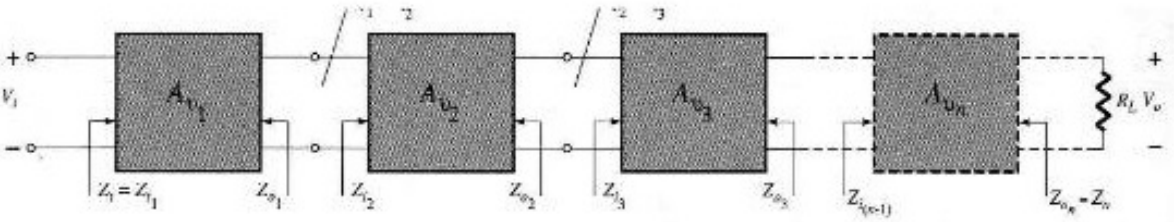
Các mạch điện tử thường bao gồm nhiều tầng khuếch đại ghép nối tiếp nhau để nâng hệ số khuếch đại của mạch hay để phối hợp trở kháng. Mỗi một tầng khuếch đại có thể dùng một hay nhiều transistor để thực hiện nhiệm vụ riêng. Để ghép nối tiếp nhiều tầng khuếch đại có thể dùng một trong ba cách ghép như sau:

– Ghép bằng tụ liên lạc (ghép RC).

– Ghép biến áp.

– Ghép trực tiếp.

Sơ đồ khối của mạch khuếch đại bao gồm nhiều tầng khuếch đại như hình 8.1.



Hình 8.1. *Sơ đồ khối của mạch khuếch đại.*

Khi ghép các tầng khuếch đại với nhau, phải bảo đảm các yêu cầu sau:

– Các tầng khuếch đại phải ở trạng thái khuếch đại.

– Công suất của các tầng phải ổn định.

– Phải phối hợp tương đồng các hệ số khuếch đại của các tầng khuếch đại để bảo đảm tín hiệu ngõ ra không bị méo.

– Phối hợp các dải thông của các tầng khuếch đại tương đương nhau.

– Phải phối hợp trở kháng ZO(n-1) = Zi(n).

➢ Các thông số của mạch khuếch đại ghép nhiều tầng

Hệ số khuếch đại điện áp:

$$A_{V_T} = A_{V_1} \times A_{V_2} \times A_{V_3} \times \cdots \times A_{V_n} \qquad (8.1)$$

Hệ số khuếch đại dòng điện:

$$A_{i_T} = A_{i_1} \times A_{i_2} \times A_{i_3} \times \cdots \times A_{i_n} = -A_{V_T} \frac{Z_i}{R_L} \quad (8.2)$$

Tổng trở ngõ vào của bộ khuếch đại tổng bằng tổng trở của tầng đầu tiên tính từ nguồn tín hiệu:

$$Z_i = \frac{V_i}{I_i} = Z_{i_1} \quad (8.3)$$

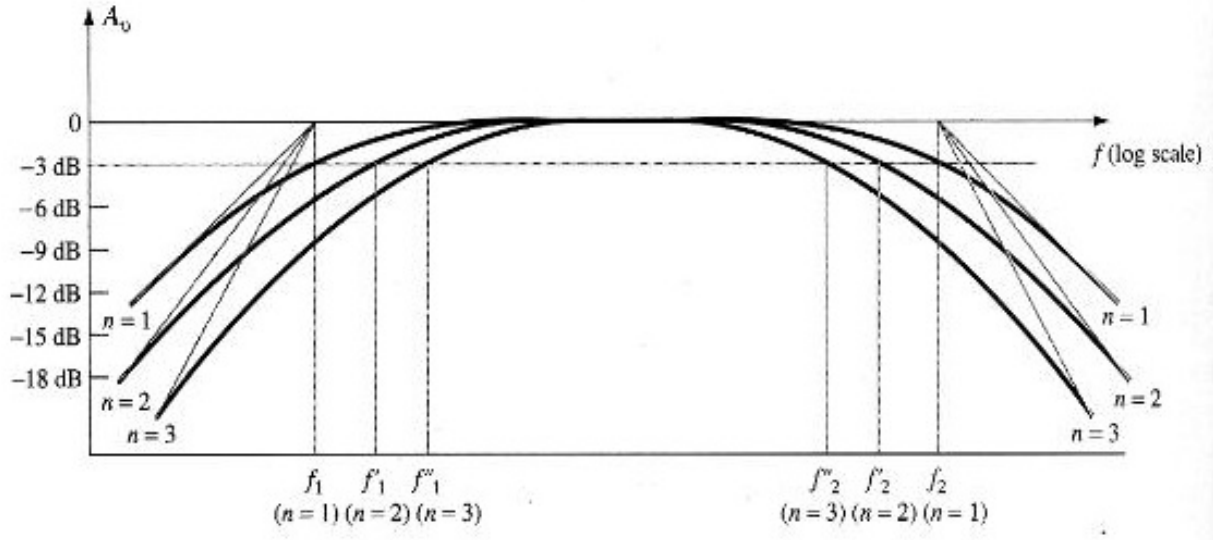
Tổng trở ngõ ra là tổng trở ra của tầng cuối cùng ghép với tải:

$$Z_O = \frac{V_O}{I_O}\Big|_{V_i=0} = Z_{O_n} \quad (8.4)$$

Đáp ứng tần số của mạch khuếch đại ghép tầng:

Một mạch khuếch đại gồm nhiều tầng khuếch đại ghép với nhau thì đáp ứng tần số của toàn mạch khuếch đại sẽ bị ảnh hưởng bởi đáp ứng tần số của tất cả các tầng khuếch đại trong mạch.

Vì vậy, tần số cắt dưới của toàn bộ mạch khuếch đại được định bởi tầng khuếch đại có tần số cắt dưới cao nhất, và tương tự như vậy tần số cắt trên của toàn bộ mạch khuếch đại được xác định bởi tầng khuếch đại có tần số cắt trên thấp nhất. Điều này được thể hiện rõ trong hình sau



Hình 8.2. *Ảnh hưởng của sự gia tăng số tầng khuếch đại đến tần số cắt và băng tần của mạch khuếch đại*

Trong đó:

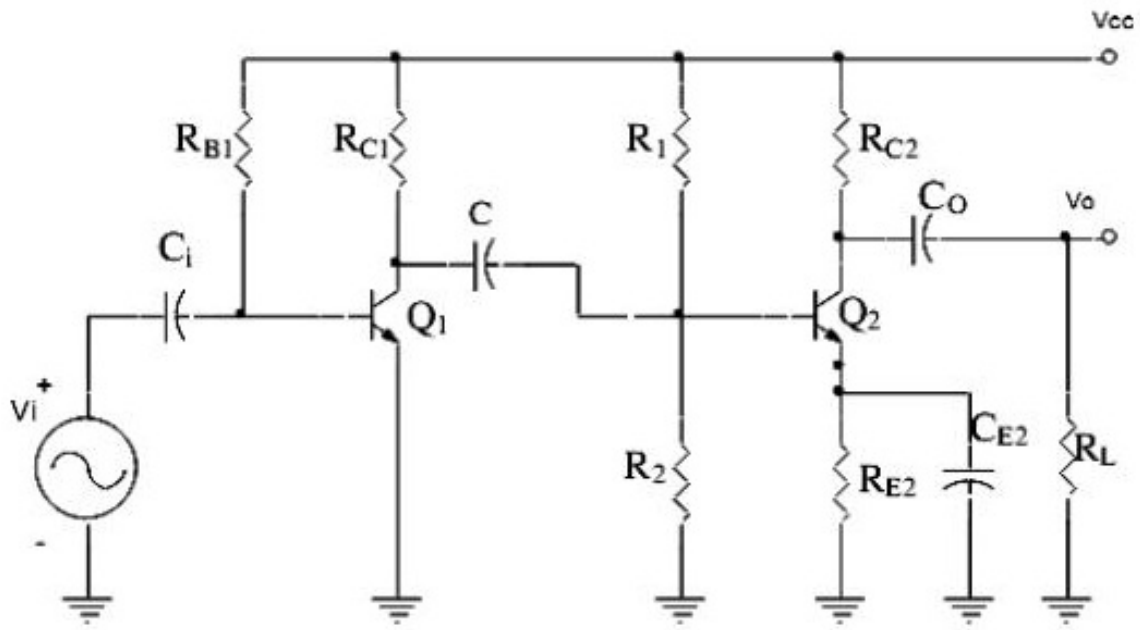
$$f_H = \min\{f_{Hi}\}$$
$$f_L = \max\{f_{Li}\}$$
$$BW = f_H - f_L$$

8.2. MẠCH KHUẾCH ĐẠI GHÉP BẰNG TỤ LIÊN LẠC (GHÉP RC)

8.2.1. Giới thiệu

Mạch khuếch đại ghép RC như hình 8.3.

Để khảo sát mạch, ta phải khảo sát chế độ DC của mạch (Q_1, Q_2, DCLL) cho mạch với Q_2 là mạch tiếp xúc với tải. Phân tích mạch ở chế độ phân cực DC (như chương 4 và 6) và các tham số xoay chiều của mạch.



Hình 8.3. *Mạch khuếch đại ghép RC.*

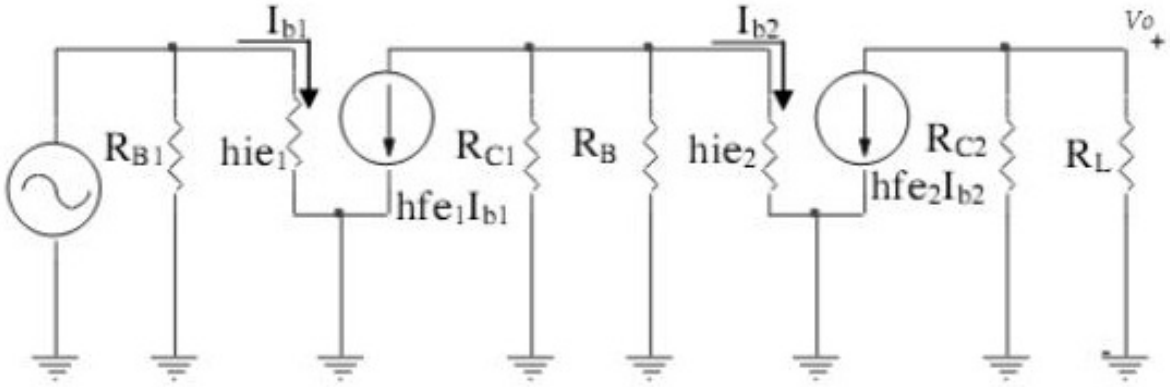
Các tụ liên lạc có trị số tùy thuộc vào tần số của tín hiệu được khuếch đại trong mạch. Đối với tín hiệu âm tần, tụ liên lạc thường có trị số từ 1μF đến 10μF, các tụ phân dòng hay tụ bypass (C_E) có trị số phụ thuộc vào R_E thường từ 10μF đến 100μF đối với tín hiệu âm tần.

8.2.2. Khảo sát các thông số của mạch ở chế độ AC

Khảo sát mạch khuếch đại ghép RC như hình 8.3, ta có sơ đồ tương đương tín hiệu nhỏ của mạch như hình 8.4.

Đây là mạch ghép có hai tầng ta phải xét ngược từ tầng Q_2 đến Q_1.

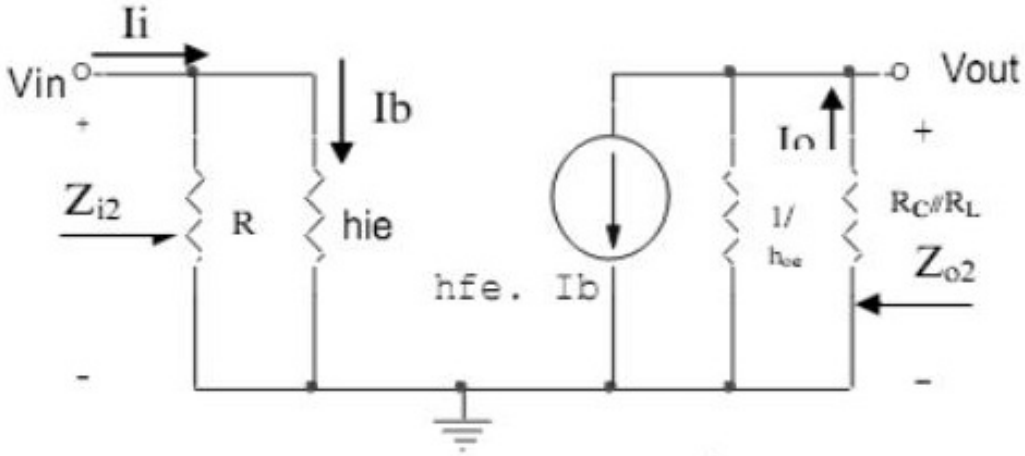
Xét dòng AC vào mạch ta có tụ C_E nối tắt do đó trong sơ đồ tương đương tín hiệu nhỏ không có R_{E2}. Ta phải xét tầng cuối trước tiên sau đó xét các tầng lần lượt về phía nguồn.



Hình 8.4. *Sơ đồ tương đương tín hiệu nhỏ.*

➢ **Xét tầng 2:**

Sơ đồ tương đương tín hiệu nhỏ tầng 2



Ta xem điện trở giữa hai cực CE của BJT $\frac{1}{h_{oe}}$ rất lớn gần bằng vô cùng,

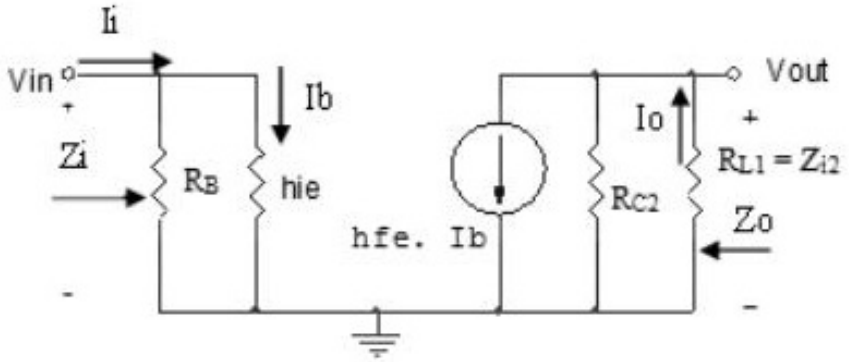
$$R_B = R_1//R_2$$

- Tổng trở vào: $Z_{i2} = R_1 // R_2 // h_{ie2} = R_B // h_{ie2}$
- Tổng trở ngõ ra: $Z_o = \left.\frac{V_o}{I_o}\right|_{Vi=0} = Z_{o2} = R_{C2} // \frac{1}{hoe} \approx R_{C2}$

- Hệ số khuếch đại điện áp: $A_{V_2} = -\dfrac{h_{fe2}(R_{C2} // R_L)}{h_{ie2}}$

➢ **Xét tầng 1:**

Sơ đồ tương đương tín hiệu nhỏ tầng 1



- Tổng trở ngõ vào

$$Z_i = \frac{V_i}{I_i} = Z_{i_1} = h_{ie1} // R_{B1} = Zi1$$

- Tổng trở ngõ ra

$$Z_{o1} = \left.\frac{V_{o1}}{I_{o1}}\right|_{Vi=0} = R_{C1} // \frac{1}{hoe} \approx R_{C1}$$

- Hệ số khuếch đại điện áp

$$A_{V_1} = -\frac{h_{fe1}(R_{C1} // Z_{i2})}{hie1}$$

Hệ số khuếch đại điện áp toàn mạch:

$$A_{V_T} = A_{V_1} \times A_{V_2}$$

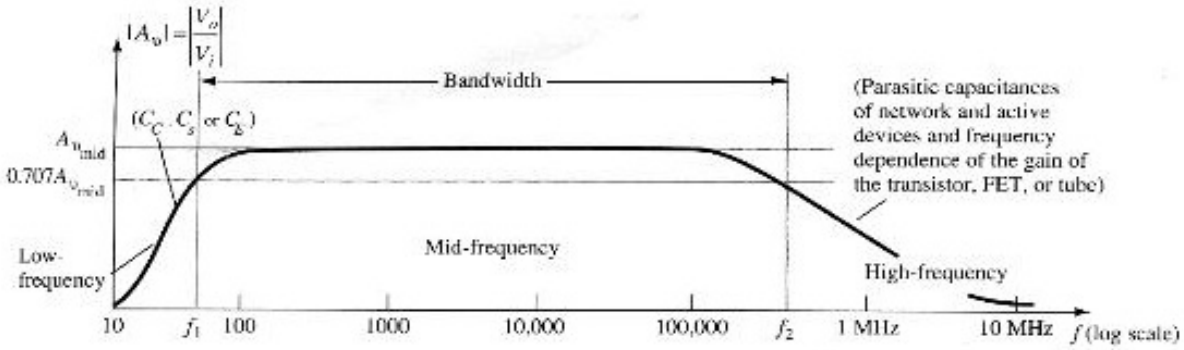
Hệ số khuếch đại dòng điện toàn mạch:

$$A_I = \frac{I_0}{I_i} = A_{i1} x A_{i2} = \frac{V_0}{R_L} x \frac{Z_i}{V_i} = A_V \frac{Z_i}{R_L}$$

$$I_S = I_i = \frac{V_S}{R_S + Z_i}$$

Suy ra: $A_I = A_{IS}$

8.2.3. Đáp ứng tần số của mạch ghép RC



Hình 8.5. Đáp ứng tần số của mạch ghép RC

8.2.4. Ưu và nhược điểm của mạch khuếch đại ghép tầng RC

➢ ***Ưu điểm***

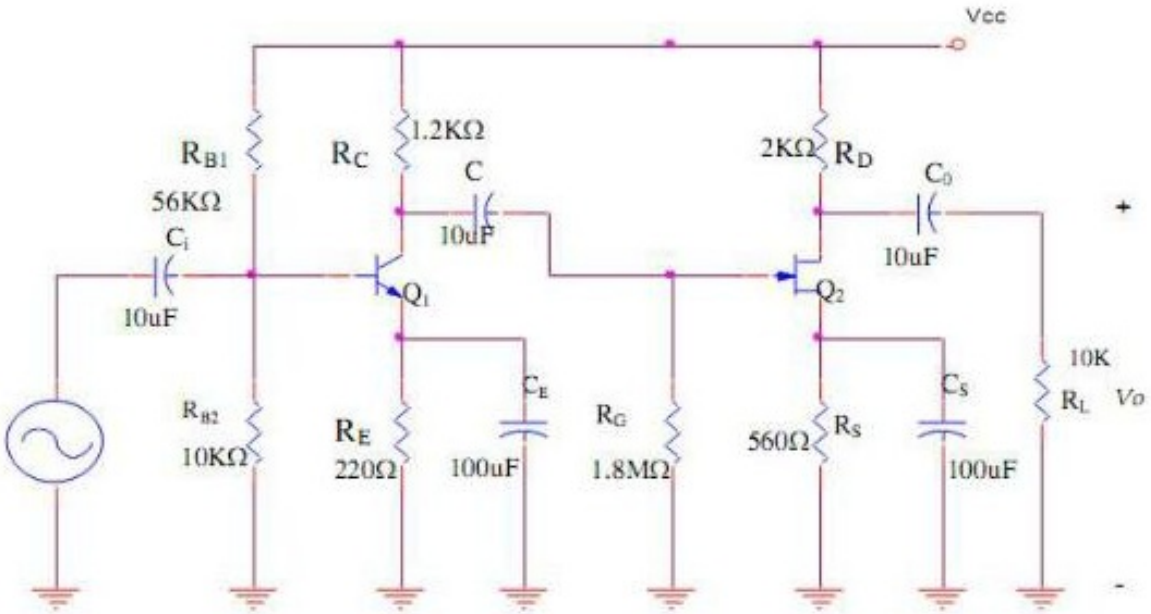
Dạng ghép này có ưu điểm là cách ly DC giữa các tầng khuếch đại.

➢ ***Nhược điểm***

Do đặc tuyến tần số là tổng hợp các đặc tuyến tần số của từng tầng vì vậy độ lợi băng thông của toàn mạch giảm so với từng tầng thành viên. Việc ghép RC còn gây ra sai lệch pha giữa tín hiệu vào và ra làm méo pha tín hiệu ngõ ra. Nếu mạch khuếch đại không cần độ chính xác cao, người ta vẫn sử dụng mạch ghép RC với những ưu điểm chính.

8.2.5. Ví dụ

Cho mạch ghép tầng RC như hình vẽ



Với Q_1 là transistor loại Si, $\beta = 100$; Q_2 có $I_{DSS} = 9mA$; $V_P = -4.5V$.

a. Tìm điểm làm việc của Q_1, Q_2.

b. Viết phương trình đường tải DCLL, ACLL của Q_2.

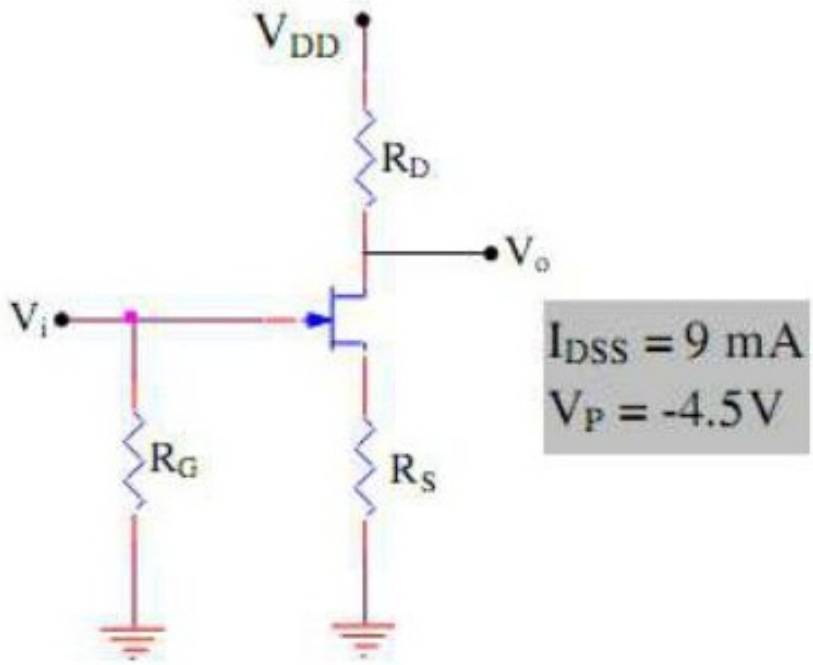
c. Tìm Z_i, Z_o, A_v.

d. Tìm biên độ tín hiệu ngõ ra cực đại khi chưa bị méo dạng.

Bài giải

a. Phân tích mạch ở chế độ DC

Xét tầng 2:



Ta có: do dòng điện $I_G = 0$

$$\begin{cases} V_{GS} = V_G - V_S = 0 - I_D R_S = -I_D R_S \\ I_D = I_{DSS}\left(1 - \dfrac{V_{GS}}{V_p}\right)^2 \end{cases}$$

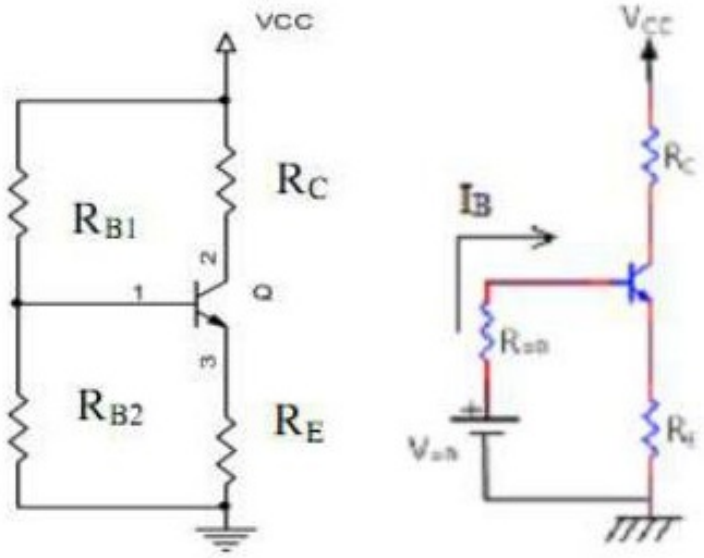
Giải hệ phương trình trên ta được: I_D, V_{GS}

$$V_{DD} = (R_D + R_S)I_D + V_{DS} = 16V$$

$$\Rightarrow V_{DS} = V_{DD} - (R_D + R_S)I_D$$

Vậy $Q_2(I_{DQ2}, V_{DSQ2}) = (3.2mA, 7.5V)$

Xét tầng 1:



$$V_B = V_{CC} x \frac{R_2}{R_1 + R_2} = 16x \frac{10}{10+47} = 2.42V \ ;$$

$$R_B = R_{B1} // R_{B2} = \frac{10 \times 56}{10+56} = 8.5K\Omega$$

$$I_C = \beta I_{BQ2} = \beta \frac{V_{BB} - V_{BE}}{R_{BB} + (\beta+1)R_E} = 5.6(mA)$$

$$V_{CEQ} = V_{CC} - I_{CQ2}(R_E + R_C) = 7.9V$$

Vậy $Q_1(I_{CQ1}, V_{CEQ1}) = (5.6mA, 7.9V)$

b.

(DCLL): $I_D = \frac{-V_{DS}}{R_D + R_S} + \frac{V_{DD}}{R_D + R_S}$

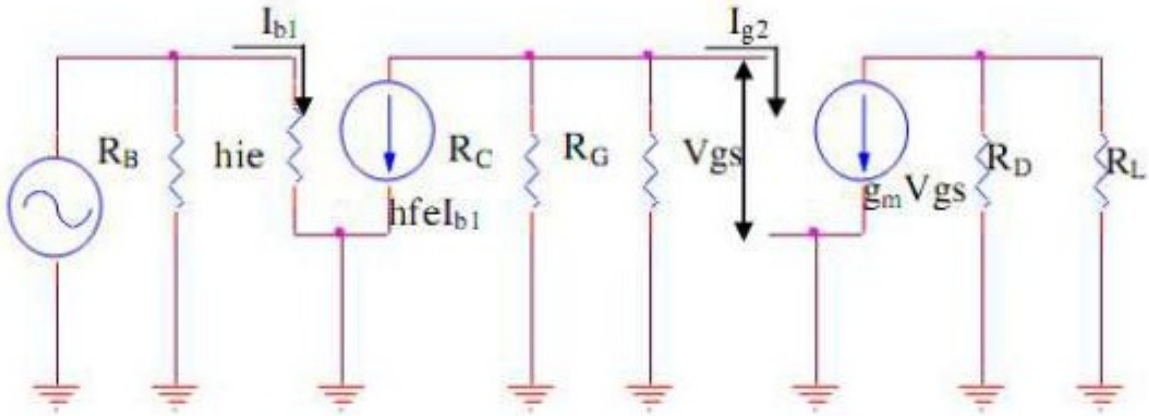
$$\Rightarrow I_D = -0.369V_{DS} + 6.25(mA)$$

(ACLL): $I_D = \frac{-V_{DS}}{R_{ac}} + \frac{V_{DSQ}}{R_{ac}} + I_{DQ}$

$$\Rightarrow I_D = -0.59V_{DS} + 7.67(mA)$$

Với $R_{ac} = R_D//R_L = 2k//10k = 1.7k$

c. Phân tích mạch ở chế độ AC



$$r_e = \frac{26mV}{I_{EQ1}} = \frac{26}{5.5} = 4.73(\Omega)$$

$$h_{ie} = \beta r_e = 100x4.73 = 0.473(k\Omega)$$

$$g_m = \left|2\frac{I_{DSS}}{V_p}\right|\left(1-\frac{V_{GS}}{V_p}\right)$$

$$Z_i = R_B//h_{ie} = 0.45(k\Omega)$$

$$Z_0 = R_D = 2k$$

$$A_{V1} = \frac{V_{O1}}{V_{i1}} = -\frac{h_{fe1}I_{b1}x(R_G // R_C)}{h_{ie}I_{b1}} = -253.53$$

$$A_{V2} = \frac{V_{O2}}{V_{i2}} = -\frac{g_m V_{gs}(R_D // R_L)}{V_{gs}} = -\left|2\frac{I_{DSS}}{V_p}\right|\left(1-\frac{V_{GS}}{V_p}\right)(R_D // R_L) = -4$$

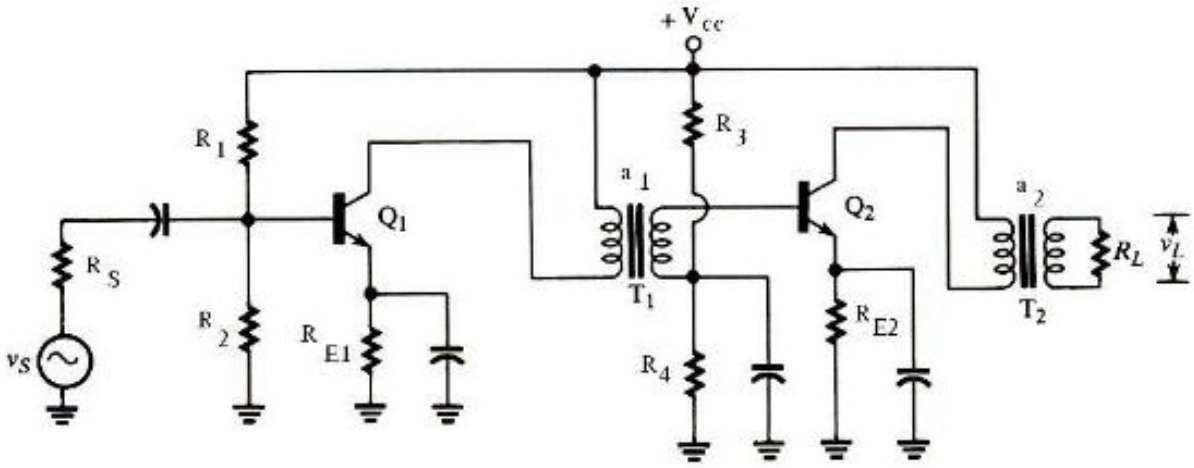
$$A_V = A_{V1}xA_{V2} = (-253.53)x(-4) = 1012$$

d. Maxswing = 2min[V_{DSQ}, I_{DQ}xRac] = 2[7.5 ; 3.2x1.7] = 10.88(V)

8.3. MẠCH KHUẾCH ĐẠI GHÉP BIẾN ÁP

8.3.1. Giới thiệu

Mạch khuếch đại ghép biến áp như hình 8.6. Trong đó tầng khuếch đại thứ nhất truyền tín hiệu qua tầng khuếch đại thứ hai bằng máy biến áp a_1.



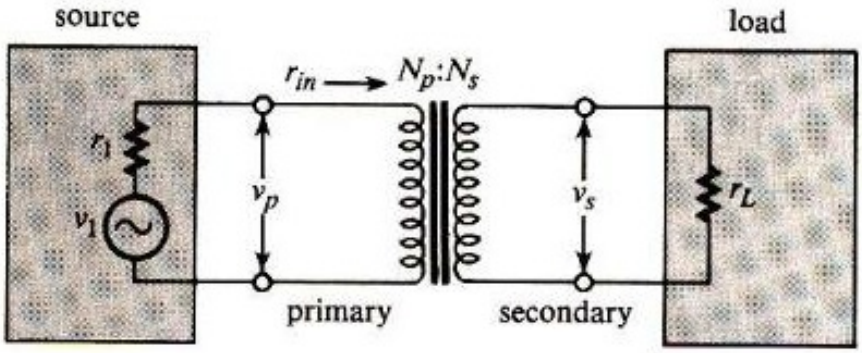
Hình 8.6. *Mạch khuếch đại ghép biến áp.*

Ở chế độ tĩnh (DC) ta có DCLL:

$$V_{CC} = I_{C2}R_{E2} + V_{CE} \Rightarrow I_{C2} = -\frac{1}{R_{E2}}V_{CE} + \frac{V_{CC}}{R_{E2}}$$

Đặc điểm của máy biến áp

Xét máy biến áp lý tưởng ri ->0 đối với dòng DC như hình 8.6



Hình 8.7. *Đặc điểm của máy biến áp*

Với a: Tỷ số cuộn sơ cấp trên cuộn thứ cấp

$$\frac{v_p}{v_s} = \frac{N_p}{N_S} = a\ ; \qquad (8.5)$$

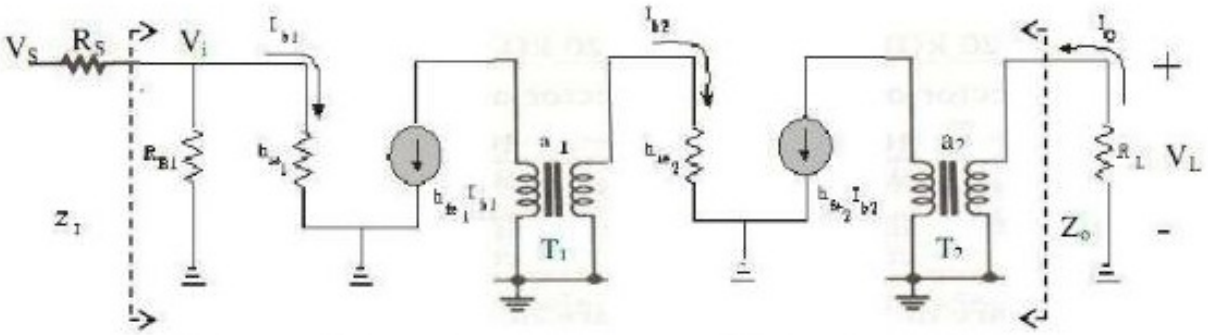
$$r_{in} = \left(\frac{N_p}{N_S}\right)^2 r_L = a^2 R_L \qquad (8.6)$$

N_p: số vòng dây cuộn sơ cấp

N_S: số vòng dây cuộn thứ cấp

8.3.2. Các thông số của mạch ở chế độ AC

Xét mạch khuếch đại ghép biến áp như hình 8.6, mạch điện tương đương với tín hiệu AC như hình 8.8. Ta bỏ qua giá trị $V_{hoe} \to \infty$.



Hình 8.8. *Mạch điện tương đương khi xét với tín hiệu AC.*

Các thông số của mạch:

Tổng trở vào $$Z_i = \frac{V_i}{I_i} = R_1 // R_2 // h_{ie1}$$

Tổng trở ngõ ra $$Z_o = \left.\frac{V_o}{I_o}\right|_{Vi=0} = Z_{o2} = \frac{r_{o2}}{a_2^2} // \frac{1}{hoe} \approx \frac{r_{o2}}{a_2^2}$$

($1/h_{oe}$ là điện trở mối nối giữa hai cực CE của BJT rất lớn tương đương tiến về vô cùng)

Hệ số khuếch đại điện áp:

$$A_V = A_{V_1} \times \frac{1}{a_{a1}} \times A_{V_2} \times \frac{1}{a_2}$$

Trong đó

$$A_{V_1} = -\frac{h_{fe1}(r_{O1} // a_1^2 h_{ie2})}{h_{ie1}};$$

$$A_{V_2} = -\frac{h_{fe2}(r_{O2} // a_2^2 R_L)}{h_{ie2}}$$

Ta có: $V_i = V_S \times \frac{Z_i}{Z_i + R_S}$

Suy ra: $Av_S = \frac{V_0}{V_S} = \frac{V_0}{V_i} \times \frac{V_i}{V_S} = A_V \frac{V_i}{V_S} = A_V \times \frac{Z_i}{Z_i + R_S}$

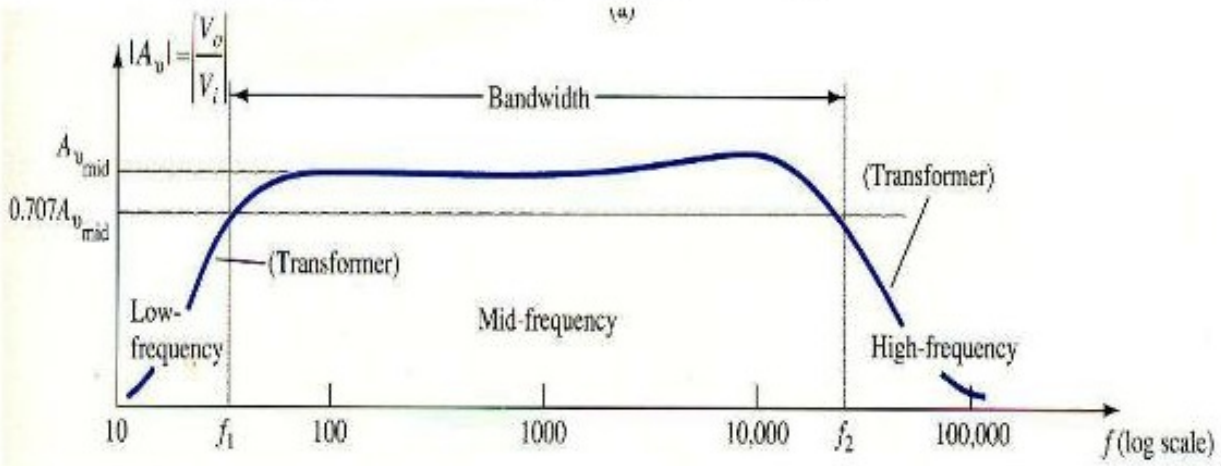
Hệ số khuếch đại dòng điện: $A_i = A_{i_1} \times a_1 \times A_{i_2} \times a_2 = -A_V \dfrac{Z_i}{R_L}$

Từ công thức: $A_I = \dfrac{I_0}{I_i} = \dfrac{V_0}{R_L} \times \dfrac{Z_i}{V_i} = A_V \dfrac{Z_i}{R_L}$

Và $I_S = I_i = \dfrac{V_S}{R_S + Z_i}$

Suy ra: $A_I = A_{IS}$

8.3.3. Đáp ứng tần số của mạch ghép biến áp



Hình 8.9. *Đáp ứng tần số của mạch ghép biến áp*

8.3.4. Ưu và nhược điểm của mạch ghép biến áp

➢ ***Ưu điểm:*** Dạng ghép này cách ly DC rất tốt và ghép biến áp có hiệu quả hơn ghép RC do R_C trong mạch ghép biến áp xét với nguồn DC gần như bằng không do đó hiệu suất của mạch được cải tiến.

➢ ***Khuyết điểm:*** Kích thước mạch lớn và đáp ứng tần số của mạch bị giảm do cảm kháng của cuộn dây, giá thành cao.

8.3.5. Ví dụ

Cho mạch điện như hình vẽ

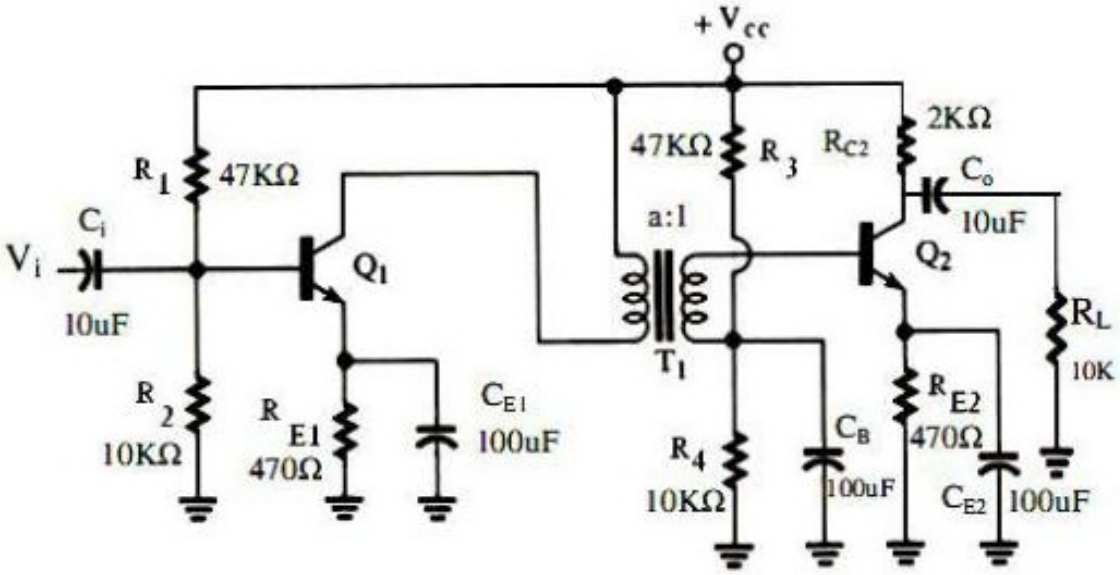
Cho $V_{CC} = 12V$; Q_1, Q_2 là transistor loại Si, $\beta_1 = \beta_2 = 100$; Biến áp lý tưởng có hệ số vòng dây quấn a:1 = 5:1.

a. Tìm điểm làm việc của Q_1, Q_2.

b. Viết phương trình đường tải DCLL, ACLL của Q_2

c. Tìm Z_i, Z_o, A_v, A_I

d. Tìm biên độ tín hiệu ngõ ra cực đại khi chưa bị méo dạng

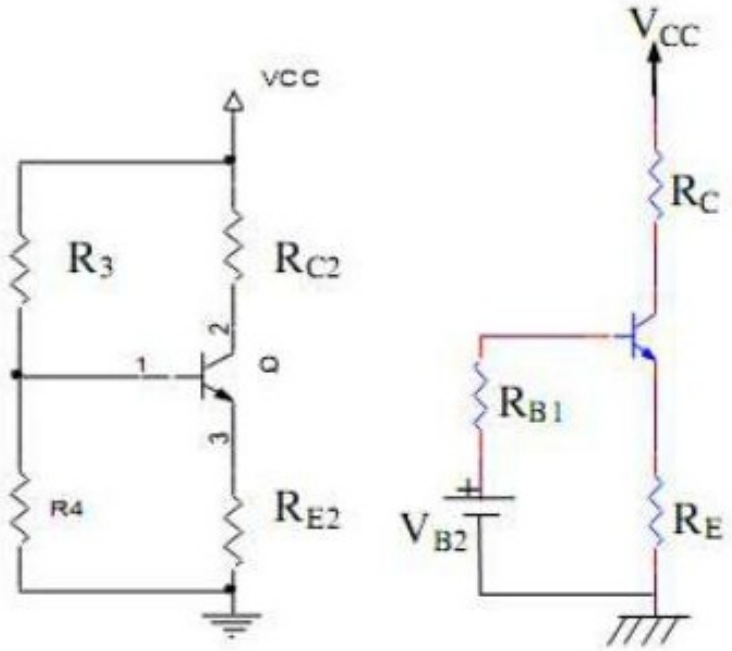


Bài giải

a. Phân tích mạch ở chế độ DC

<u>Xét tầng 2:</u>

Mạch tương đương Thevenin



$$V_{B2} = V_{B1} = V_{CC} x \frac{R_2}{R_1 + R_2} = 12x\frac{10}{10+47} = 2.1V$$

$$R_{B1} = R_{B2} = R_3 // R_4 = \frac{R_3 x R_4}{R_3 + R_4} = \frac{10x47}{10+47} = 8.24K$$

$$V_{BB2} = I_{B2}R_{B2} + V_{BE} + I_{E2}R_{E2}$$

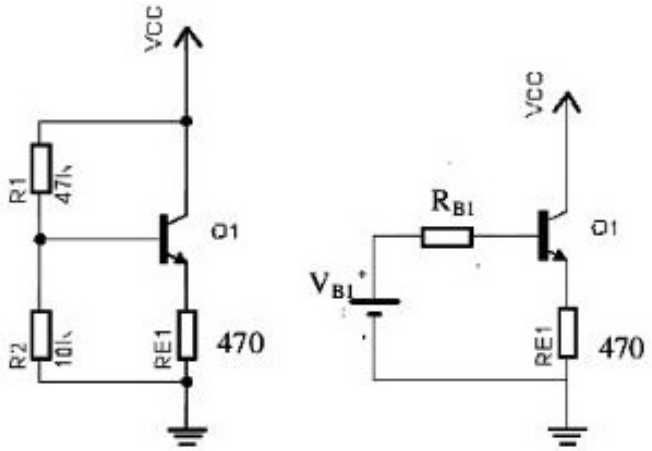
$$\Rightarrow I_{CQ2} = I_{EQ2} = \frac{V_{BB2} - V_{BE}}{\frac{R_{B2}}{\beta} + R_{E2}} = \frac{2.1-0.7}{\frac{8.25}{100} + 0.47} = 2.5(mA)$$

$$V_{CEQ2} = V_{CC} - I_{CQ2}(R_{E_2} + R_{C2}) = 12 - 2.5x(2+0.47) = 5.7(V)$$

Vậy $Q_2(I_{CQ2}, V_{CEQ2}) = (2.5mA, 5.7V)$

<u>Xét tầng 1</u>:

Mạch tương đương Thevenin



$$V_{B1} = V_{CC} x \frac{R_2}{R_1 + R_2} = 12x\frac{10}{10+47} = 2.1V$$

$$R_{B1} = R_1 // R_2 = \frac{R_1 x R_2}{R_1 + R_2} = \frac{10x47}{10+47} = 8.24K$$

Mạch vòng

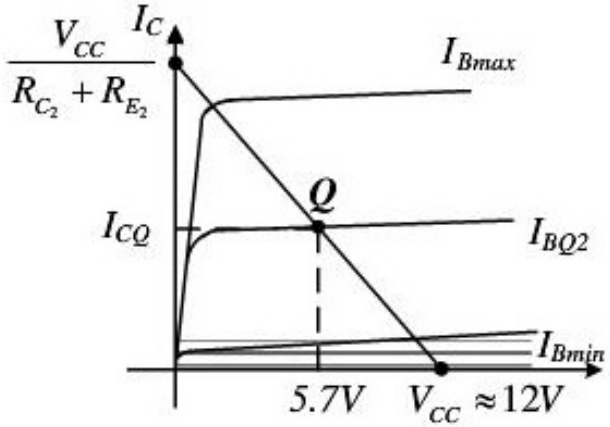
$$V_{BB1} = I_{B1}R_{B1} + V_{BE} + I_{E1}R_{E1}$$

$$\Rightarrow I_{CQ1} = \frac{V_{BB} - V_{BE}}{\frac{R_{B1}}{\beta} + R_{E1}} = \frac{2.1-0.7}{\frac{8.25}{100} + 0.47} = 2.5(mA)$$

$$V_{CEQ1} = V_{CC} - I_{CQ1}R_{E1} = 12 - 2.5x0.47 = 10.8(V)$$

Vậy $Q_1(I_{CQ1}, V_{CEQ1}) = (2.5mA, 10.8V)$

b. Đường tải tĩnh DCLL



$$I_{C2} = \frac{-V_{CE2}}{R_{C2}+R_{E2}} + \frac{V_{CC}}{R_{C2}+R_{E2}} = \frac{-V_{CE2}}{2.47} + \frac{12}{2.47}$$

$$\Rightarrow I_{C2} = -0.4V_{CE2} + 4.858(mA)$$

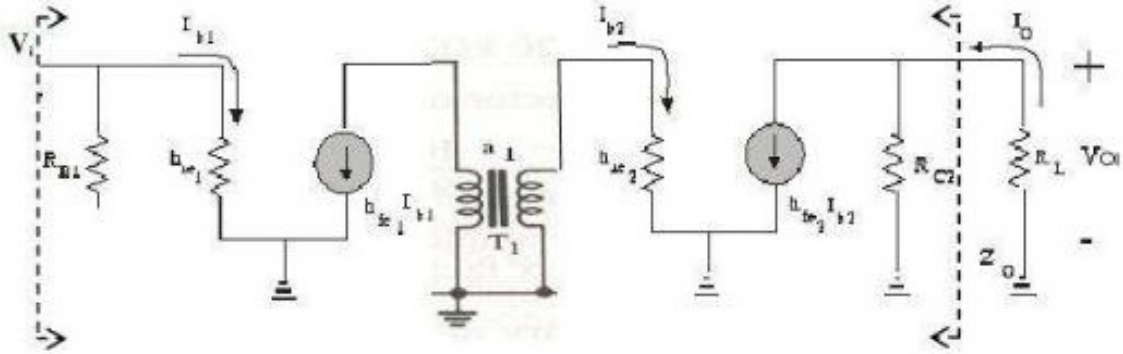
Đường tải động ACLL

$$I_{C\Sigma 2} = \frac{-V_{CE\Sigma 2}}{R_{ac}} + \frac{V_{CEQ_2}}{R_{ac}} + I_{CQ_2} = \frac{-V_{CE2}}{1.7} + \frac{5.7}{1.7} + 2.5(mA)$$

$$\Rightarrow I_{C\Sigma 2} = -0.6V_{CE\Sigma 2} + 5.85(mA)$$

Với $R_{ac} = R_{C2}//R_L = 2k//10k = 1.7k$

c. Phân tích mạch ở chế độ AC (Bỏ qua giá trị $1/h_{oe} \to \infty$)



$$r_{e1} = r_{e2} = \frac{26mV}{I_{EQ1}} = \frac{26}{2.5} = 10.4(\Omega)$$

$$h_{ie1} = h_{ie2} = \beta r_{e1} = 100x10.4 = 1{,}04k$$

$Z_i = R_{B1}//h_{ie1} = 8.24//1.04 \approx 1k$

$Z_0 = R_{c2} = 2k$

$$A_{V1} = \frac{V_{O1}}{V_{i1}} = -\frac{h_{fe1} I_{b1} x(a^2 h_{ie2})}{h_{ie1} I_{b1}} = -25x100 = -2500$$

$$A_{V2} = \frac{V_{O2}}{V_{i2}} = -\frac{h_{fe2} I_{b2} x(R_{C2} // R_L)}{h_{ie2} I_{b2}} = -\frac{(R_{C2} // R_L)}{r_{e2}} = -\frac{1.7}{10.4} x10^3 = -163.46$$

$$A_V = \frac{A_{V1} x A_{V2}}{5} = \frac{(-2500)x(-163.46)}{5} = 81730$$

$$|A_I| = \left| -A_V \frac{Z_i}{R_L} \right| = 81730x\frac{1}{10} = 8173$$

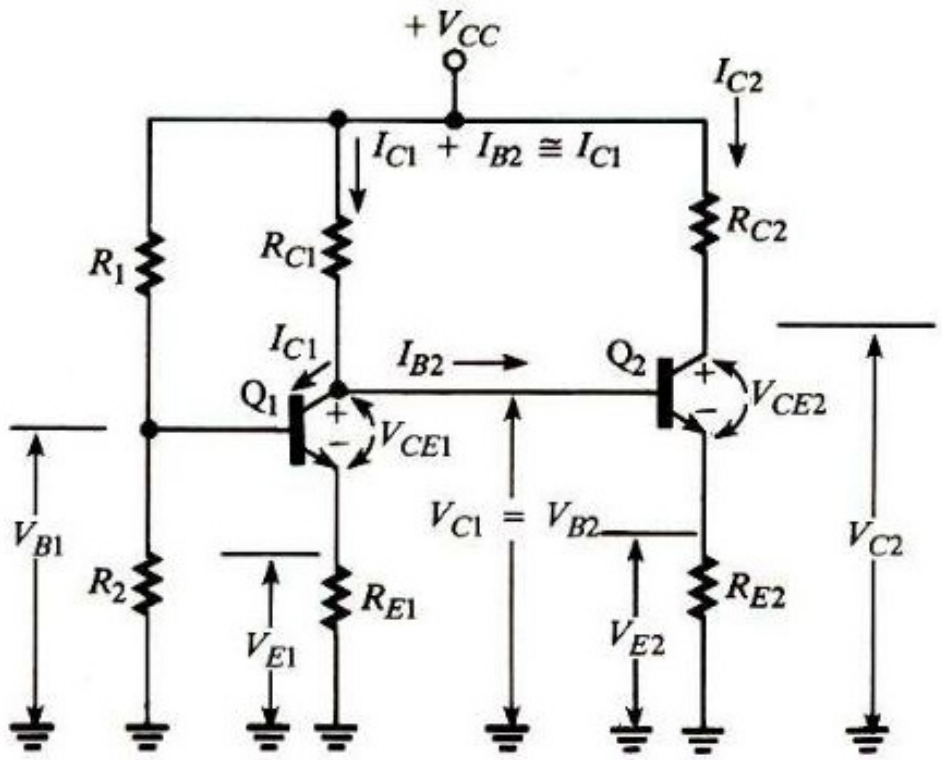
d. Maxswing = 2min[V_{CEQ2}, $I_{CQ2}xR_{ac}$] = 2[5.7 ; 2.5x1.7] = 8.5(V)

8.4. MẠCH KHUẾCH ĐẠI GHÉP TRỰC TIẾP

8.4.1. Giới thiệu

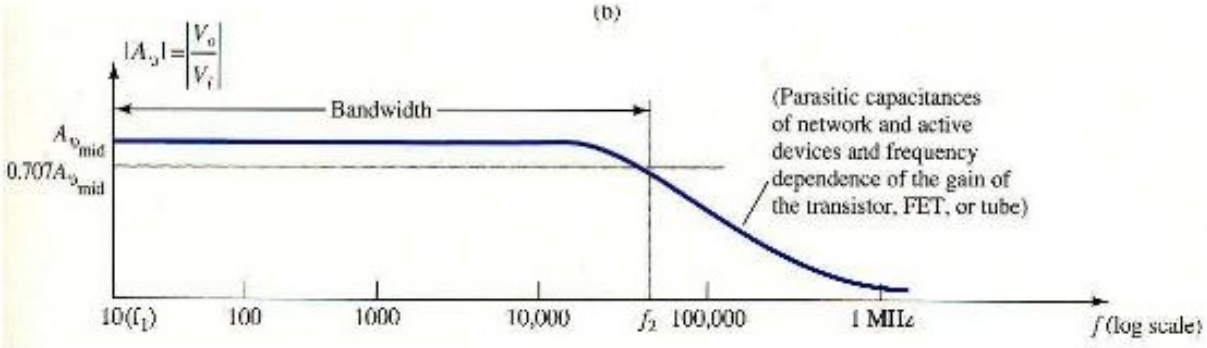
Mạch hình 8.10 là dạng mạch khuếch đại ghép trực tiếp, trong đó các tầng khuếch đại được liên lạc trực tiếp với nhau.

Phân tích AC tương tự như mạch ghép RC.



Hình 8.10: *Mạch khuếch đại ghép trực tiếp.*

8.4.2. Đáp ứng tần số của mạch



Hình 8.11. Đáp ứng tần số của mạch ghép tầng trực tiếp

8.4.3. Ưu và nhược điểm của mạch ghép tầng trực tiếp

➢ ***Ưu điểm***

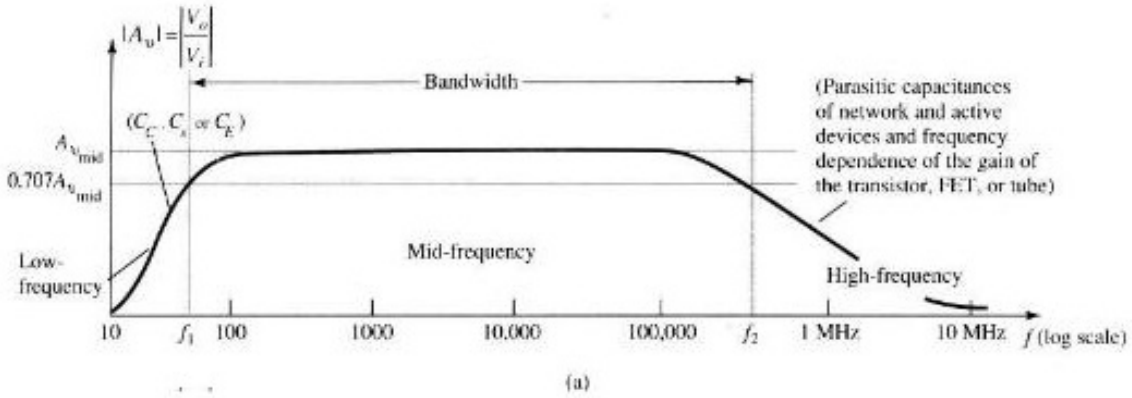
- Tránh được ảnh hưởng của các tụ liên lạc ở tần số thấp, do đó tần số cắt dưới có thể xuống rất thấp.
- Tránh được sự cồng kềnh cho mạch.
- Điện thế tĩnh ra của tầng đầu cung cấp điện thế tĩnh cho tầng sau.

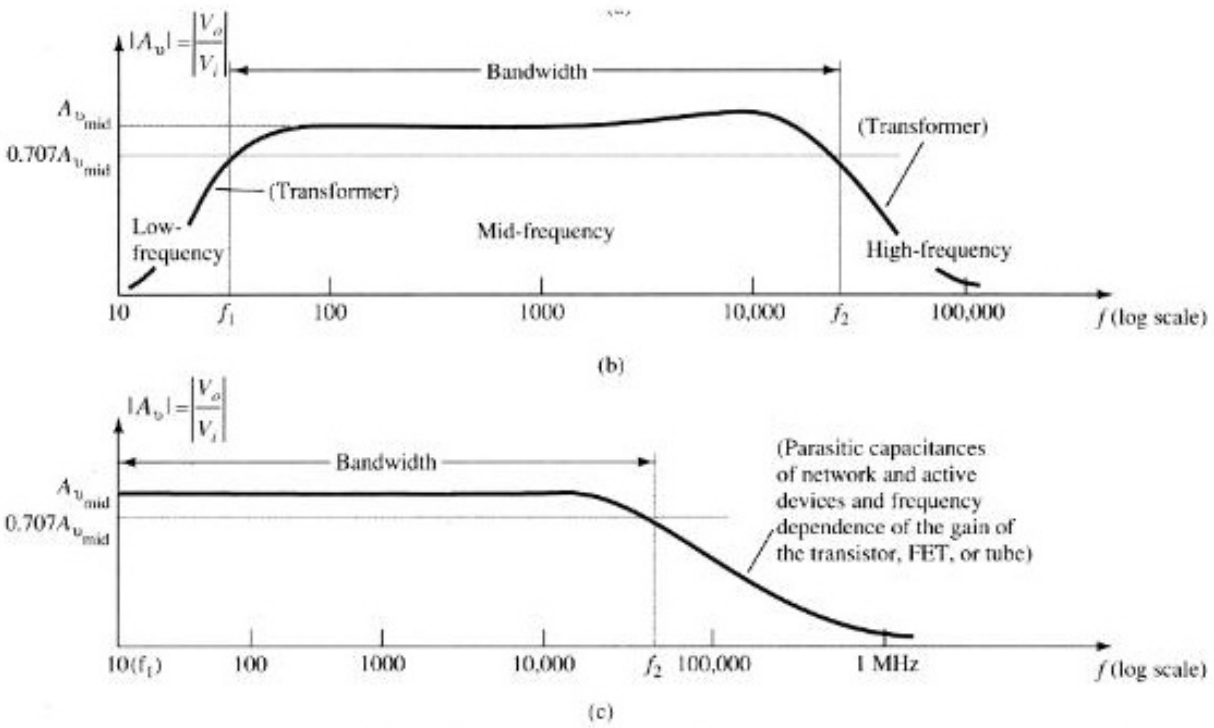
➢ ***Khuyết điểm***

- Sự trôi dạt điểm làm việc của tầng thứ nhất sẽ ảnh hưởng đến phân cực của tầng thứ hai, vấn đề chính của loại liên lạc trực tiếp là ổn định sự phân cực.
- Nguồn điện thế phân cực thường có trị số lớn nếu ta dùng cùng một loại BJT. Cách tính phân cực thường được áp dụng trên toàn bộ mạch mà không thể tính riêng từng tầng.

8.4.4. So sánh đáp ứng tần số của các mạch ghép tầng

Hình (8.12) sẽ trình bày rõ về sự ảnh hưởng của các cách ghép các tầng khuếch đại lên đáp ứng tần số của mạch khuếch đại:



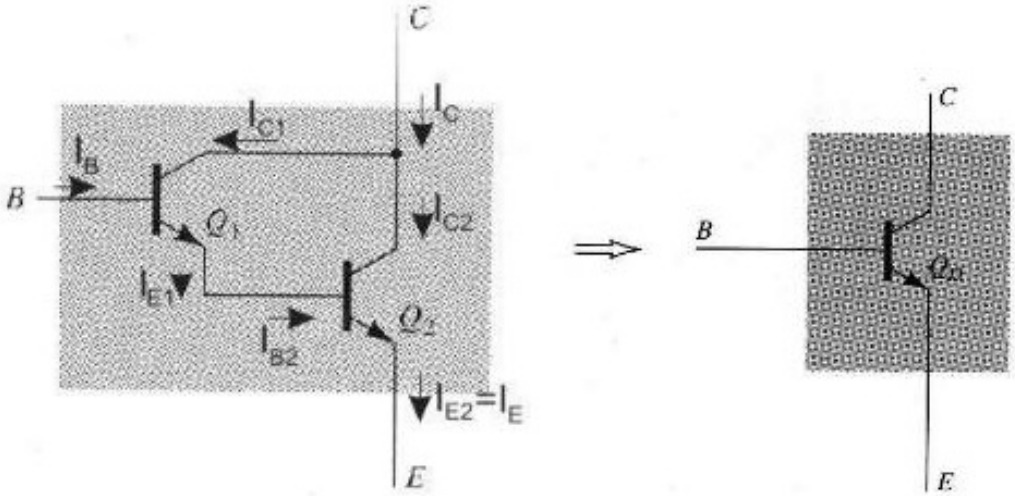


Hình 8.12. *Đáp ứng tần số của mạch khuếch đại: a.Ghép R-C;b. Biến áp; c.Ghép trực tiếp*

8.5. MẠCH KHUẾCH ĐẠI GHÉP DARLINGTON

8.5.1. Giới thiệu

Ghép trực tiếp là ghép 2 transistor trực tiếp không qua các linh kiện trung gian. Hình 8.13a là dạng hai transistor npn ghép Darlington với nhau, khi đó có thể xem như tương đương một transistor có các cực B, C và E như hình 8.13b.



(a) *(b)*

Hình 8.13: *a. Hai transistor ghép Darlington; b. Transistor tương đương*

Điều kiện cần và đủ để hai transistor ghép biến đổi sang một transistor tương đương là cả hai transistor phải cùng trạng thái và transistor tương đương sẽ có các cực là cực của BJT thứ nhất tính từ nguồn và chủng loại bán dẫn của transistor thứ nhất. Transistor thứ hai chỉ có vai trò khuếch đại dòng điện.

Giả sử β_1, β_2 là hệ số khuếch đại dòng điện dc của transistor Q_1 và Q_2, khi đó ta có:

$$I_{C1} = \beta_1 I_{B1}$$

$I_{E1} = (\beta_1 + 1)I_{B1}$;Ta có $I_{E1} = I_{B2}$, nên: $I_{C2} = \beta_2 I_{B2} = \beta_2(\beta_1 + 1)I_{B1}$

Và:

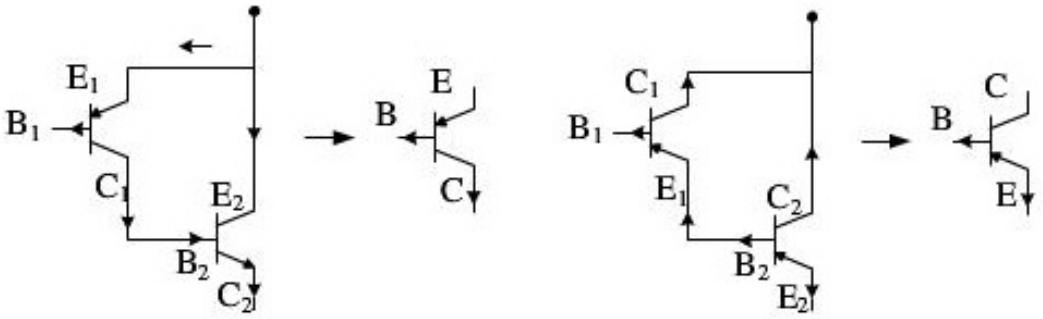
$I_C = I_{C1} + I_{C2} = \beta_1 I_{B1} + \beta_2(\beta_1 + 1)I_{B1} = [\beta_1\beta_2 + (\beta_1 + \beta_2)]I_{B1}$;

Biết được $I_B = I_{B1}$

Và $I_C = [\beta_1\beta_2 + (\beta_1 + \beta_2)]I_B$; Vậy transistor tương đương có hệ số β là:

$$\beta = {I_C}/{I_B} = \beta_1\beta_2 + \beta_1 + \beta_2 \cong \beta_1\beta_2 \qquad (8.7)$$

Khi hai transistor mắc Darlington sẽ tương đương một transistor có hệ số khuếch đại dòng rất lớn ("super-β") bằng tích của 2 transistor $\beta = \beta_1 \times \beta_2$, đây là ưu điểm của mạch mắc Darlington.



a. b. c. d.

Hình 8.14. *Transistor tương đương của mạch ghép Darlington*

Trong hình 8.14.a ta thấy Q_1 là transistor PNP, Q_2 là NPN, xét điều kiện để biến đổi thành transistor tương đương khi Q_1 ở trạng thái ngắt: I_{B1} = 0 ta có: $I_{C1} = I_{B2} = 0$ suy ra $I_{C2} = 0$, như vậy Q_2 cũng ở trạng thái ngắt và khi Q_1 chuyển sang trạng thái dẫn, tương tự như vậy Q_2 cũng ở trạng thái dẫn, ta có thể kết luận 2 transistor cùng trạng thái. Theo điều kiện cần và đủ để xác

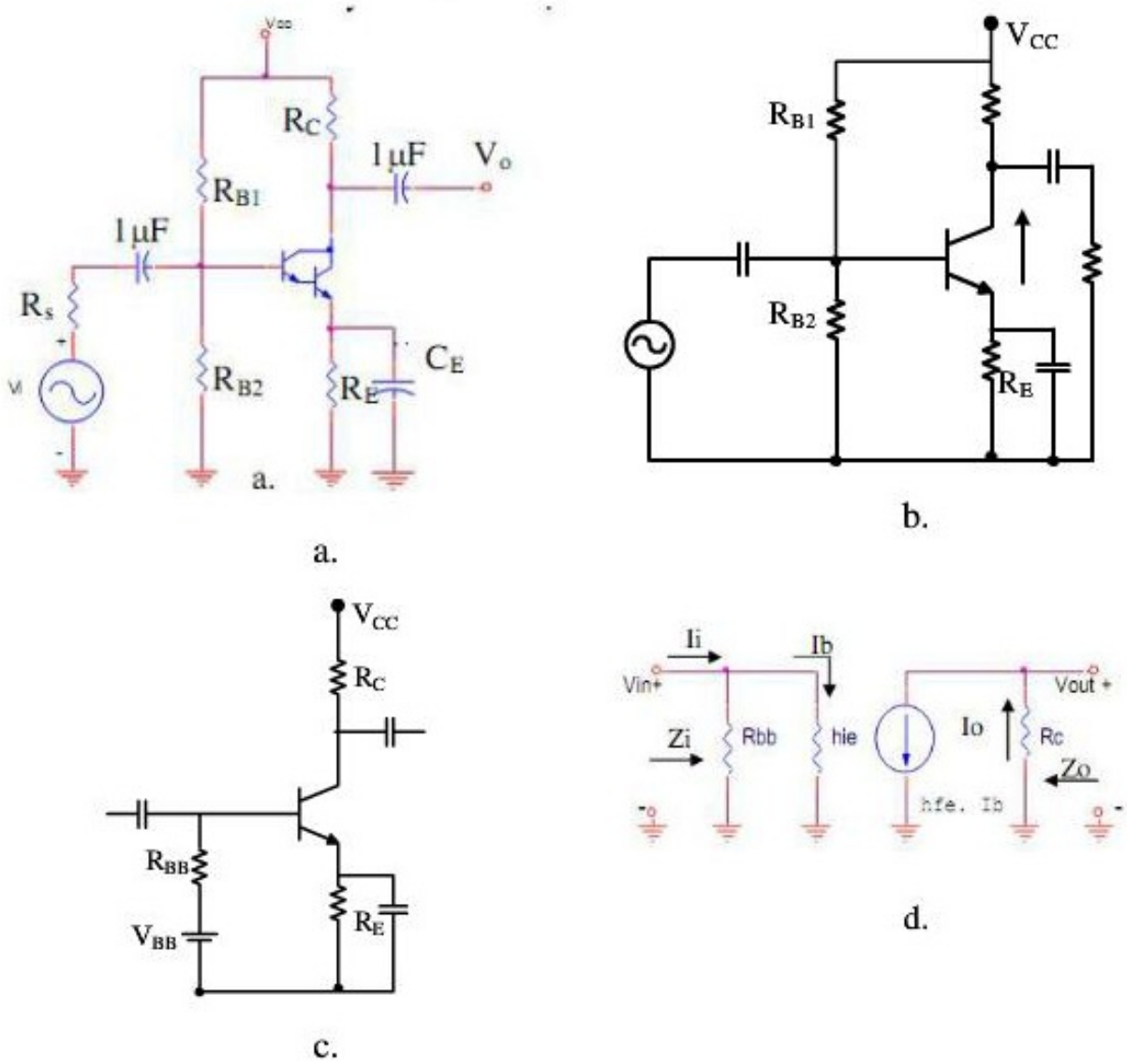
định transistor tương đương ta có cực và chủng loại của transistor thứ nhất tính từ nguồn tín hiệu như vậy hình 8.14b cho thấy transistor tương đương trong trường hợp này là PNP và có hệ số khuếch đại $ß = ß_1 . ß_2$.

Trên hình 8.14(c,d) ta cũng có transistor tương đương là chủng loại PNP.

8.5.2. Phân tích mạch ở chế độ DC

Ví dụ: Cho mạch khuếch đại như hình 8.15 sử dụng Si NPN:

1. Tính điểm tĩnh Q.
2. Tính các tham số xoay chiều của mạch.



8.15. Mạch khuếch đại ghép Darlington:

a. Mạch khuếch đại ghép Darlington chung C_E; b. Mạch phân cực cầu phân áp; c. Mạch tương đương; d. Sơ đồ tương đương tín hiệu nhỏ.

***Giải*:**

Xét chế độ tĩnh ta có thể vẽ sơ đồ với BJT transistor tương đương

Phương trình phân cực:

$$R_{BB} = R_{B1} \backslash\backslash R_{B2};\ V_{BB} = \frac{R_{B2}}{R_{B1} + R_{B2}}.V_{CC}$$

Công thức:

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB} + (\beta + 1) R_E}$$

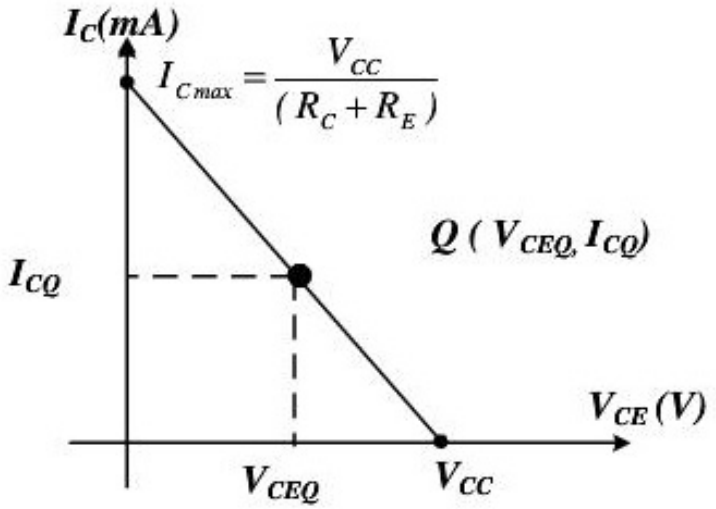
$$I_C = \beta I_B$$

Phương trình đường tải tĩnh DCLL:

$$V_{CC} = I_C (R_C + R_E) + V_{CE};\ I_C = -\frac{1}{R_C + R_E}.V_{CE} + \frac{V_{CC}}{R_C + R_E}$$

Ta có giá trị V_{CEQ} sử dụng phương trình đường tải tĩnh:

$$V_{CEQ} = V_{CC} - I_{CQ}(R_C + R_E)$$



8.5.3. Phân tích mạch ở chế độ AC

Để phân tích mạch ở chế độ AC sử dụng ví dụ trên hình 8.15. Xét sơ đồ tương đương tín hiệu nhỏ hình 8.15d, ta có thể tính điện trở ngõ vào giữa cực B và E (r_e) đối với tín hiệu nhỏ của transistor tương đương.

Ta có:

$r_e \approx \frac{V_T}{I_E} \approx \frac{0.026}{I_E}\Omega$ tại nhiệt độ phòng. Vì $I_{C2} \approx I_{E2}$, ta có $r_{e2} \approx \frac{0.026}{I_{C2}}\Omega$;

Mà $I_C = I_{C1} + I_{C2} \approx I_{C2}$; Vậy $r_{e2} \approx \frac{0.026}{I_C}\Omega$;

Điện trở nhìn vào từ cực B của Q_2: $h_{ie2} \approx \beta_2 r_{e2}$; Và $r_{e1} \approx \frac{0.026}{I_{E1}}\Omega$;

$I_{E2} \approx \beta_2 I_{B2} = \beta_2 I_{E1}$;

Vậy $r_{e1} \approx \beta_2\left(\frac{0.026}{I_{E2}}\right) = \beta_2 r_{e2}$

Tổng điện trở nhìn vào từ cực B và E của transistor tương đương, hay điện trở ngõ vào của transistor tương đương là:

$$h_{ie} = \beta_1(r_{e1} + \beta_2 r_{e2}) \approx 2\beta_1\beta_2 r_{e2} \quad (8.8)$$

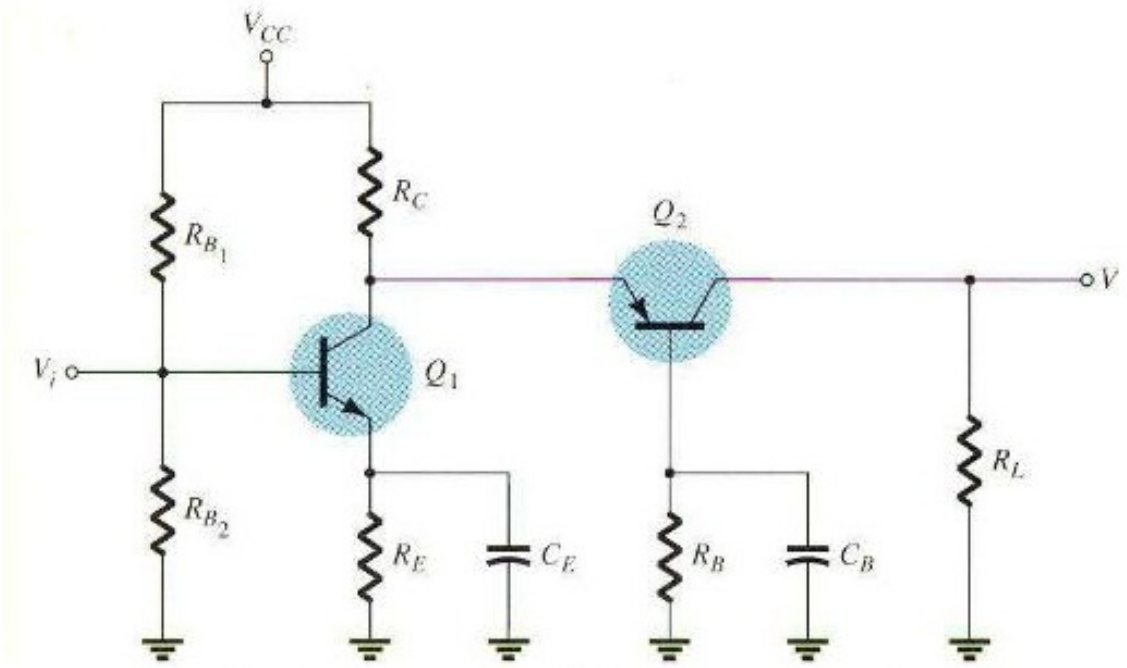
Hay $$r_e = \frac{h_{ie}}{\beta} = \frac{2\beta_1\beta_2 r_{e2}}{\beta_1\beta_2} = 2r_{e2} \quad (8.9)$$

Ưu điểm thứ hai của mạch ghép Darlington là có điện trở ngõ vào rất lớn. Trong trường hợp mạch mắc CC nếu sử dụng hai transistor mắc Darlington sẽ cho điện trở ngõ vào lớn hơn nhiều so với trường hợp sử dụng một transistor.

8.6. MẠCH KHUẾCH ĐẠI GHÉP CASCODE

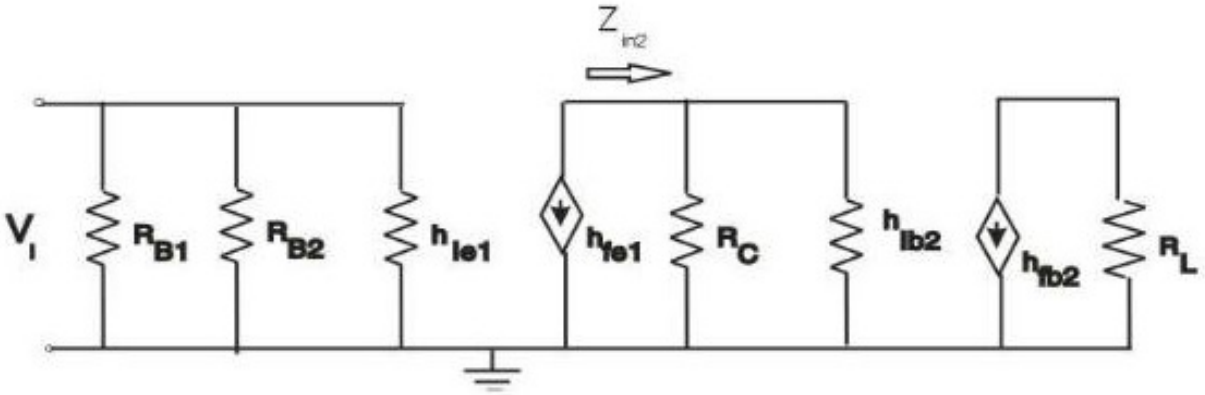
Đây cũng là một dạng ghép trực tiếp nhưng gồm một transistor mắc chung E điều khiển trực tiếp một transistor mắc chung Base. Loại mạch này có nhiều lợi điểm ở tần số cao.

Một ví dụ cho mạch ghép Cascode ở hình 8.16.



Hình 8.16. *Mạch khuếch đại ghép Cascode*

Để phân tích đặc điểm của mạch này ta vẽ lại sơ đồ tương tương tín hiệu nhỏ như hình 8.17. Bỏ qua giá trị $1/h_{oe} \to \infty$.



Hình8.17. *Sơ đồ tương tương tín hiệu nhỏ của mạch hình 8.16*

Ta có: $Z_{in2} = h_{ib2} = r_{e2}$

Mà: $R_{L1} = Z_{in2}$

Vậy: $A_{v1} \approx -\dfrac{h_{fe1}(R_{L1} // R_C)}{h_{ie1}}$

Nếu $r_{e2} << R_C$, thì: $A_{v1} \approx -\dfrac{h_{fe1}(R_{L1} // R_C)}{h_{ie1}} = -\dfrac{h_{fe1} r_{e2}}{h_{ie2}} = -\dfrac{r_{e2}}{r_{e1}}$

Nếu 2 hai transistor Q_1 và Q_2 có cùng thông số, thì: $A_{v1} \approx -1$

Và $A_{v2} \approx -\dfrac{R_L}{r_{e2}}$

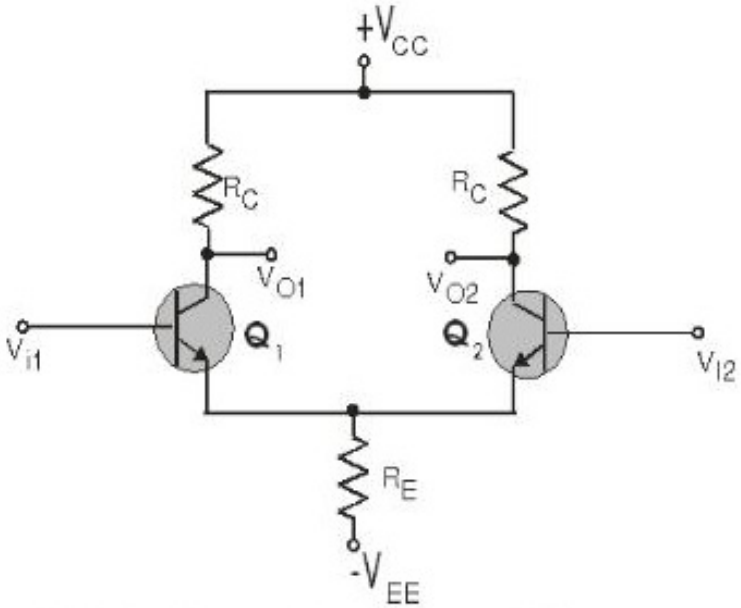
Vậy: $A_v = A_{v1}A_{v2} = -A_{v2}$ (8.10)

Và: $A_i = A_{i1}A_{i2} = A_{i1}$ vì $A_{i2} \approx 1$ (8.11)

Từ công thức 8.10, ta thấy rằng mạch CB đóng vai trò là khuếch đại điện áp. Còn mạch CE đóng vai trò khuếch đại dòng điện.

8.7. MẠCH KHUẾCH ĐẠI GHÉP VI SAI

Mạch khuếch đại vi sai cũng là một dạng ghép trực tiếp đặc biệt, một dạng cơ bản của mạch khuếch đại vi sai như hình 8.18.



Hình 8.18. *Mạch khuếch đại ghép vi sai.*

8.7.1. Đặc điểm của mạch khuếch đại vi sai cơ bản ở trạng thái cân bằng

Hai mạch khuếch đại đối xứng nhau theo đường thẳng đứng và cực E của hai transistor nối chung với nhau có:

- $V_{CC} = V_{EE}$: Mạch được phân cực bằng hai nguồn điện thế đối xứng (âm, dương) để có các điện thế ở cực nền bằng 0 volt (hầu hết các mạch khuếch đại vi sai dùng hai nguồn điện áp, nhưng nó cũng có thể hoạt động khi sử dụng một nguồn đơn).
- $R_{C1} = R_{C2} = R_C$.
- Q_1 giống Q_2.

- Hai mạch khuếch đại đối xứng nhau và cực E của 2 transistor nối chung với nhau.
- Mạch vi sai có 2 ngõ vào V_{i1}, V_{i2} và 2 ngõ ra V_{o1}, V_{o2}.

➢ **Có hai phương pháp lấy tín hiệu ra**

- Phương pháp ngõ ra vi sai: tín hiệu được lấy ra giữa 2 cực thu.
- Phương pháp ngõ ra đơn cực: tín hiệu được lấy ra giữa cực thu và mass.

Tín hiệu ngõ vào có hai loại:

1. Tín hiệu cách chung ngõ vào (Common Input Signal). Đây là tín hiệu nhiễu đồng pha (cùng pha và cùng biên độ) $v_{ic1} = v_{ic2} = v_{ic}$

$$V_{O1} = A_{VC1}.\ V_{i1}$$

$$V_{O2} = A_{VC2}.\ V_{i2}$$

Trong đó A_{VC} là độ khuếch đại của một transistor và được gọi là độ lợi cho tín hiệu cách chung (common mode gain).

2. Tín hiệu vào visai (Differential Input Signal):

Hai tín hiệu ngõ vào cùng biên độ nhưng ngược pha.

$$v_{id} = v_{id1} = -v_{id2} = -\frac{v_{id}}{2}$$

Gọi tín hiệu vi sai là tín hiệu ac cần khuếch đại và chúng ngược pha với nhau 180°. Gọi A_{vd} là hệ số khuếch đại tín hiệu visai, A_c là hệ số khuếch đại tín hiệu nhiễu (khuếch đại tín hiệu cách chung)

Ta có:

$$V_{o1} = A_d V_{i1} + A_c V_{ic1} = A_d \frac{V_{id}}{2} + A_c V_{ic}$$

$$V_{o2} = A_d V_{i2} + A_c V_{ic2} = A_d \frac{-V_{id}}{2} + A_c V_{ic}$$

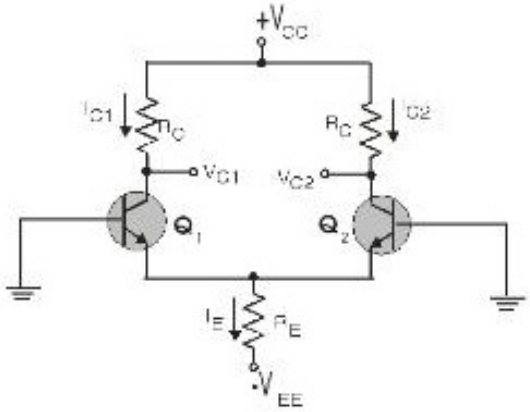
$$V_o = V_{o1} - V_{o2} = 2A_d \frac{V_{id}}{2} = A_d V_{id} \qquad (8.12)$$

Như vậy nếu ngõ ra lấy giữa cực thu và mass ta có ngõ ra chỉ còn tín hiệu visai được khuếch đại A_d lần. Ta gọi mạch ghép visai là mạch "triệt nhiễu".

Thông thường $|A_{vd}| >> |A_{vC}|$.

8.7.2. Phân cực mạch ở chế độ DC

Để xét đặc điểm của mạch khuếch đại này trước hết ta xét phân cực DC của mạch như hình 8.19.



Hình 8.19. *Phân cực DC của mạch khuếch đại vi sai*

$$V_E = 0 - V_{BE} = -0{,}7(V)$$

$$I_E = \frac{V_E - (-V_{EE})}{R_E} \approx \frac{V_{EE} - 0{,}7}{R_E}$$

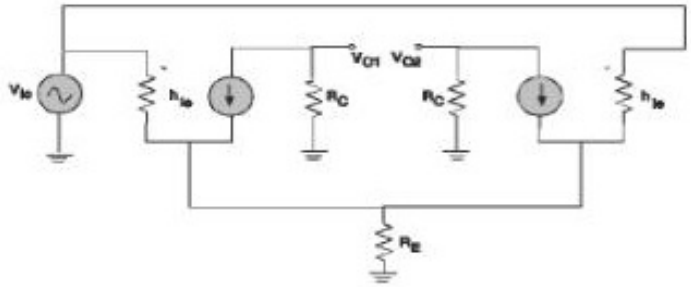
Vậy: $I_{C1} = I_{C2} = \dfrac{I_E}{2}$ (8.13a)

Và $V_{CE1} = V_{CE2} = V_{CC} + V_{EE} - \dfrac{I_E}{2}R_C - I_E R_E$ (8.13b)

8.7.3. Khảo sát thông số của mạch ở chế độ AC

a. Mạch chỉ có tín hiệu cách chung

Xét với tín hiệu cách chung, ta có mạch tương đương như hình 8.20. (Khi phân cực trong mạch tự phát sinh tín hiệu cách chung (nhiễu) đồng pha trong mạch ở chế độ DC)



Hình 8.20. *Mạchtương đương tín hiệu nhỏ của mạch vi sai với tín hiệu vào là cách chung.*

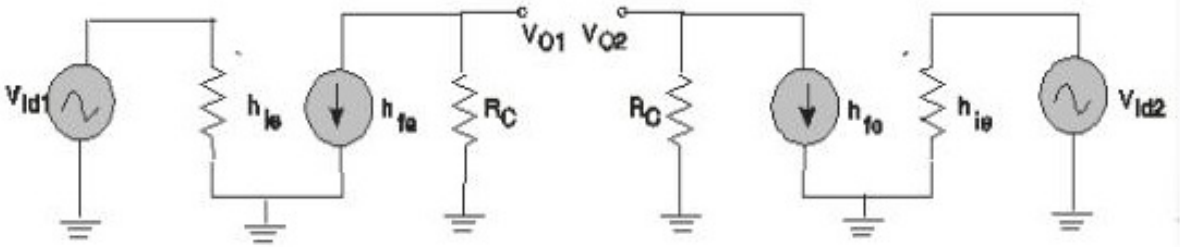
Ta có: $v_{O1} = v_{O2} = -h_{fe}R_C$

và hệ số khuếch đại đối với tín hiệu cách chung là:

$$A_{VC1} = A_{VC2} = A_C = \frac{v_O}{v_C} = -\frac{h_{fe}R_C}{h_{ie} + 2(h_{fe}+1)R_E} \qquad (8.14)$$

b. Khi mạch chỉ có tín hiệu vi sai

Xét mạch như hình 8.21. Dòng điện tín hiệu luôn luôn ngược chiều trong 2 transistor và do đó không qua R_E nên ta có thể bỏ R_E.



Hình 8.21. *Mạch tương đương tín hiệu nhỏ của mạch vi sai với tín hiệu vào là vi sai.*

Ta có hệ số khuếch đại đối với tín hiệu vi sai của tầng 1

$$A_{Vd1} = \frac{v_O}{v_{id1}} = -\frac{h_{fe}R_C}{h_{ie}}$$

và hệ số khuếch đại đối với tín hiệu vi sai của tầng 2

$$A_{Vd2} = \frac{V_O}{V_{id2}} = -\frac{h_{fe}R_C}{h_{ie}}$$

Đặt: $$A_d = -\frac{h_{fe}R_C}{h_{ie}} \qquad (8.15)$$

c. Mạch có tín hiệu tổng hợp

Với V_{i1}, V_{i2} bất kỳ ta có cả thành phần cách chung A_C và thành phần vi sai A_{Vd}.

– Nếu lấy tín hiệu giữa hai cực thu thì thành phần chung không ảnh hưởng, tức là:

$$V_{O1} - V_{o2} = A_d(V_{i1} - V_{i2}) \qquad (8.16)$$

– N`ếu lấy tín hiệu từ một trong hai cực thu xuống mass (từ công thức 8.12) ta có:

$$v_{O1} = A_C v_{iC} + A_d \, {}^{v_{id}}\!/_{2}$$

$$v_{O2} = A_C v_{iC} - A_d \, {}^{v_{id}}\!/_{2} \qquad (8.17)$$

Dấu (-) biểu thị hai thành phần vi sai ở hai cực thu luôn trái dấu nhau, suy ra:

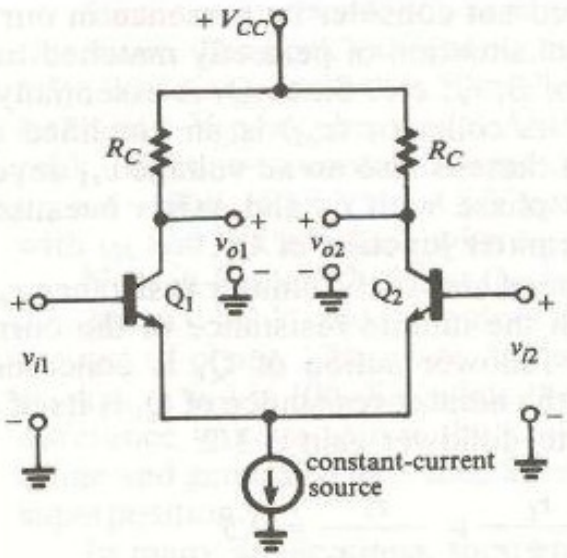
$$v_{O12} = v_{O1} - v_{O2} = A_d v_{id} \qquad (8.18)$$

Trong hoạt động với tín hiệu cách chung (comon mode): kết quả tín hiệu ở ngõ ra vi sai bằng zero, vì tín hiệu ở hai cực collector của hai transistor đối xứng nhau đối với tín hiệu này.

8.7.4. Tỉ số triệt tín hiệu đồng pha (CMRR: Common Mode Rejection Ratio)

Trong khuếch đại vi sai thì một bộ khuếch đại vi sai lý tưởng có A_{VC} = 0, hay nói cách khác tín hiệu nhiễu tại mỗi ngõ ra đơn cực phải bằng không, nhưng thực tế khó đạt được vì để A_{VC} = 0 thì R_E -> ∞. Để đo lường sự sai lệch so với lý tưởng người ta định nghĩa một hệ số gọi là tỉ số triệt tín hiệu đồng pha (CMRR) (Triệt nhiễu): $CMRR = 20\lg\frac{A_d}{A_c}$.

Biện pháp làm tăng hệ số CMRR: thường dùng là thay R_E bằng một nguồn dòng như hình 8.22.



Hình 8.22. Mạch khuếch đại vi sai với nguồn dòng.

8.8. BÀI TẬP CHƯƠNG 8

8.8.1. Cho mạch khuếch đại Cascode như hình với $V_{cc} = 20$ V

$R_{B1} = 20k\Omega$, $R_{B2} = 5K\Omega$, $R_C = 3.3k\Omega$, $R_{E1} = 470\Omega$, $R_B = 100k\Omega$, $R_L = 2k\Omega$,

$C_E = C_B = 50\mu F$

Hãy xác định:

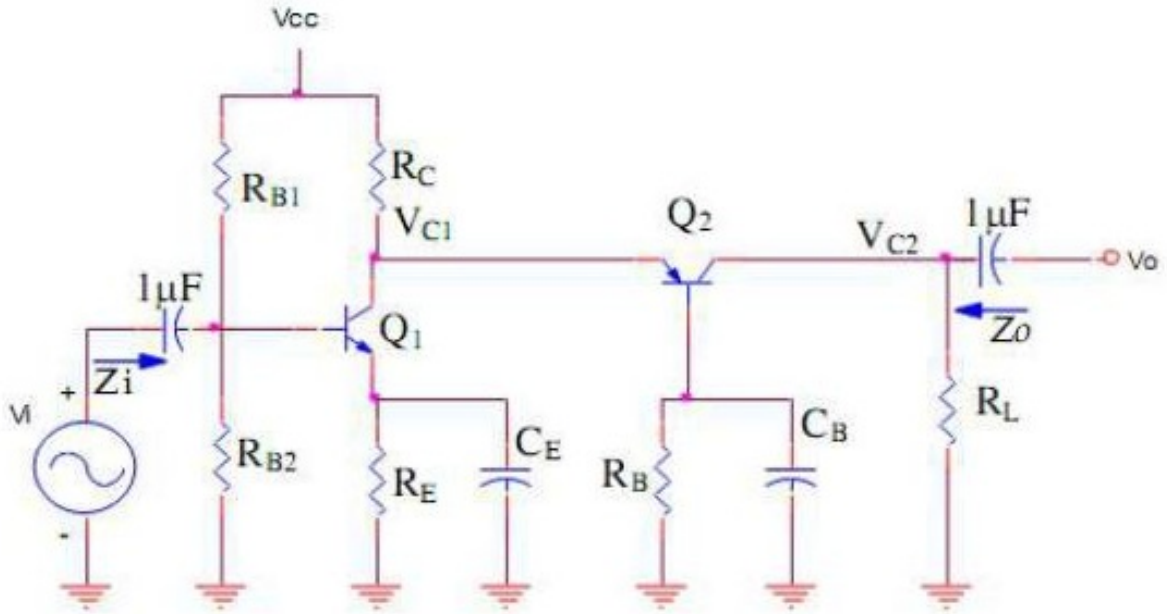
a. r_{e1} và r_{e2} với $\beta_1 = \beta_2 = 100$

b. Độ lợi điện thế $A_v = \frac{V_o}{V_i}$

c. Tìm và vẽ V_O khi $V_i = 10mV$

d. Tổng trở ngõ vào và tổng trở ngõ ra Z_i và Zo

e. Điện thế phân cực V_{C1} và V_{C2}. Vẽ DCLL. Vẽ sóng ra tại Q.



Hình BT 8.8.1

8.8.2. Cho mạch khuếch đại Darlington như hình với Vcc = 12 V

$R_{B1} = 330k\Omega$, $R_{B2} = 33k\Omega$, $R_C = 2.2\Omega$, $R_E = 150\Omega$, $h_{feT} = 1600$, $h_{ie} = 1k\Omega$

Nếu cho β_1 và β_2

$$h_{ie} = \beta_1(r_{e1} + \beta_2 r_{e2}) \approx 2\beta_1\beta_2 r_{e2}$$

$r_{e2} = 26mV/I_{CQ}$, $h_{feT} = \beta_1 * \beta_2 = \beta$

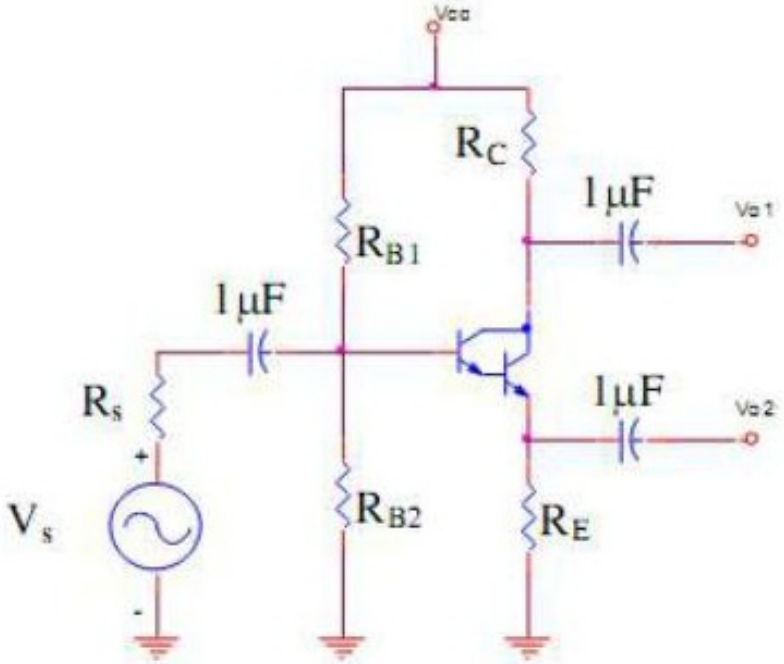
Hãy xác định

a. $A_{vo1} = V_{01} / V_i$

b. $A_{vo2} = V_{02} / V_i$

c. $A_{vs1} = V_{01} / V_s$

d. $A_{vs2} = V_{02} / V_s$ (nối thêm điện trở tải $R_L = 10k\Omega$ tại ngõ ra V_{o2})

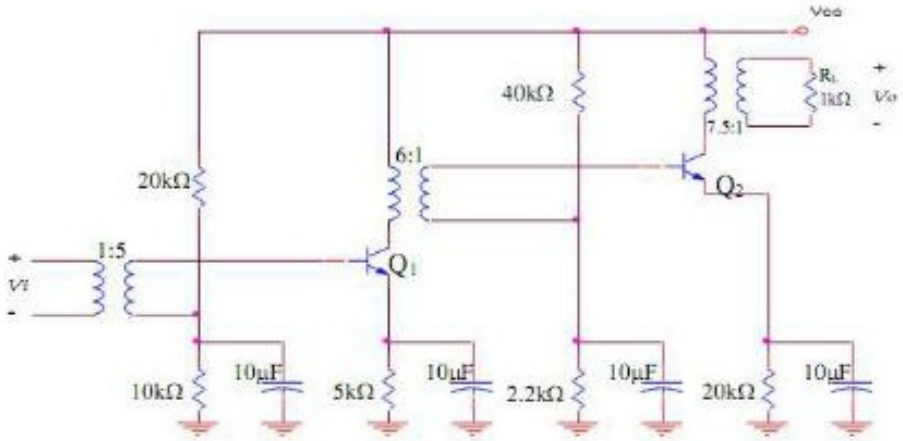


Hình BT 8.8.2

8.8.3. Cho mạch khuếch đại ghép biến áp như hình với $V_{cc} = 20$, $\beta_1 = \beta_2 = 80$. Hãy xác định

a. Xác định độ lợi điện thế $A_V = V_o/V_I$

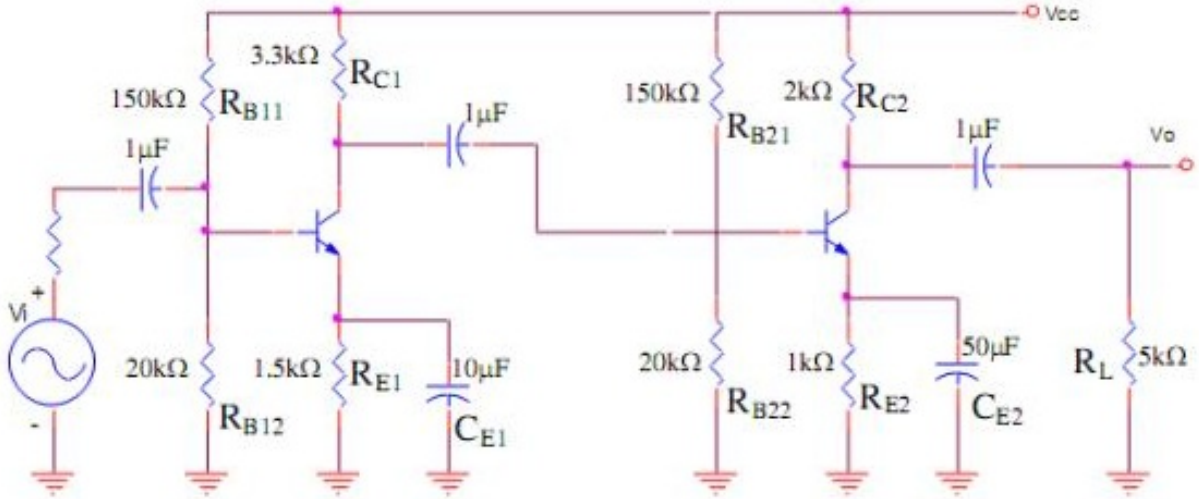
b. Độ lợi điện thế A_V sẽ thay đổI như thế nào nếu điện trở R_L giảm 0.5Ω.



Hình BT 8.8.3

8.8.4. Cho mạch khuếch đại ghép RC như hình với $V_{cc} = 20$, $\beta_1 = \beta_2 = 100$

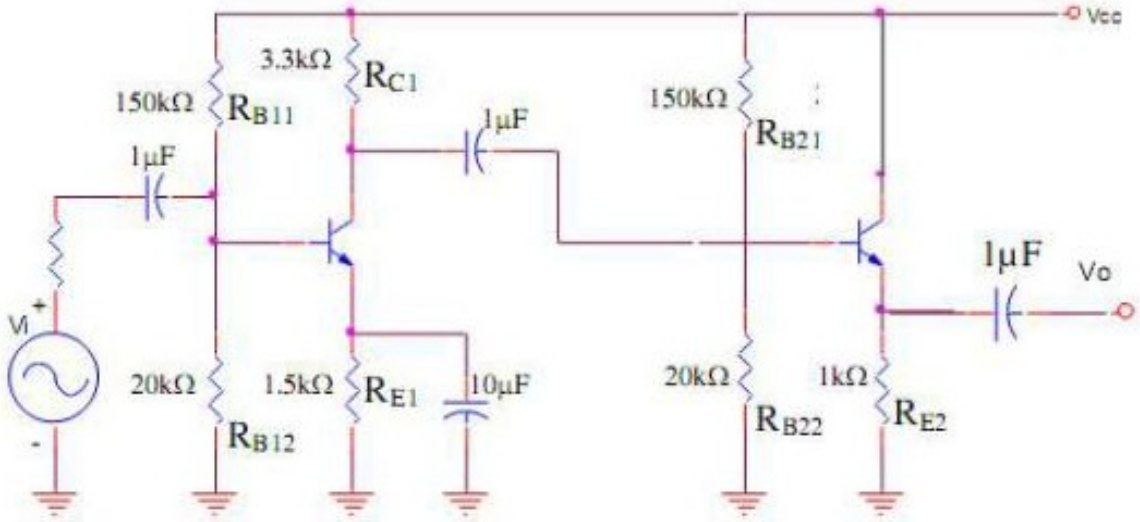
Hãy xác định tổng trở vào, tổng trở ra và độ lợi điện thế của mạch điện



Hình BT 8.8.4

8.8.5. Cho mạch như hình. VớI $\beta_1 = \beta_2 = 300$

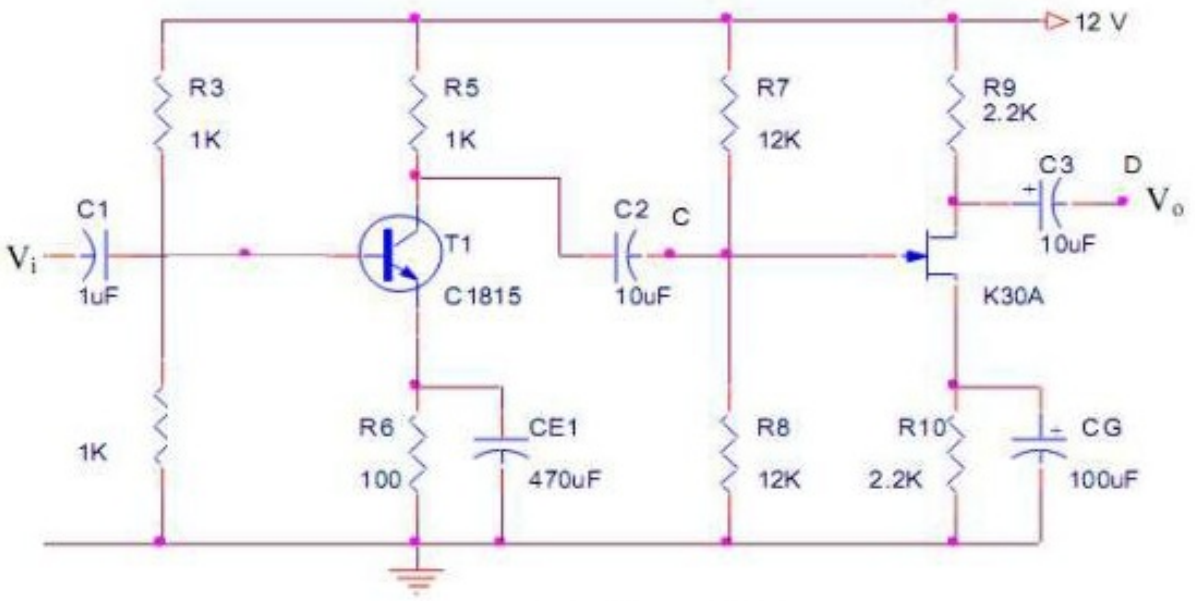
Hãy xác định Z_i, Z_o, A_V của mạch



Hình BT 8.8.5

8.8.6. Cho mạch như hình vẽ. Cho $\beta = 100$, $g_m = 2mA/V$; $r_d = 100k\Omega$.

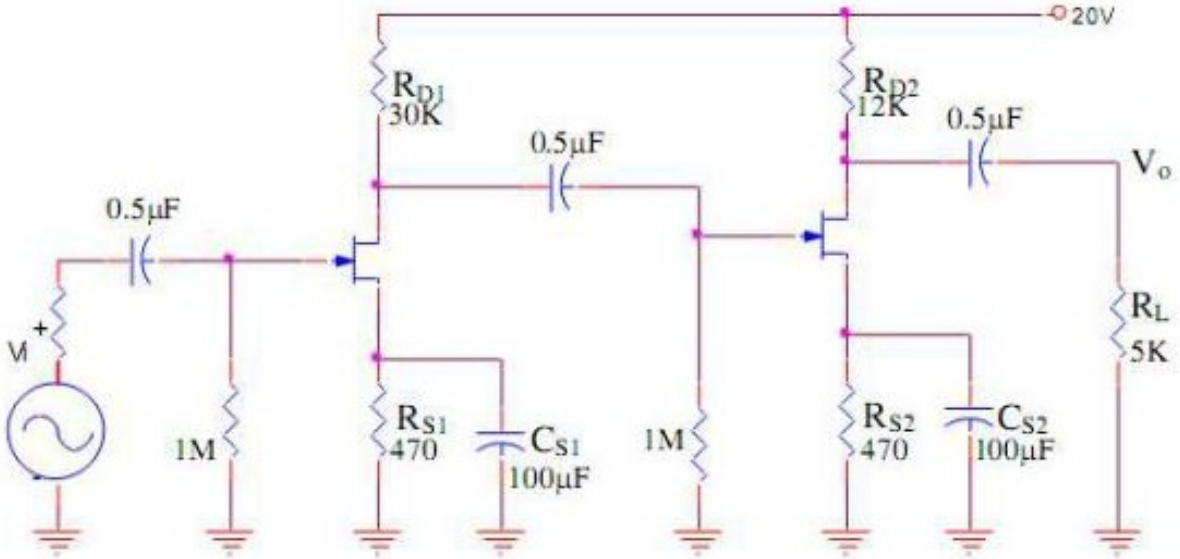
Hãy xác định: Z_i, Z_o, A_V của mạch.



Hình BT 8.8.6

8.8.7. Cho mạch như hình vẽ. Cho $g_m = 2mA/V$. $r_D = 100k\Omega$.

Hãy xác định tổng trở vào, tổng trở ra, hệ số khuếch đại A_V của mạch.



Hình BT 8.8.7

Chương 9
MẠCH KHUẾCH ĐẠI CÓ HỒI TIẾP

9.1. GIỚI THIỆU

Mạch hồi tiếp được sử dụng trong tất cả các hệ thống khuếch đại. Harold Black, một kỹ sư điện tử làm việc tại công ty điện phía tây nước Mỹ đã phát minh ra mạch khuếch đại có hồi tiếp vào năm 1928 trong khi đi tìm cách để ổn định độ lợi của mạch khuếch đại sử dụng trong mạch lặp điện thoại.

Trong hệ thống hồi tiếp, tín hiệu hồi tiếp được lấy từ ngõ ra và tỉ lệ với tín hiệu ngõ ra đưa ngược trở về ngõ vào, và kết hợp với tín hiệu ngõ vào để tạo ra đáp ứng hệ thống mong muốn.

Một mạch hồi tiếp được sử dụng có tính toán để đạt được độ ổn định mong muốn. Hồi tiếp có thể xảy ra không định trước làm thay đổi đáp ứng tần số của mạch.

Hồi tiếp có hai loại: hồi tiếp dương và hồi tiếp âm.

- Hồi tiếp âm là mạch có tín hiệu hồi tiếp ngược pha với tín hiệu ngõ vào nên làm giảm tín hiệu ngõ vào của mạch. Hồi tiếp âm có chức năng duy trì độ ổn định hệ số khuếch đại của mạch chống lại sự thay đổi các thông số của transistor do nhiệt độ, do điện áp nguồn cung cấp.
- Hồi tiếp dương là mạch có tín hiệu hồi tiếp cùng pha với tín hiệu ngõ vào nên làm tăng tín hiệu ngõ vào của mạch. Hồi tiếp dương được sử dụng để thiết kế các mạch dao động và một số ứng dụng khác.

Trong chương này chúng ta chỉ khảo sát mạch hồi tiếp âm.

9.2. ƯU ĐIỂM VÀ KHUYẾT ĐIỂM CỦA HỒI TIẾP ÂM

❖ **Ưu điểm:**

- Ổn định hàm truyền: sự thay đổi giá trị hàm truyền chủ yếu do sự thay đổi các thông số của transistor sẽ giảm khi có hồi tiếp âm đây chính là ưu điểm chính của hồi tiếp âm.
- Mở rộng băng thông.
- Giảm nhiễu: hồi tiếp âm làm tăng tỉ số nén tín hiệu trên nhiễu.
- Giảm méo: khi transistor làm việc không tuyến tính, méo sẽ xuất hiện trong tín hiệu ngõ ra, đặc biệt tại những mạch có biên độ tín hiệu ngõ ra lớn. Hồi tiếp âm sẽ làm transistor hoạt động tuyến tính hơn.

– Cải thiện tổng trở vào và tổng trở ra.

❖ **Khuyết điểm:**

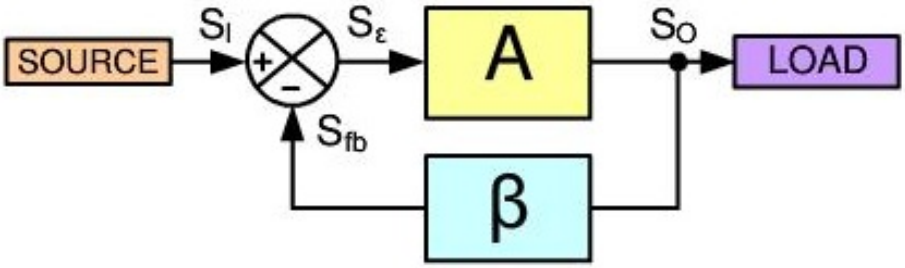
– Giảm độ lợi hay giảm hệ số khuếch đại điện áp.

– Có thể mạch không ổn định (sinh ra dao động) tại tần số cao.

9.3. KHÁI NIỆM CƠ BẢN VỀ HỒI TIẾP

9.3.1. Sơ đồ khối của hồi tiếp

Trong *Hình 9.*1 trình bày mạch khuếch đại có hồi tiếp. Trong mạch, tín hiệu biến thiên S có thể là dòng điện hoặc điện áp.



Hình 9.1. *Sơ đồ khối của mạch khuếch đại có hồi tiếp.*

A : mạch khuếch đại vòng hở có hệ số khuếch đại vòng hở là A.

β : mạch hồi tiếp, có hệ số hồi tiếp là.

S_{fb}*: tín hiệu hồi tiếp.*

S_i *: tín hiệu ngõ vào.*

S_ε *: tín hiệu ngõ vào của mạch khuếch đại khi có hồi tiếp.*

S_o*: tín hiệu ngõ ra.*

A_F *: độ lợi vòng kín của mạch khuếch đại khi có hồi tiếp*

9.3.2. Phân loại hồi tiếp

Có nhiều loại mạch hồi tiếp nhưng về cơ bản có thể phân ra làm bốn loại hồi tiếp dựa vào các đặc điểm sau:

– Tín hiệu hồi tiếp: điện áp hoặc dòng điện.

– Cách mắc tín hiệu với ngõ vào: nối tiếp hoặc song song.

Vậy có 4 dạng mạch hồi tiếp cơ bản kết nối như *Hình 9.*2(a,b,c,d)

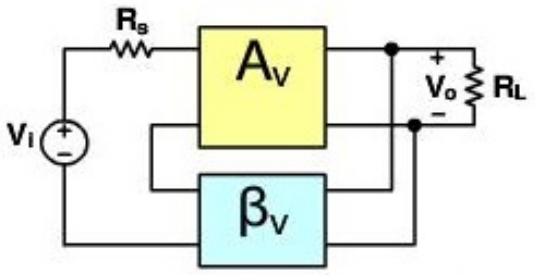
a. Hồi tiếp điện áp nối tiếp (khuếch đại điện áp), *Hình 9.2a*:

Ổn định điện áp ngõ ra theo điện áp ngõ vào, ổn định hàm truyền là hệ số khuếch đại điện áp.

– Hệ số khuếch đại vòng hở: $A_v = \frac{V_o}{V_\varepsilon}$

– Hệ số hồi tiếp: $\beta_v = \frac{V_{fb}}{V_o}$

– Hệ số khuếch đại vòng kín: $A_{vF} = \frac{V_o}{V_i}$



9.2.a. Mạch hồi tiếp điện áp mắc nối tiếp với điện áp vào

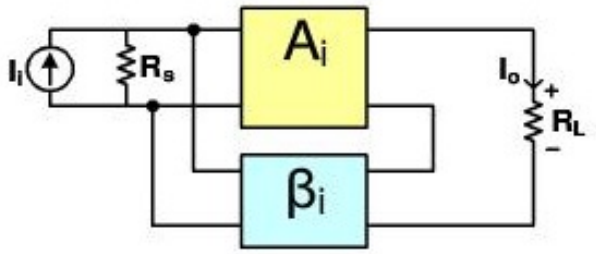
b. Hồi tiếp dòng điện song song (khuếch đại dòng điện), Hình 9.2b:

Ổn định dòng điện ngõ ra theo dòng điện ngõ vào, ổn định hàm truyền là hệ số khuếch đại dòng điện.

– Hệ số khuếch đại vòng hở: $A_i = \frac{I_o}{I_\varepsilon}$

– Hệ số hồi tiếp: $\beta_i = \frac{I_{fb}}{I_o}$

– Hệ số khuếch đại vòng kín: $A_{iF} = \frac{I_o}{I_i}$



9.2.b. Mạch hồi tiếp dòng điện mắc song song với điện áp vào

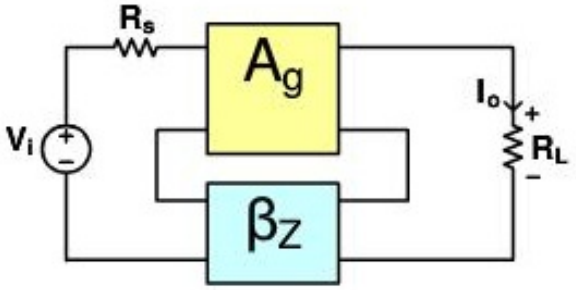
c. Hồi tiếp dòng điện nối tiếp (khuếch đại truyền dẫn), Hình 9.2.c:

Ổn định dòng điện ngõ ra theo điện áp ngõ vào, ổn định hàm truyền là hệ số khuếch đại truyền dẫn.

– Hệ số khuếch đại vòng hở: $A_g = \frac{I_o}{V_\varepsilon}$

– Hệ số hồi tiếp: $\beta_z = \frac{V_{fb}}{I_o}$

– Hệ số khuếch đại vòng kín: $A_{gF} = \dfrac{I_o}{V_i}$



9.2.c. Mạch hồi tiếp dòng điện mắc nối tiếp với điện áp vào

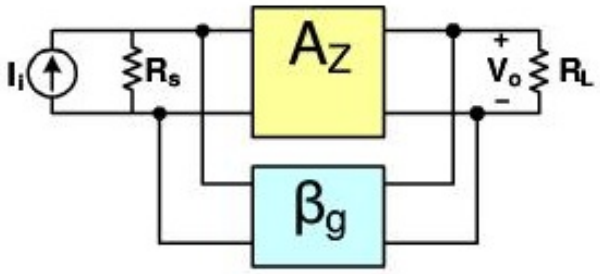
d. Hồi tiếp điện áp song song (khuếch đại truyền trở), Hình 9.2d:

Ổn định điện áp ra theo dòng điện ngõ vào, ổn định hàm truyền là hệ số khuếch đại truyền trở.

– Hệ số khuếch đại vòng hở: $A_z = \dfrac{V_o}{I_e}$

– Hệ số hồi tiếp: $\beta_g = \dfrac{I_{fb}}{V_o}$

– Hệ số khuếch đại vòng kín: $A_{zF} = \dfrac{V_o}{I_i}$



9.2.d. Mạch hồi tiếp điện áp mắc song song với điện áp vào

9.4. CÁC THÔNG SỐ CỦA HỒI TIẾP ÂM

9.4.1. Hệ số khuếch đại có hồi tiếp

Từ sơ đồ khối mạch hồi tiếp *Hình 9.1*, ta có độ lợi của mạch khuếch đại khi chưa có hồi tiếp là:

$$A = \frac{S_o}{S_e} \qquad (9.1)$$

Độ lợi của mạch khuếch đại khi có hồi tiếp là:

$$A_F = \frac{S_o}{S_i} \qquad (9.2)$$

Hệ số hồi tiếp:

$$\beta = \frac{S_{fb}}{S_o} \qquad (9.3)$$

Từ công thức (9.1), (9.2) và (9.3), ta có:

$$A_F = \frac{S_o}{S_i} = \frac{S_o}{S_\varepsilon + S_{fb}} = \frac{\frac{S_o}{S_o}}{\frac{S_\varepsilon}{S_o} + \frac{S_{fb}}{S_o}} = \frac{1}{\frac{1}{A} + \beta} = \frac{A}{1+\beta A} \qquad (9.4)$$

Nhận xét: Độ lợi của mạch khi có hồi tiếp giảm đi $(1+\beta A)$ lần so với khi chưa có hồi tiếp. Vậy hồi tiếp âm làm giảm hệ số khuếch đại của mạch khuếch đại, và hồi tiếp âm làm tăng độ ổn định của hệ số khuếch đại của mạch khuếch.

9.4.2. Ổn định hàm truyền

Độ bất ổn định của hàm truyền trong một mạch khuếch đại khi chưa có hồi tiếp là $\frac{\Delta A}{A}$. Vậy độ bất ổn định của hàm truyền trong một mạch khuếch đại có hồi tiếp là $\frac{\Delta A_F}{A_F}$.

Từ công thức (9.4), ta có: $\frac{dA_F}{dA} = \frac{1+\beta A - \beta A}{(1+\beta A)^2} = \frac{1}{(1+\beta A)^2}$ (9.5)

Từ (9.5), suy ra: $dA_F = \frac{1}{(1+\beta A)^2} dA$ (9.6)

Lấy (9.6) chia 2 vế cho A_F, ta có:

$$\frac{dA_F}{A_F} = \frac{1}{(1+\beta A)^2} dA \times \frac{1+\beta A}{A} = \frac{1}{1+\beta A} \times \frac{dA}{A} \qquad (9.7)$$

Suy ra: $\frac{\Delta A_F}{A_F} = \frac{1}{1+\beta A} \times \frac{\Delta A}{A}$ (9.8)

Vậy độ bất ổn định của hàm truyền khi có hồi tiếp giảm đi $1+\beta A$ lần so với khi chưa có hồi tiếp.

Nếu mạch có hệ số hồi tiếp đủ lớn sao cho A>>1, thì có thể xem như giá trị hàm truyền của mạch không đổi hay nói cách khác là mạch có độ ổn định cao. Lúc đó độ lợi của mạch là:

$$A_F \cong \frac{1}{\beta} \qquad (9.9)$$

Từ công thức (9.9), ta thấy độ lợi hay hàm truyền của mạch chỉ phụ thuộc vào thông số hồi tiếp.

Ví dụ: Một mạch khuếch đại có độ bất ổn định là 10% và có độ lợi là 100. Để tăng tính ổn định của mạch người ta dùng thêm một mạch hồi tiếp âm mắc vào mạch khuếch đại này có hệ số hồi tiếp là 0.1. Vậy độ bất ổn định của mạch sau khi có hồi tiếp bằng bao nhiêu?

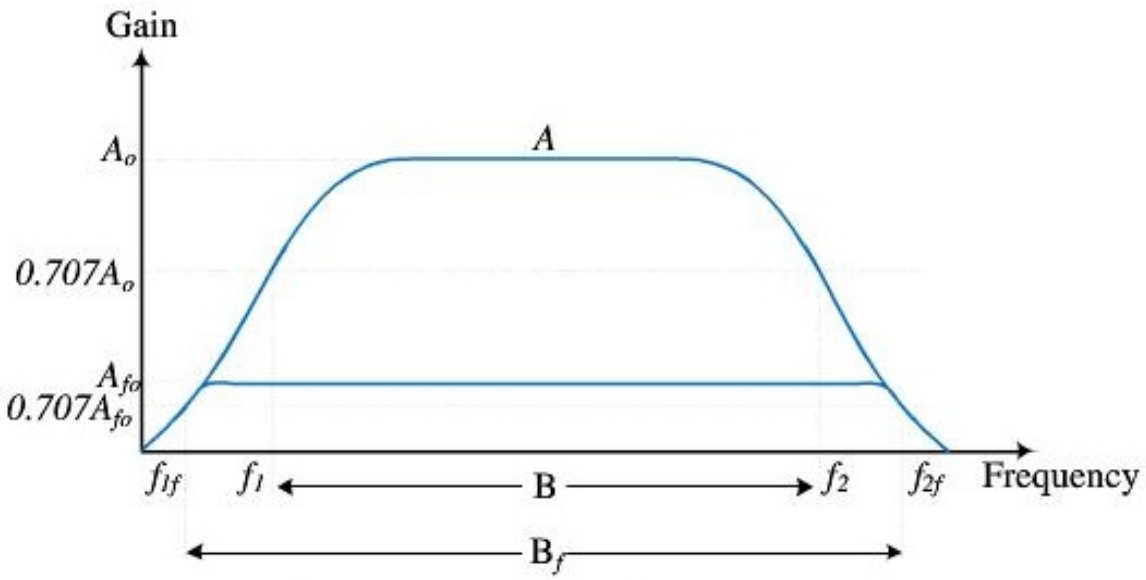
Giải:

Từ công thức 3.8, ta có:

$$\frac{\Delta A_F}{A_F} = \frac{1}{1+\beta A} \times \frac{\Delta A}{A} = \frac{1}{1+100\times 0.1} \times 10\% = 1\%$$

Vậy sau khi mắc thêm mạch hồi tiếp có hệ số hồi tiếp là 0.1 thì độ bất ổn định của mạch giảm đi 10 lần.

9.4.3. Ảnh hưởng của hồi tiếp âm đến độ lợi băng thông



Hình 9.3. *Ảnh hưởng của hồi tiếp âm trên độ lợi băng thông.*

Hình 9.3 chỉ cho ta thấy rõ khi có hồi tiếp âm độ lợi băng thông của mạch lớn hơn khi chưa có hồi tiếp (do hệ số khuếch đại của mạch giảm).

Chứng minh:

BW : độ rộng băng tần của mạch khuếch đại khi chưa có hồi tiếp

$BW = f_2 - f_1 \approx f_2$

BW_F : độ rộng băng tần của mạch khuếch đại khi có hồi tiếp âm.

$BW_F = f_{2f} - f_{1f} \approx f_{2f}$

Độ lợi của mạch tại tần số cao:

$$A = \frac{A_{mid}}{1 + j\,{}^{f}\!/_{f_2}} \qquad (9.10)$$

$$A_F = \frac{A}{1+\beta A} = \frac{\dfrac{A_{mid}}{1 - j\,{}^{f}\!/_{f_2}}}{1 + \beta \dfrac{A_{mid}}{1 + j\,{}^{f}\!/_{f_2}}} = \frac{A_{mid}}{1 + \beta A_{mid} + j\,{}^{f}\!/_{f_2}}$$

Chia tử và mẫu cho $1+\beta A_{mid}$, ta được:

$$A_F = \frac{\dfrac{A_{mid}}{1+\beta A_{mid}}}{1 + j\,{}^{f}\!/_{f_2(1+\beta A_{mid})}} \qquad (9.11)$$

Vậy tần số cắt trên của mạch khuếch đại khi có hồi tiếp âm là:

$$f_{2f} = f_2(1+\beta A_{mid})\frac{A}{1+\beta A} \qquad (9.12)$$

Vậy: $$BW_F = BW(1+\beta A_{mid}) \qquad (9.13)$$

Khi có hồi tiếp âm độ rộng băng tần của mạch khuếch đại tăng 1+βA lần so với khi chưa có hồi tiếp.

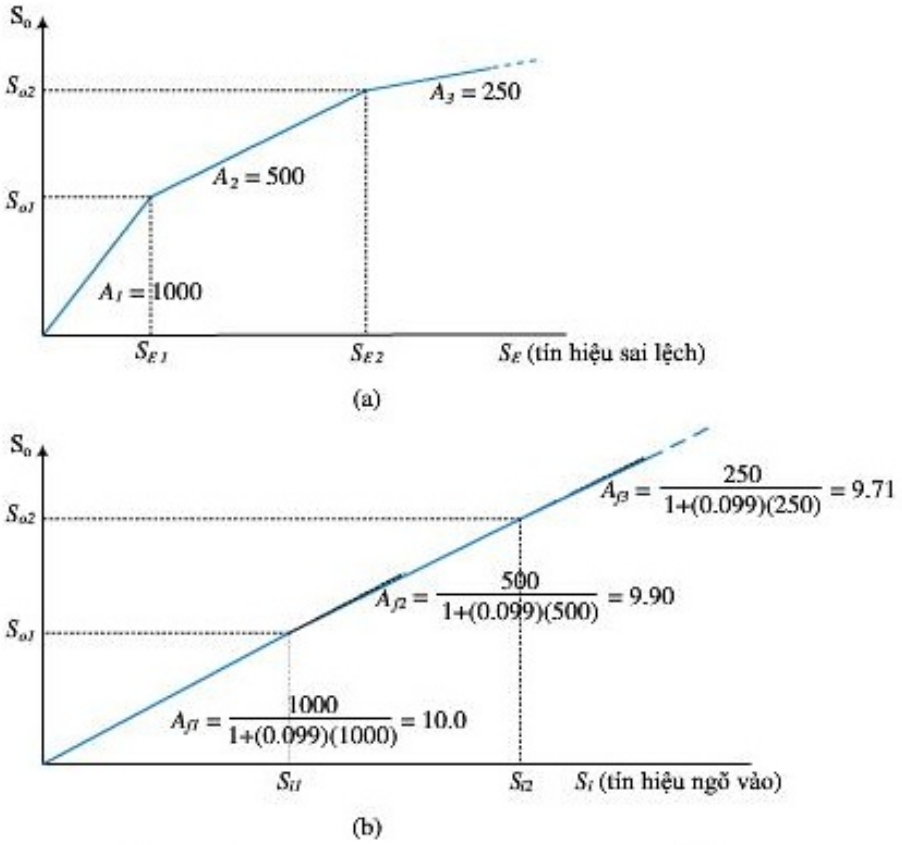
9.4.4. Giảm méo và giảm nhiễu

a. Giảm méo:

Trong mạch khuếch đại có hồi tiếp âm khi $A\beta >> 1$, độ lợi của mạch là $A_F = 1/\beta$, khi đó độ lợi của mạch không phụ thuộc vào tần số. Lúc đó méo tần số phát sinh do thay đổi độ lợi với tần số tín hiệu (do các sóng hài) giảm.

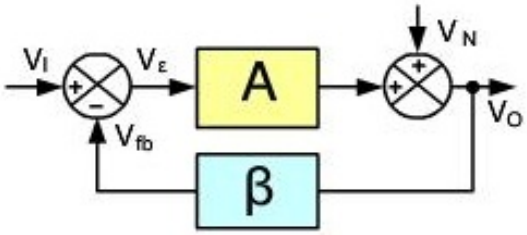
Giảm méo do hàm truyền không tuyến tính.

Méo tín hiệu ngõ ra là nguyên nhân do thay đổi độ lợi (độ lợi không tuyến tính) hay do thay đổi độ dốc hàm truyền của mạch khuếch đại. *Hình 9.4* sẽ chứng minh đáp ứng của hàm truyền khi không có và khi có hồi tiếp âm. Khi có hồi tiếp âm tín hiệu ngõ ra với tín hiệu ngõ vào là tuyến tính.



Hình 9.4. *Đặc tuyến truyền đạt: (a). Khi chưa có hồi tiếp. (b). Khi có hồi tiếp.*

b. Giảm nhiễu:



Hình 9.5. *Sơ đồ khối mạch khuếch đại với tín hiệu nhiễu tác động ở ngõ ra.*

Từ hình (9.5), khi chưa có hồi tiếp, tín hiệu ra là:

$$V_o = AV_\varepsilon + V_n \qquad (9.14)$$

Trong đó V_ε chính là tín hiệu vào của mạch khuếch đại.

Vậy khi chưa có hồi tiếp biên độ tín hiệu nhiễu ở ngõ ra là V_n.

Khi có hồi tiếp, tín hiệu hồi tiếp:

$$V_{fb} = \beta V_o \quad (9.15)$$

Và:

$$V_\varepsilon = V_i - V_{fb} = V_i - \beta V_o \quad (9.16)$$

Vậy

$$V_o = A(V_i - \beta V_o) + V_n \quad (9.17)$$

Suy ra:

$$V_o = \frac{A}{1+\beta A} V_i + \frac{1}{1+\beta A} V_n \quad (9.18)$$

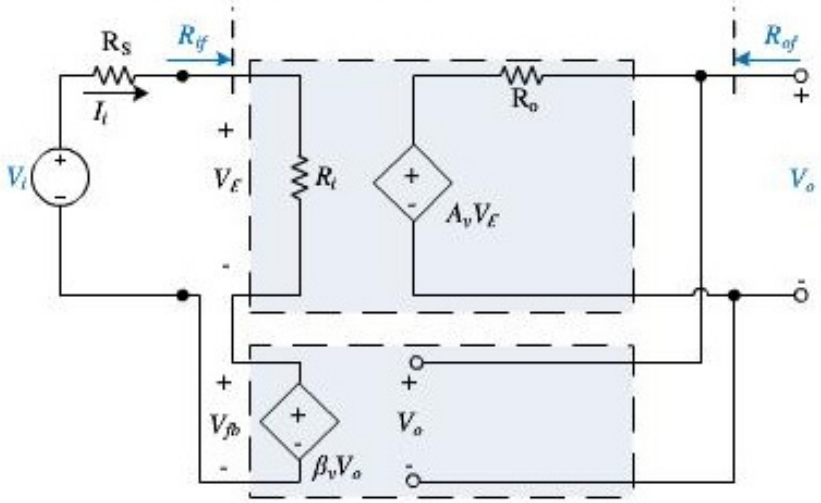
Vậy khi có hồi tiếp thì biên độ tín hiệu nhiễu giảm $(1+\beta A)$ lần. Khi $\beta A \rangle\rangle 1$, thì $V_o = \frac{1}{\beta} V_i$, vậy tín hiệu nhiễu bị triệt gần như bằng 0.

9.4.5. Cải thiện tổng trở vào, tổng trở ra:

a. Tổng trở vào:

➢ Mạch hồi tiếp điện áp mắc nối tiếp với điện áp ngõ vào của bộ khuếch đại chính

Xét mạch hồi tiếp nối tiếp điện áp:



Hình 9.6. *Sơ đồ mạch hồi tiếp nối tiếp điện áp lý tưởng.*

- R_i : điện trở ngõ vào của mạch khuếch đại khi chưa có hồi tiếp.
- R_{iF} : điện trở ngõ vào của mạch khuếch đại khi có hồi tiếp.
- R_o : điện trở ngõ ra của mạch khuếch đại khi chưa có hồi tiếp.

Ta có:

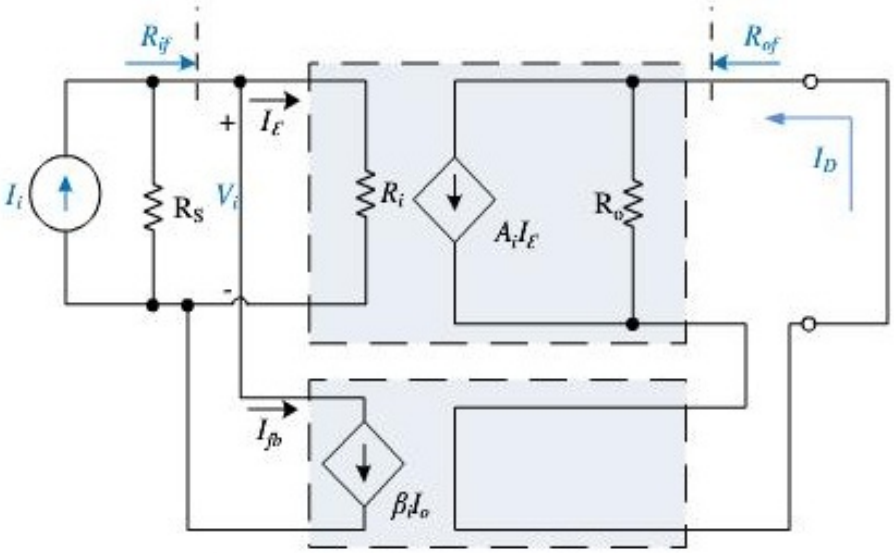
$$R_{if} = \frac{V_i}{I_i} = \frac{V_\varepsilon + V_{fb}}{I_i} \qquad (9.19)$$

Từ công thức (9.19) chia tử số và mẫu số cho V_ε, ta được:

$$R_{if} = \frac{1 + \frac{V_{fb}}{V_\varepsilon}}{\frac{I_i}{V_\varepsilon}} = \frac{V_\varepsilon}{I_i} \times \left(1 + \frac{V_{fb}}{V_O} \times \frac{V_O}{V_\varepsilon}\right) = R_i(1 + \beta_v A_v) \qquad (9.20)$$

Vậy hồi tiếp nối tiếp làm tăng tổng trở ngõ vào lên (1+βA) lần so với mạch khuếch đại chưa có hồi tiếp.

➢ **Mạch hồi tiếp dòng điện mắc song song:**



Hình 9.7. *Sơ đồ mạch hồi tiếp song song dòng điện lý tưởng.*

$$R_{if} = \frac{V_i}{I_i} = \frac{V_\varepsilon}{I_\varepsilon + I_{fb}} \qquad (9.21)$$

Chia tử và mẫu của công thức (9.21) cho I_ε, ta được:

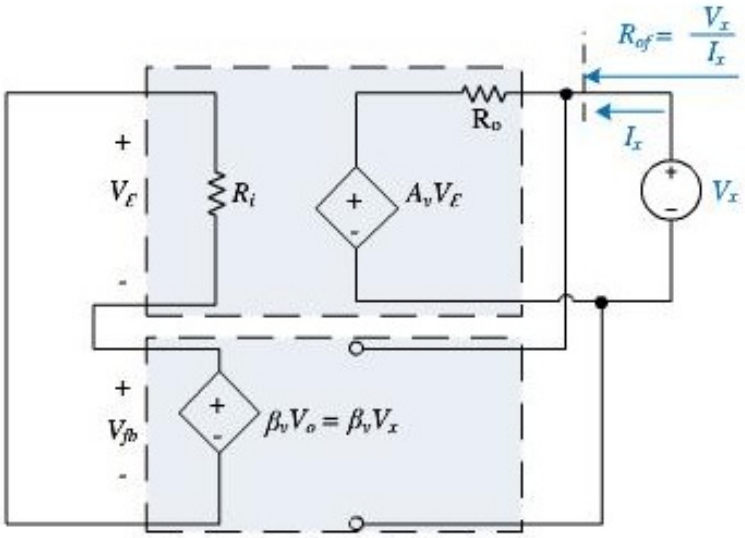
$$R_{if} = \frac{V_\varepsilon / I_\varepsilon}{1 + I_{fb} / I_\varepsilon} = \frac{R_i}{1 + \beta_i A_i} \qquad (9.22)$$

Vậy hồi tiếp song song làm điện trở ngõ vào của mạch khuếch đại giảm (1+βA) lần so với khi chưa có hồi tiếp.

b. Tổng trở ra:

➢ **Hồi tiếp điện áp:**

Từ sơ đồ mạch *Hình 9.8* khi ngắn mạch ngõ vào, ta có sơ đồ tương đương *Hình 9.9*.



Hình 9.8. *Sơ đồ mạch hồi tiếp nối tiếp điện áp lý tưởng để định điện trở ngõ ra.*

Tổng trở ngõ ra của mạch khuếch đại có hồi tiếp nối tiếp là:

$$R_{of} = \frac{V_o}{I_o}\Big|_{V_i=0} = \frac{V_x}{I_x} \qquad (9.23)$$

Từ sơ đồ *Hình 9.8*, ta có $V_\varepsilon + V_{fb} = V_\varepsilon + \beta_v V_x = 0$ (9.24)

Hay $V_\varepsilon = -\beta_v V_x$ (9.25)

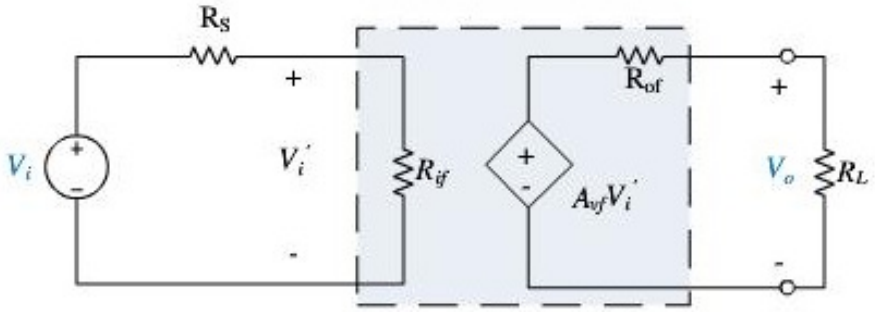
Dòng ngõ ra là: $I_x = \frac{V_x - A_v V_\varepsilon}{R_o} = \frac{V_x - A_v(-\beta_v V_x)}{R_o}$ (9.26)

Vậy điện trở ngõ ra của mạch khi có hồi tiếp điện áp là:

$$R_{of} = \frac{V_x}{I_x} = \frac{R_o}{1+\beta_v A_v} \qquad (9.27)$$

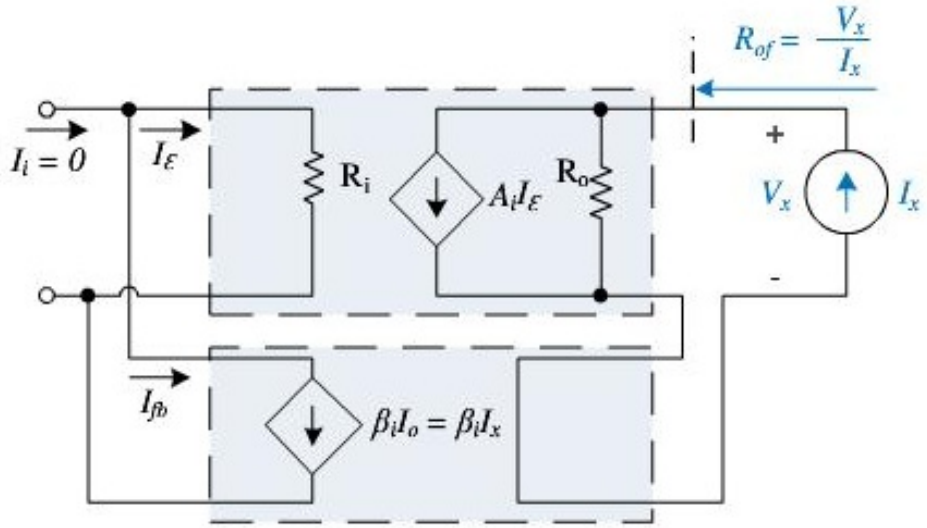
Công thức (9.27) chứng minh rằng điện trở ngõ ra của mạch khuếch đại khi có hồi tiếp điện áp giảm đi (1+β A) lần so với điện trở ngõ ra của mạch khuếch đại khi chưa có hồi tiếp. Điện trở ngõ ra bé là ưu điểm của mạch khuếch đại điện áp.

Kết hợp phần 1a và 2a, ta được sơ đồ tương đương của mạch khuếch đại hồi tiếp điện áp nối tiếp như *Hình 9.9*.



Hình 9.9. *Sơ đồ tương đương của mạch khuếch đại hồi tiếp điện áp nối tiếp.*

➢ **Hồi tiếp dòng điện:**



Hình 9.10. *Sơ đồ mạch hồi tiếp dòng điện lý tưởng để định điện trở ngõ ra.*

Tổng trở ngõ ra của mạch khuếch đại có hồi tiếp song song:

$$R_{of} = \frac{V_o}{I_o}\Big|_{I_i=0} = \frac{V_x}{I_x} \qquad (9.28)$$

Từ *Hình 9.10*, ta có: $$I_\varepsilon + I_{fb} = I_\varepsilon + \beta_i I_x = 0 \qquad (9.29)$$

Hay $$I_\varepsilon = -\beta_i I_x \qquad (9.30)$$

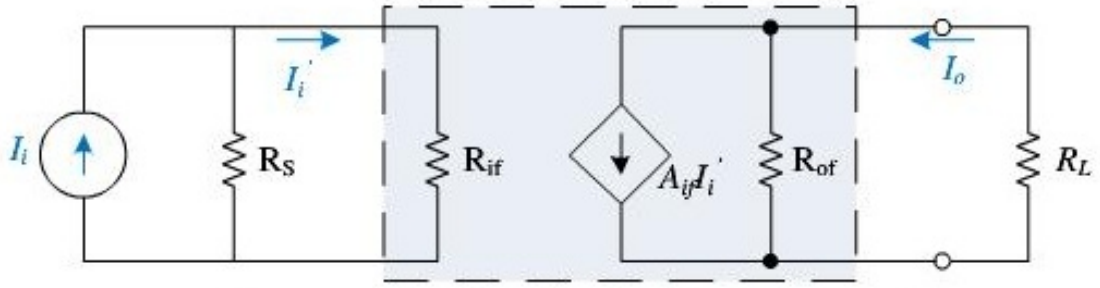
Điện áp ngõ ra của mạch *Hình 9.10*:

$$V_x = (I_x - A_i I_\varepsilon)R_o = [I_x - A_i(-\beta I_x)]R_o = I_x(1+\beta_i A_i)R_o \qquad (9.31)$$

Vậy điện trở ngõ ra là: $$R_{of} = \frac{V_x}{I_x} = R_o(1+\beta_i A_i) \qquad (9.32)$$

Công thức (9.32) chứng minh mạch khuếch đại có hồi tiếp dòng điện điện trở ngõ ra tăng (1+ βA) lần so với mạch khuếch đại chưa có hồi tiếp. Một điện trở ngõ ra lớn là ưu điểm của mạch khuếch đại dòng để tránh ảnh hưởng của điện trở tải.

Kết hợp phần 1b và 2b, ta được sơ đồ tương đương của mạch khuếch đại hồi tiếp dòng điện song song như *Hình 9.*11.



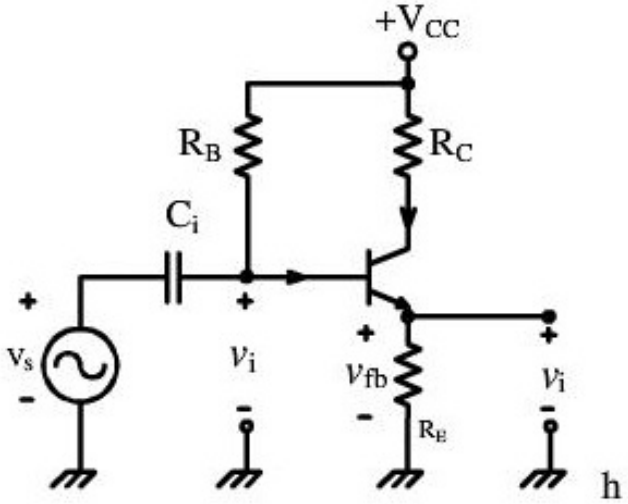
Hình 9.11. *Sơ đồ tương đương của mạch khuếch đại hồi tiếp dòng điện song song.*

9.5. BẢNG SO SÁNH CÁC DẠNG HỒI TIẾP

Mạch khuếch đại hồi tiếp	Tín hiệu nguồn	Tín hiệu ngõ ra	Hàm truyền	Điện trở ngõ vào	Điện trở ngõ ra
Điện áp nối tiếp	Áp	Áp	$A_{vF} = \frac{V_o}{V_i} = \frac{A_v}{1+\beta_v A_v}$	$R_i(1+\beta_v A_v)$	$\frac{R_o}{(1+\beta_v A_v)}$
Dòng điện song song	Dòng	Dòng	$A_{iF} = \frac{I_o}{I_i} = \frac{A_i}{1+\beta_i A_i}$	$\frac{R_i}{(1+\beta_i A_i)}$	$R_o(1+\beta_i A_i)$
Dòng điện nối tiếp	Áp	Dòng	$A_{gF} = \frac{I_o}{V_i} = \frac{A_g}{1+\beta_z A_g}$	$R_i(1+\beta_z A_g)$	$R_o(1+\beta_z A_g)$
Điện áp song song	Dòng	Áp	$A_{zF} = \frac{V_o}{I_i} = \frac{A_z}{1+\beta_g A_z}$	$\frac{R_i}{(1+\beta_g A_z)}$	$\frac{R_o}{(1+\beta_g A_z)}$

9.6. KHẢO SÁT HỒI TIẾP CỦA MỘT SỐ MẠCH KHUẾCH ĐẠI

9.6.1. Mạch hồi tiếp điện áp - nối tiếp



Hình 9.12. *Mạch khuếch đại hồi tiếp điện áp nối tiếp.*

Mạch *Hình* 9.12 là mạch emitter – follower, hay là mạch khuếch đại điện áp nối tiếp.

Độ lợi vòng hở: $$A_v = \frac{V_o}{V_\varepsilon} = \frac{h_{fe} I_b R_E}{I_b h_{ie}} = \frac{h_{fe} R_E}{h_{ie}} = \frac{h_{fe} R_E}{h_{fe} r_e} = \frac{R_E}{r_e} \qquad (9.33)$$

Hệ số hồi tiếp $$\beta_v = \frac{V_{fb}}{V_o} = 1 \qquad (9.34)$$

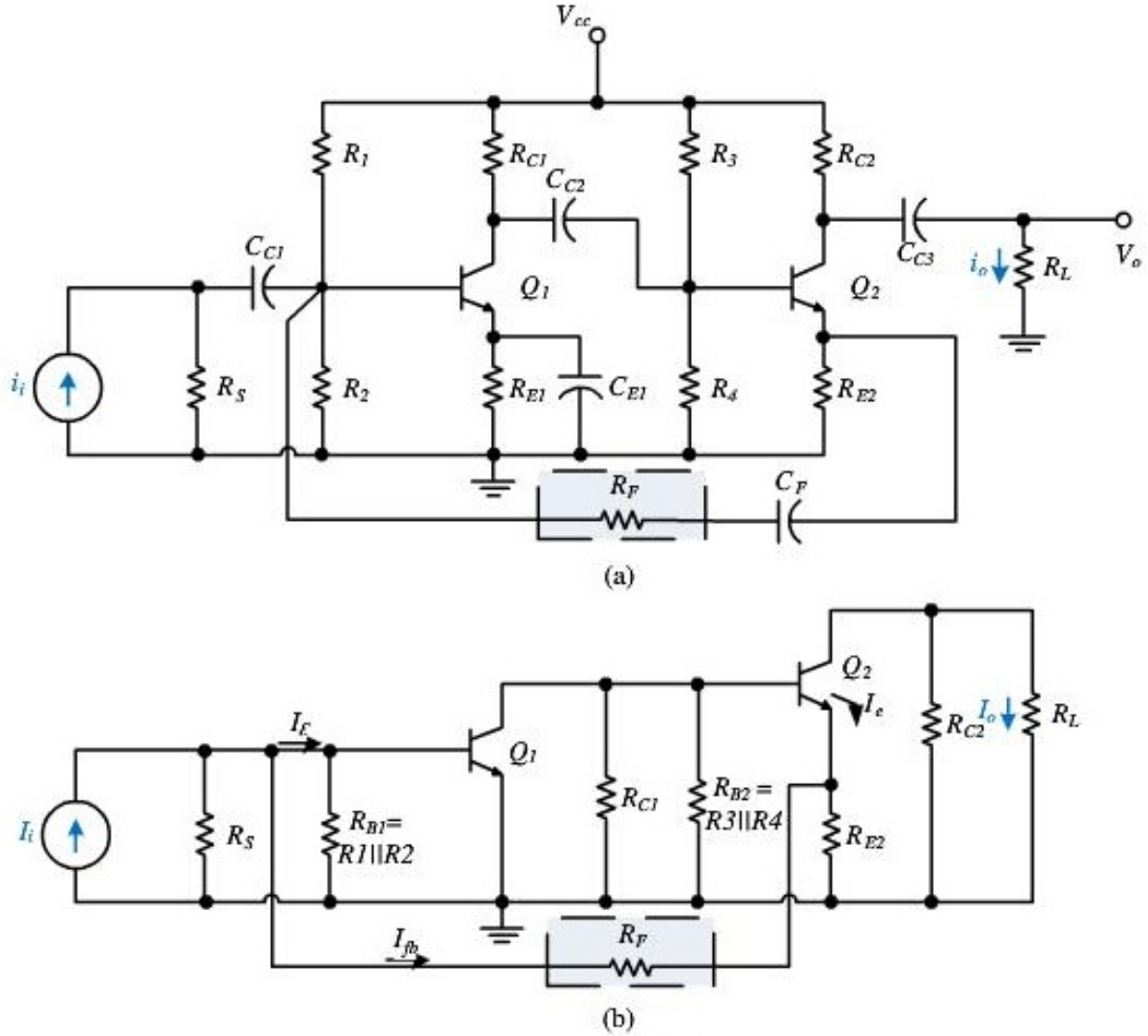
Vậy độ lợi vòng kín là:

$$A_{vF} = \frac{V_o}{V_i} = \frac{A_v}{1+\beta_v A_v} = \frac{h_{fe} R_E / h_{ie}}{1 + 1 \times (h_{fe} R_E / h_{ie})} = \frac{h_{fe} R_E}{h_{ie} + h_{fe} R_E} \qquad (9.35)$$

Nếu $h_{fe} R_E >> h_{ie}$, thì: $A_{vF} \cong 1$

Nhận xét: hệ số khuếch đại điện áp của mạch khá ổn định và bằng 1 là hằng số khi thoả điều kiện $\beta_v A_v >> 1$.

9.6.2. Mạch hồi tiếp dòng điện - song song



Hình 9.13. *Mạch khuếch đại hồi tiếp dòng điện song song.*

Mạch *Hình 9.*13 là khuếch đại gồm hai tầng khuếch đại có hồi tiếp âm dòng điện song song, tín hiệu dòng điện ở ngõ ra của tầng thứ hai được đưa trở về và mắc song song với ngõ vào của tầng thứ nhất. Hình 9.13b là hình dùng cho tín hiệu ac, các tụ được coi như liền mạch.

Độ lợi vòng hở là: $A_i = \dfrac{I_o}{I_\varepsilon} = A_{i1} \times A_{i2}$ (9.36)

$$A_{i1} = \frac{I_{o1}}{I_\varepsilon} = \frac{-\dfrac{R_{c1}}{R_{c1} + \{R_{B2} \| [(h_{ie2} + (h_{fe2}+1)R_{E2}]\}} h_{fe1} I_{b1}}{\dfrac{R_{B1} + h_{ie1}}{R_{B1}} I_{b1}} \quad (9.37)$$

$$A_{i2} = \frac{I_o}{I_{o1}} = \frac{\dfrac{R_{c2}}{R_{C2}+R_L} h_{fe2} I_{b2}}{\dfrac{R_{B2}+[h_{ie2}+(h_{fe2}+1)R_{E2}]}{R_{B2}} I_{b2}} \qquad (9.38)$$

Hệ số hồi tiếp: $\beta_i = \dfrac{I_{fb}}{I_o} = \dfrac{R_{E2}}{R_{E2}+[R_F+(R_{B1} \parallel h_{ie1})]}$ (9.39)

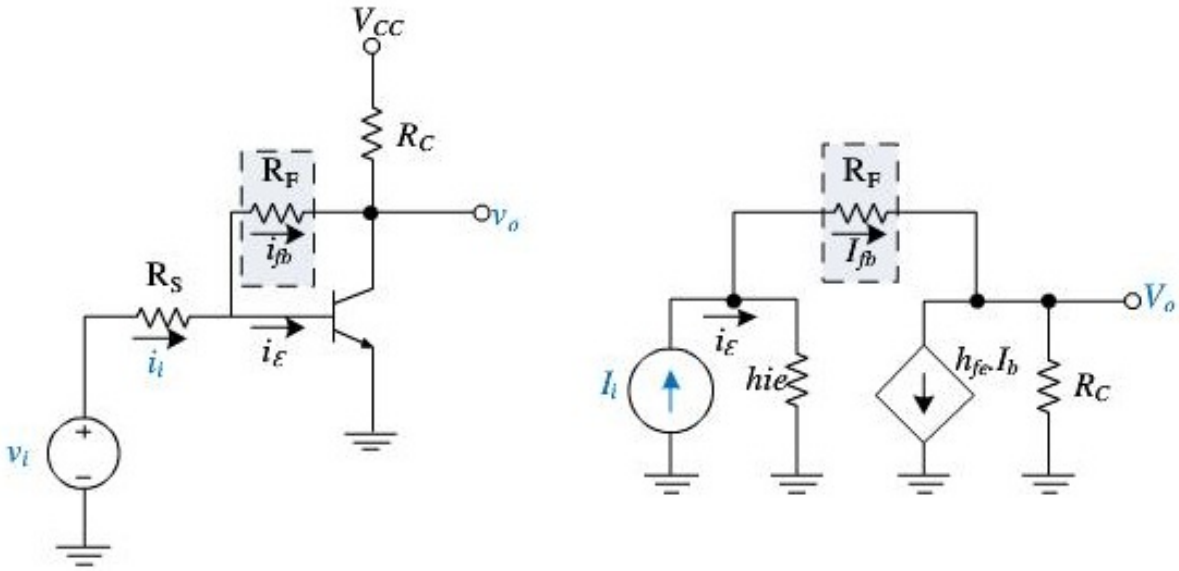
Vậy độ lợi vòng kín là: $A_{iF} = \dfrac{I_o}{I_i} = \dfrac{A_i}{1+\beta_i A_i}$ (9.40)

Nếu $\beta_i A_i >> 1$, thì: $A_{iF} \cong \dfrac{1}{\beta_i} \cong \dfrac{R_{E2}+[R_F+(R_{B1} \parallel h_{ie1})]}{R_{E2}}$ (9.41)

Và nếu $R_F >> (R_{B1} \parallel h_{ie1})$, thì: $A_{iF} \cong \dfrac{1}{\beta_i} \cong 1+\dfrac{R_F}{R_{E2}}$ (9.42)

Nhận xét: hệ số khuếch đại điện áp của mạch khá ổn định và bằng hằng số khi thoả điều kiện $\beta_i A_i >> 1$

9.6.3. Mạch hồi tiếp điện áp - song song



Hình 9.14. *Mạch hồi tiếp điện áp song song và sơ đồ tương đương tín hiệu nhỏ.*

Độ lợi vòng hở $A_z = \dfrac{V_o}{I_\varepsilon} = -\dfrac{h_{fe} I_b R_C}{I_b} = -h_{fe} R_C$ (9.43)

Hệ số hồi tiếp $$\beta_g = \frac{I_{fb}}{V_o} = -\frac{1}{R_F + h_{ie}} \quad (9.44)$$

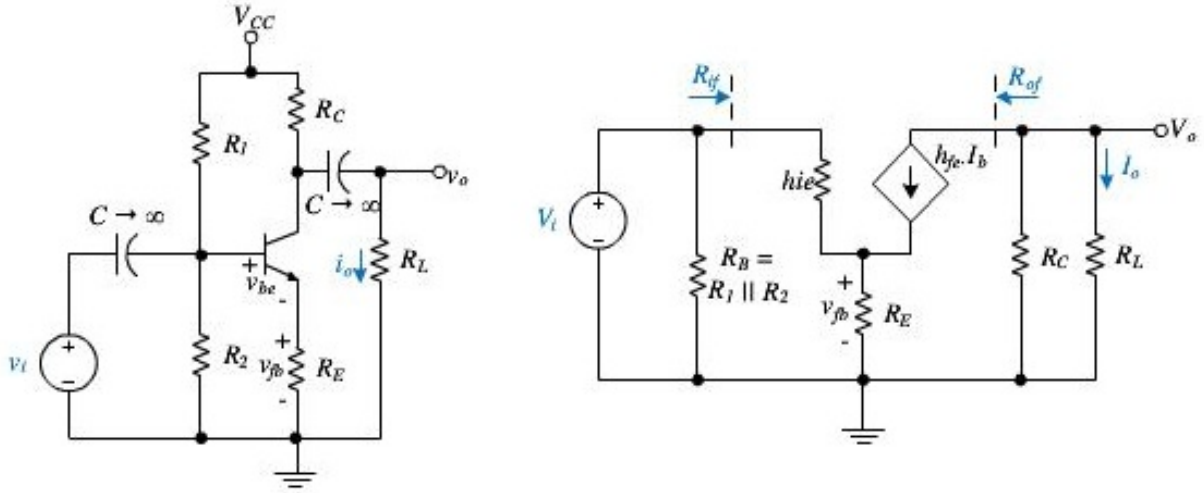
Vậy độ lợi vòng kín là: $$A_{zF} = \frac{V_o}{I_i} = \frac{A_z}{1+\beta_g A_z} = -\frac{h_{fe}R_C}{1+\dfrac{h_{fe}R_C}{R_F + h_{ie}}} \quad (9.45)$$

Nếu $h_{fe}R_C >> R_F + h_{ie}$, thì: $A_{zF} \cong -(R_F + h_{ie})$ (9.46)

Và nếu $R_F >> h_{ie}$ thì: $A_{zF} = -R_F$

Nhận xét: hệ số khuếch đại điện áp của mạch khá ổn định và bằng hằng số khi thoả điều kiện $\beta_g A_z >> 1$.

9.6.4. Mạch hồi tiếp dòng điện nối tiếp



***Hình 9.15**. Mạch khuếch đại hồi tiếp điện áp nối tiếp.*

Hình 9.15 là mạch hồi tiếp dòng điện nối tiếp. R_E đóng vai trò là điện trở hồi tiếp.

Độ lợi vòng hở $$A_g = \frac{I_o}{V_\varepsilon} = \frac{\dfrac{R_C}{R_C + R_L} h_{fe} I_b}{I_b h_{ie}} = \frac{h_{fe}R_C}{h_{ie}(R_C + R_L)} \quad (9.47)$$

Hệ số hồi tiếp:

$$\beta_z = \frac{V_{fb}}{I_o} = -\frac{I_b(1+h_{fe})R_E}{\dfrac{R_C}{R_C + R_L} h_{fe} I_b} \cong \frac{R_E(R_C + R_L)}{R_C} \quad (9.48)$$

Vậy độ lợi vòng kín là:

$$A_{gF} = \frac{I_o}{V_i} = \frac{A_g}{1+\beta_z A_g} = \frac{h_{fe}R_C / h_{ie}(R_C+R_L)}{1+(h_{fe}R_E / h_{ie})} = \frac{h_{fe}R_C}{(h_{ie}+h_{fe}R_E)(R_C+R_L)} \quad (9.49)$$

Nếu $h_{fe}R_E >> h_{ie}$, thì: $$A_{gF} \cong \frac{R_C}{R_E(R_C+R_L)} \quad (9.50)$$

Nhận xét: hệ số khuếch đại điện áp của mạch khá ổn định và bằng hằng số khi thoả điều kiện $\beta_z A_g >> 1$.

9.7. BÀI TẬP:

9.7.1. Tính độ lợi của một mạch hồi tiếp âm có: A = -2000 và $\beta = -1/10$.

9.7.2. Một mạch khuếch đại có A = 1000 và $\beta = 0{,}22$. Tìm A_{vF}.

9.7.3. Một mạch khuếch đại có A = 588và $\beta = 0{,}092$. Tìm A_{vF}.

9.7.4. Một mạch khuếch đại có hệ số khuếch đại A = -1000 và độ bất ổn định khi không hồi tiếp bằng 10%. Hãy tính độ bất ổn định của độ lợi nếu mạch khuếch đại được sử dụng trong cấu hình hồi tiếp âm có $\beta = -1/20$.

9.7.5. Tính độ lợi và điện trở ngõ vào, điện trở ngõ ra của mạch hồi tiếp điện áp nối tiếp có A = -300, $R_i = 1{,}5k\Omega$, $R_o = 50k\Omega$ và $\beta = -1/15$.

9.7.6. Mạch như bài 3 khi chưa có hồi tiếp có f_L = 2kHz và f_H = 826kHz. Tìm tần số cắt trên và dưới khi có hồi tiếp. Và độ lợi băng tần của mạch.

Gợi ý:

$$BW_f \cong BW(1+\beta A)$$

$$f_{Lf} = \frac{f_L}{1+\beta A}$$

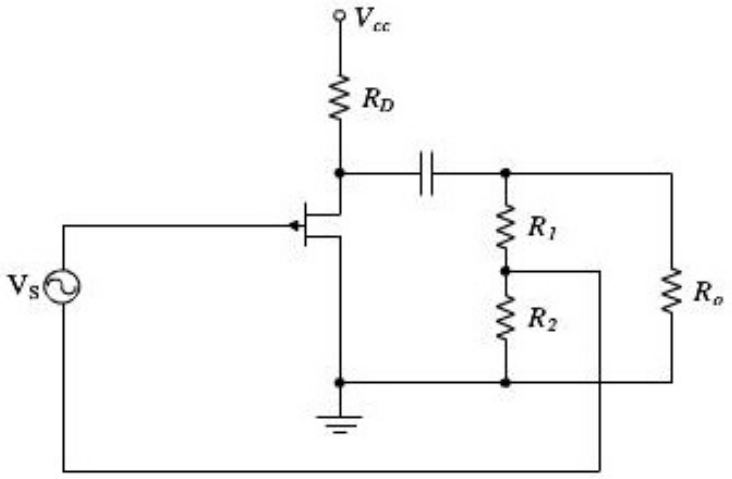
$$f_{Hf} = f_H(1+\beta A)$$

9.7.7. Mạch như bài 4 khi chưa có hồi tiếp có f_L = 8kHz và f_H = 980kHz. Tìm tần số cắt trên và dưới khi có hồi tiếp. Và độ lợi băng tần của mạch.

9.7.8. Tìm A_{vF}, R_{iF} và R_{oF} cho mạch khuếch đại có hồi tiếp điện áp nối tiếp có A = 1000; $R_i = 20k\Omega$, $R_0 = 500\Omega$ và β = -0.05.

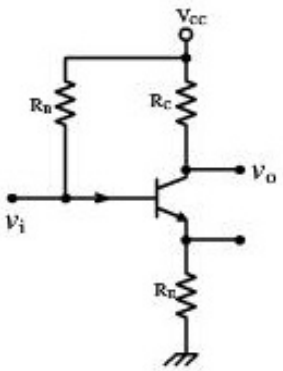
9.7.9. Tìm A_{vf}, Z_{inf} và Z_{of} cho mạch khuếch đại có hồi tiếp điện áp nối tiếp có $A_v = 500$; $Z_{in} = 12k$, $Z_o = 600$ và β=0.01.

9.7.10. Tính độ lợi trong trường hợp chưa có và có hồi tiếp của mạch khuếch đại sau, với $R_1 = 200k\Omega$, $R_2 = 800k\Omega$, $R_o = 40k\Omega$ và $g_m = 5000\mu S$ (Hình 9.16).



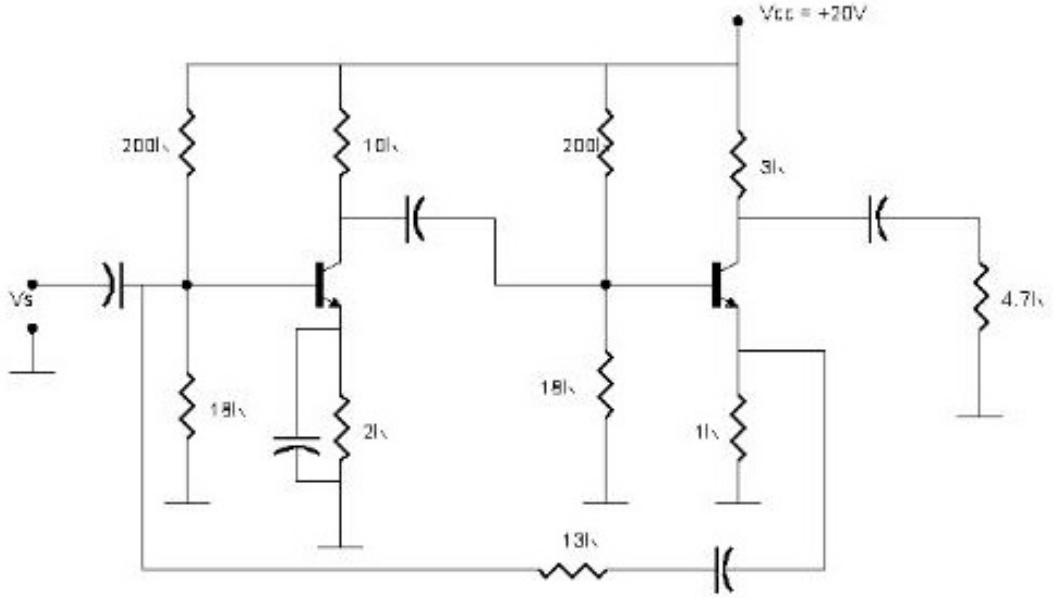
Hình 9.16

9.7.11. Cho mạch hình 9.17, tính độ lợi, điện trở ngõ vào, ra trong trường hợp chưa có và có hồi tiếp. Cho các thông số của mạch như sau: R_B = 600kΩ, R_E = 1.2kΩ, R_C = 12kΩ, h_{ie} = 2kΩ, h_{fe} = 75 và V_{CC} = 16V.



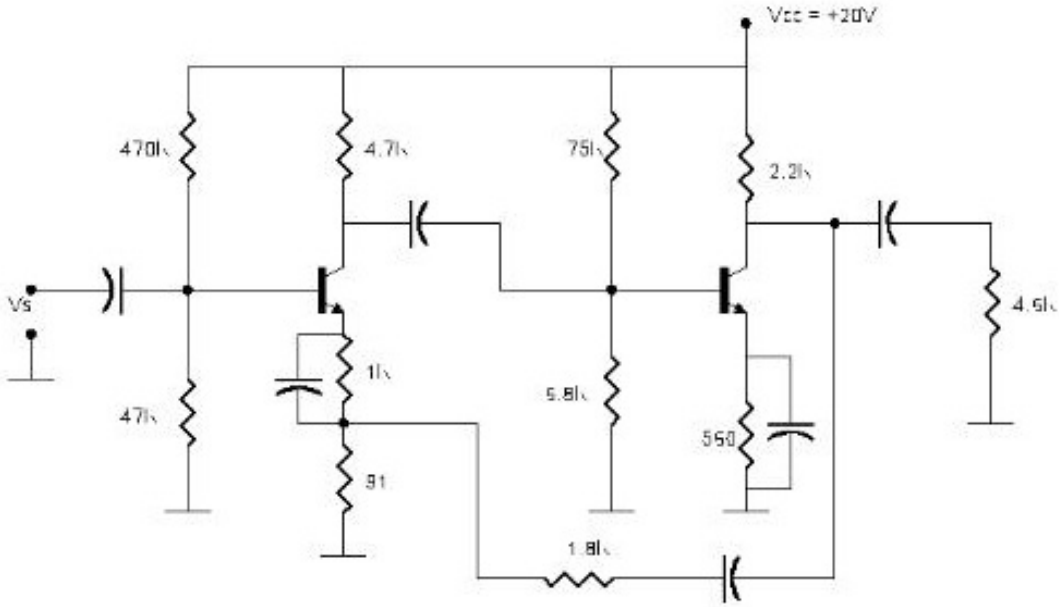
Hình 9.17

9.7.12. Tính độ lợi, điện trở ngõ vào và ngõ ra của mạch khuếch đại hình 9.18. Biết $h_{fe} = 125$ và $h_{ie} = 2.5K$.



Hình 9.18

9.7.13. Tính độ lợi dòng điện, điện trở ngõ vào và ra của mạch hình 9.19. Biết $h_{fe} = 75$, $h_{ie} = 2K$.



Hình 9.19

Với mạch như hình trên, nếu các transistor có $C_{bc} = 90pF$, $C_{be} = 8pF$ bỏ qua tụ ở ngõ vào và ngõ ra, các tụ liên lạc và bypass bằng 10uF.Hãy tìm đáp ứng tần số của mạch.

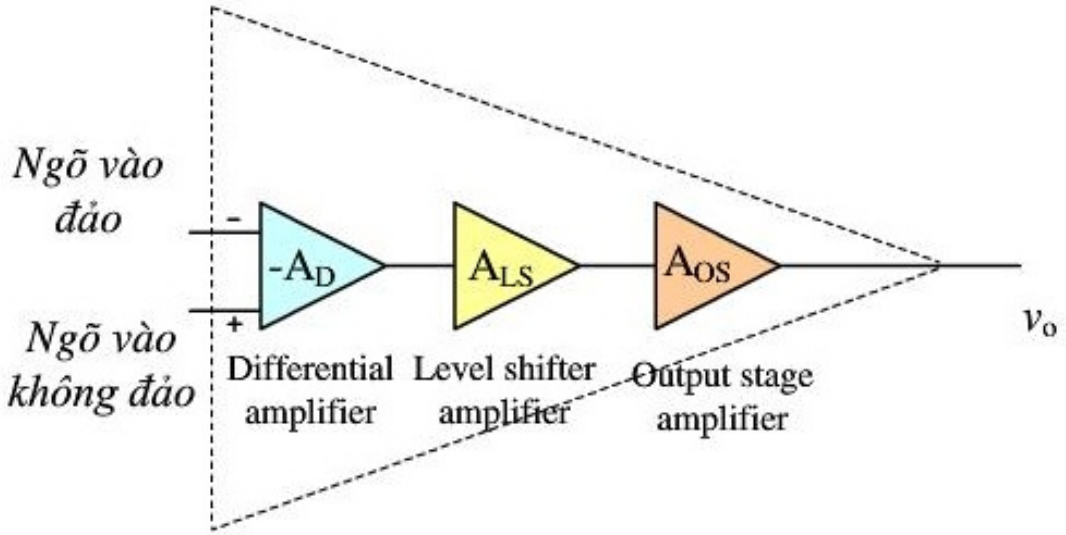
Chương 10
MẠCH KHUẾCH ĐẠI THUẬT TOÁN (OP-AMP: OPERATIONAL AMPLIFIER)

10.1. CẤU TRÚC MẠCH KHUẾCH ĐẠI THUẬT TOÁN

10.1.1. Giới thiệu:

Một mạch khuếch đại thuật toán (Operation Amplifier viết tắt là Op-amp) gồm có ba tầng phân biệt:

- Tầng khuếch đại vi sai ngõ vào có hệ số khuếch đại A_D(D- Differential)
- Tầng khuếch đại dời mức tín hiệu có hệ số khuếch đại A_{LS}(LS- Level Shifter)
- Tầng lấy tín hiệu ngõ ra biểu diễn là A_{OS}(OS- Output Stage)



Hình 10.1. *Sơ đồ khối của Op-Amp.*

Mạch khuếch đại thuật toán (Op-Amp) được cấu tạo cơ bản trên mạch khuếch đại ghép vi sai và các mạch điện để cải tiến các thông số của nó.

Mỗi ngõ vào của bất kỳ mạch khuếch đại nào cũng có hai phần: phần tín hiệu chính cần khuếch đại ta gọi là hiệu vi sai (Differential Input Signal viết tắt là v_{id}) và phần tín hiệu nhiễu ta gọi là tín hiệu cách chung (Common Input Signal viết tắt là v_{ic}), luôn tồn tại trong mạch điện tử được phân cực và trong môi trường chung quanh.

Mạch visai được trình bày chi tiết ở chương 8. Cấu trúc mạch visai có hai ngõ ra, trong trường hợp này, hai ngõ ra được nối với nhau thành một ngõ ra ta có các phương trình 8.16; 8.17; 8.18 và hệ số nén tín hiệu cách

chung – nén tín hiệu nhiễu CMRR (CMRR: Common Mode Rejection Ratio): $CMRR = 20\lg\frac{A_d}{A_c}$

Biện pháp làm tăng hệ số CMRR là thay R_E bằng một nguồn dòng để làm tăng điện trở R_e tối đa trong mạch ghép visai.

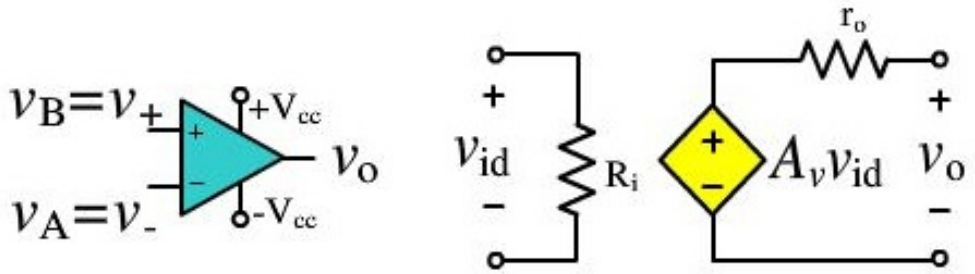
Khi mạch visai có hệ số nén tín hiệu nhiễu đạt giá trị cực đại, ta có tín hiệu ngõ ra không tồn tại nhiễu, đây là mạch triệt nhiễu, mạch Op-Amp sử dụng đặc tính này của khối khuếch đại vi sai.

Các thông số kỹ thuật của Op-Amp:

- Tổng trở ngõ vào lớn, lý tưởng $R_i \to \infty$;
- Tổng trở ra nhỏ, trường hợp lý tưởng $R_O \to 0$;
- Điện áp ngõ ra bằng 0 khi hiệu điện áp vào bằng 0;
- Hệ số khuếch đại vòng hở (open loop) vô cùng lớn, lý tưởng $A_{Vol} \to \infty$;
- Hệ số nén tín hiệu cách chung (tín hiệu nhiễu) CMRR vô cùng lớn, lý tưởng $CMRR \to \infty$.

➢ ***Kí hiệu mạch khuếch đại thuật toán:***

Có hai ngõ vào nhận tín hiệu là V_+ (còn được kí hiệu là V_B) và V_- (còn được kí hiệu là V_A) và một ngõ ra, có độ lợi điện áp vi sai lớn như *Hình 10.2*.



Hình 10.2. *Kí hiệu của Op-Amp và mạch tương đương.*

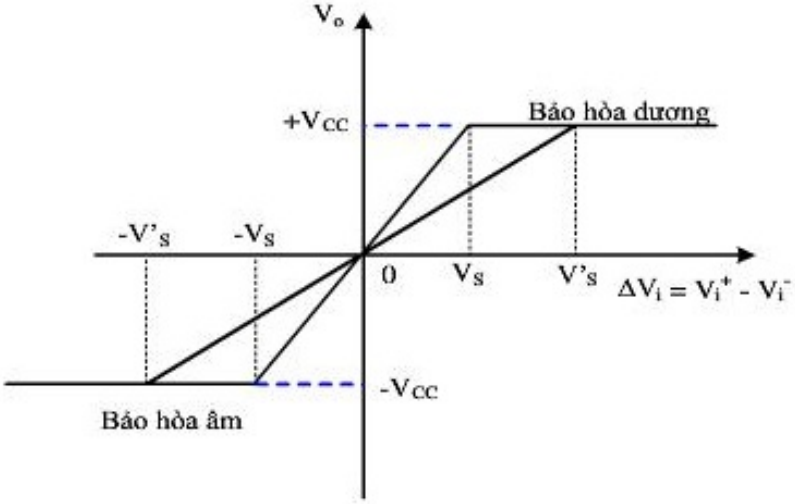
A_D là độ lợi điện áp vi sai, từ đây về sau chúng ta gọi chúng là hệ số khuếch đại vòng hở và kí hiệu là A_{VOL} (open loop).

Ta có: $$v_{id} = v_B - v_A = v_+ - v_- \quad (10.1)$$

Điện áp ra: $$v_o = A_{VOL}(v_B - v_A) = A_{VOL} v_{id} \quad (10.2)$$

Hay: $$v_{id} = \frac{v_o}{A_{VOL}} \quad (10.3)$$

Đặc tuyến truyền đạt của Op –amp có dạng như sau:



Hình 10.3. *Đặc tuyến truyền đạt của Op-Amp thực tế và lý tưởng.*

Mạch Op-Amp có thể hoạt động ở vùng khuếch đại (-VS ÷ VS) và vùng bảo hòa dương $\Delta V_i > V_S, \Delta V_i < -V_S$. Opamp có thể coi là một linh kiện bán dẫn sử dụng trong các bộ khuếch đại, lúc đó ta phải phân cực và thiết kế sao cho [-VS ÷ VS] giãn rộng ra. Đồ thị là đường –V'S, 0, +V'S như trên hình 10.3.

Sử dụng trong kỹ thuật số ta thu hẹp khoảng (-VS÷ VS) để đặc tuyến chỉ có bão hòa âm và bão hòa dương.

10.1.2. Cấu trúc các khối của mạch khuếch đại thuật toán

a. Khối ghép vi sai:

Khối ghép vi sai là cấu trúc chính của Op-Amp. Như đã trình bày ở chương 8, khối khuếch đại vi sai trong Op-Amp yêu cầu có hệ số nén tín hiệu nhiễu rất lớn, do đó người ta thường thay vào R_E là các nguồn dòng điện, và để đạt được hệ số khuếch đại cao, người ta thay R_C bằng các nguồn tải tích cực.

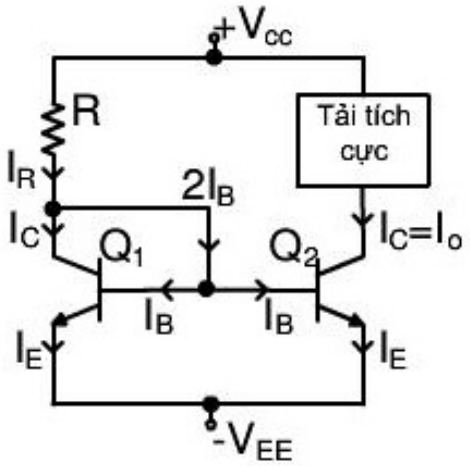
➢ **Các mạch nguồn dòng điện:**

Các mạch tạo nguồn dòng điện trong Op-Amp được dùng dưới dạng dòng điện gương, có chức năng tạo điện trở tại cực E lớn để mạch khuếch đại vi sai tăng hệ số nén nhiễu.

- **Mạch dòng điện gương cơ bản**:

Dòng điện gương cơ bản thường có giá trị dòng rất nhỏ từ 10-100 μA .

BJT ở ngõ ra mắc kiểu chung cực nền (base common) CB nên có điện trở ngõ ra lớn.



Hình 10.4. *Dòng điện gương cơ bản.*

Trên hình 10.4, ta có I_R là dòng điện chuẩn Q_1 có cực B và C nối chung lại, nên Q_1 được nối thành diode. Giả sử Q_1, Q_2 được chế tạo trên cùng một chip có các thông số giống hệt nhau.

Nên $$V_{BE1} = V_{BE2} \quad (10.4)$$

$$I_{E1} = I_{E2} = I_E \quad (10.5)$$

Ta có: $$I_B = \frac{I_E}{\beta + 1} = I_{B1} = I_{B2} \quad (10.6)$$

$$I_C = \frac{\beta I_E}{\beta + 1} = I_{C1} = I_{C2} \quad (10.7)$$

$$I_R = I_C + 2I_B = \frac{\beta + 2}{\beta + 1} I_E \quad (10.8)$$

Tỉ số giữa dòng I_{C2} và I_R:

$$\frac{I_{C2}}{I_R} = \frac{\beta I_E(\beta + 1)}{(\beta + 1)(\beta + 2)I_E} = \frac{\beta}{\beta + 2} = \frac{1}{1 + 2/\beta} \quad (10.9)$$

Ta có β rất lớn nên $1+{}^{2}\!/_{\beta} \cong 1$ do đó $I_{C2} = I_R$. Vậy dòng điện I_R gần bằng dòng I_{C2} của Q_2 nên được gọi là dòng điện gương.

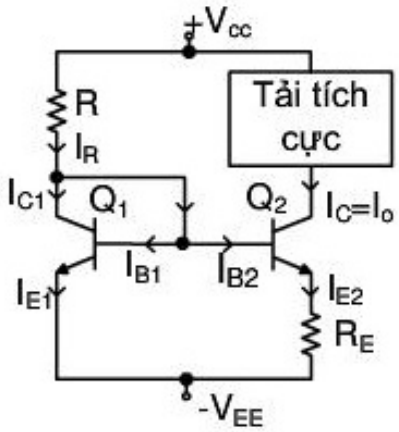
Đối với dòng điện gương cơ bản dòng I_R là:

$$I_R = \frac{V_{CC} - (-V_{EE}) - V_{BE1}}{R} \qquad (10.10)$$

Tổng trở ngõ ra là: $$Z_o = r_o = {}^{1}\!/_{h_{oe}} \qquad (10.11)$$

- **Mạch dòng điện gương Widlar**

Gương Widlar có sơ đồ mạch như hình sau:



Hình 10.5. *Dòng điện gương Widlar.*

Nhận xét: cực E của BJT ngõ ra được nối qua một điện trở đến $-V_{EE}$.

Trong dòng điện gương Widlar, dòng điện I_O không bằng dòng điện chuẩn I_R, nhưng nó bằng một phần nhỏ dòng I_R được xác định bởi điện trở R. Ưu điểm của mạch là có thể tạo ra một dòng điện nhỏ không cần phải dùng các điện trở có giá trị lớn.

Do Q_1 là transistor mắc theo kiểu diode, nên

$$V_{BE1} = V_T \ln \frac{I_R}{I_S} \qquad (10.12)$$

Trong đó I_S là dòng bão hòa ngược của transistor.

Và do có một phần điện áp rơi trên điện trở R_E nên V_{BE2} nhỏ hơn V_{BE1}. Vì vậy dòng I_B giảm nhỏ làm I_O giảm nhỏ theo:

$$V_{BE1} = V_{R_E} + V_{BE2} = I_E R_E + V_{BE2} \cong I_o R_E + V_{BE2} \qquad (10.13)$$

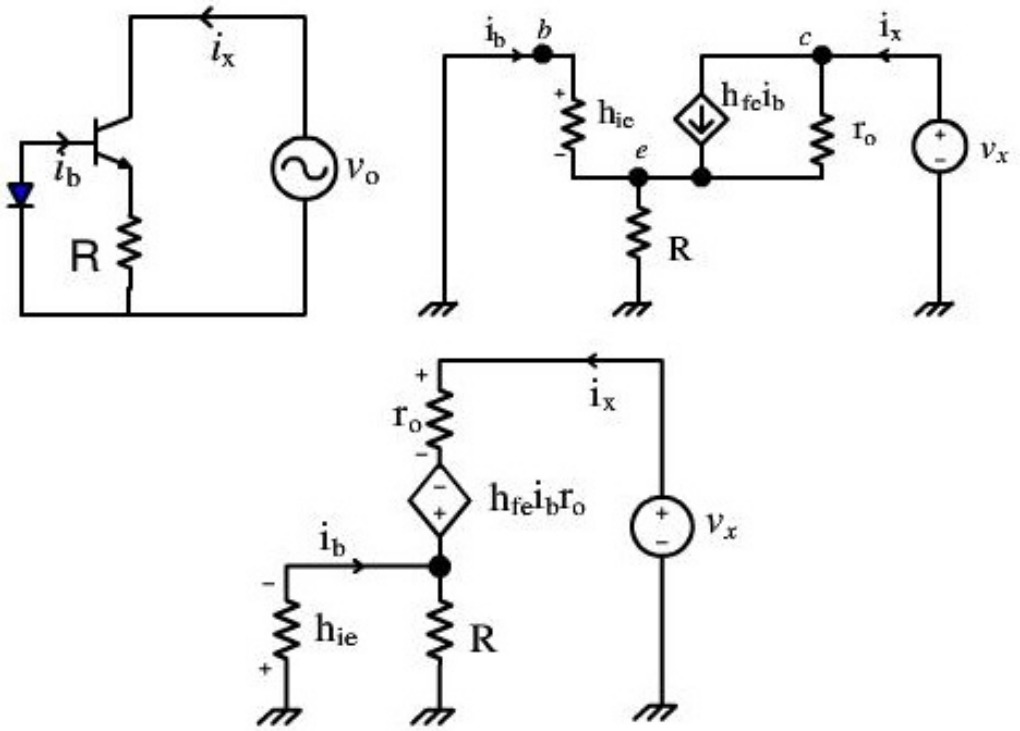
Khi đó ta có:

$$I_R = \frac{V_{CC} - (-V_{EE}) - V_{BE1}}{R} \quad (10.14)$$

$$V_{BE2} = V_T \ln \frac{I_o}{I_S} \quad (10.15)$$

$$I_o R_E = V_{BE1} - V_{BE2} = V_T \ln \frac{I_R}{I_o} \quad (10.16)$$

Tổng trở ngõ ra của dòng điện gương Widlar được tính theo sơ đồ tương đương của mạch:



Hình 10.6. *Sơ đồ tương đương tín hiệu nhỏ của dòng điện gương Widlar*

$$Z_o = \frac{V_o}{I_o}\Big|_{V_b=0} = \frac{V_x}{i_x} \quad (10.17)$$

$$v_X + h_{ie} i_b + h_{fe} i_b r_o = r_o i_x \quad (10.18)$$

$$v_x = -i_b (h_{ie} + h_{fe} r_o) + r_o i_x \quad (10.19)$$

$$i_b h_{ie} = -i_x (R \parallel h_{ie}) = -\frac{h_{ie} R}{R + h_{ie}} i_x \quad (10.20)$$

$$i_b = -i_x \frac{R}{R + h_{ie}} \tag{10.21}$$

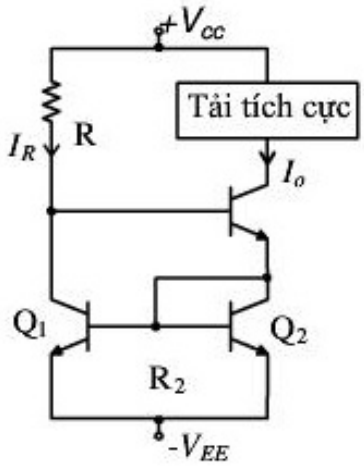
Thay i_b vào: $$v_x = i_x(h_{ie} + h_{fe}r_o)\frac{R}{R + h_{ie}} + r_o i_x \tag{10.22}$$

Vậy tổng trở ngõ ra của mạch là:

$$Z_o = \frac{V_o}{I_o}\Big|_{V_b=0} = \frac{V_x}{i_x} = \frac{(h_{ie} + h_{fe}r_o)R}{R + h_{ie}} + r_o \tag{10.23}$$

Vậy tổng trở ngõ ra của mạch Widlar lớn hơn mạch cơ bản.

- **Dòng điện gươngWilson**



Hình 10.7. *Dòng điện gương Wilson.*

Gương Wilson có cực E của BJT ngõ ra được nối qua một BJT đến $-V_{EE}$.

Ta có: $$V_{BE1} = V_{BE2}$$

$$I_{E1} = I_{E2} = I_E$$

Ta có: $$I_{B1} = I_{B2} = \frac{I_E}{\beta + 1}$$

$$I_{C1} = I_{C2} = I_C = \frac{\beta I_E}{\beta + 1} \tag{10.24}$$

$$I_{E3} = I_{C2} + I_{B1} + I_{B2} = \frac{\beta + 2}{\beta + 1} I_E \tag{10.25}$$

$$I_{B3} = \frac{\beta+2}{(\beta+1)^2} I_E \tag{10.26}$$

$$I_o = I_{C3} = \frac{\beta}{\beta+1} I_{E3} = I_E \frac{\beta^2+2\beta}{(\beta+1)^2} \tag{10.27}$$

$$I_R = I_{C1} + I_{B3} = \frac{\beta}{\beta+1} I_E + \frac{\beta+2}{(\beta+1)^2} I_E = I_E \left(\frac{\beta^2+2\beta+2}{(\beta+1)^2} \right) \tag{10.28}$$

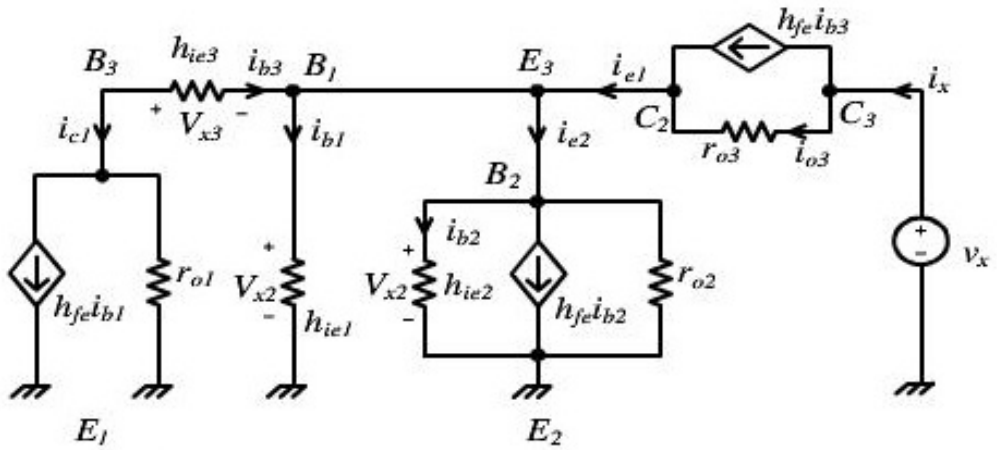
Tỉ số giữa dòng I_O và dòng I_R:

$$\frac{I_o}{I_R} = \frac{\beta^2+2\beta}{\beta^2+2\beta+2} \tag{10.29}$$

Với dòng I_R là:

$$I_R = \frac{V_{CC} - (-V_{EE}) - V_{BE3} - V_{BE2}}{R} \tag{10.30}$$

Tổng trở ra của mạch dòng điện gương Wilson được tính theo sơ đồ tương đương tín hiệu nhỏ:



Hình 10.8. *Sơ đồ tương đương tín hiệu nhỏ của dòng điện gương Wilson.*

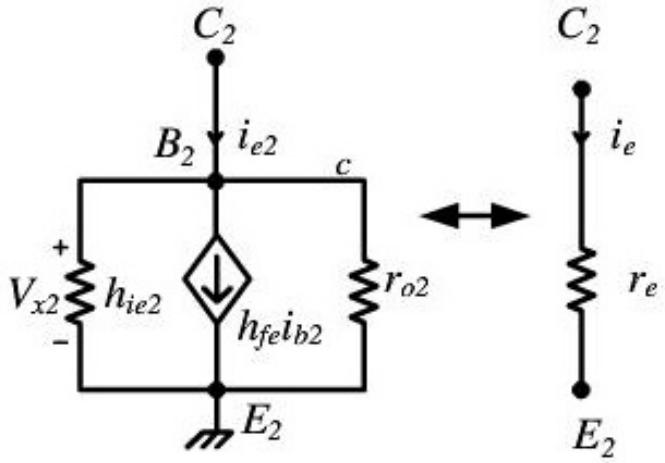
Ta có: $Z_o = \dfrac{V_x}{I_x}$

Do r_{o2} lớn hơn rất nhiều h_{ie2} nên tổng trở bằng h_{ie2}

$$i_{C2} = i_{b2} + h_{fe2} i_{b2} \cong h_{fe2} i_{b2} \tag{10.31}$$

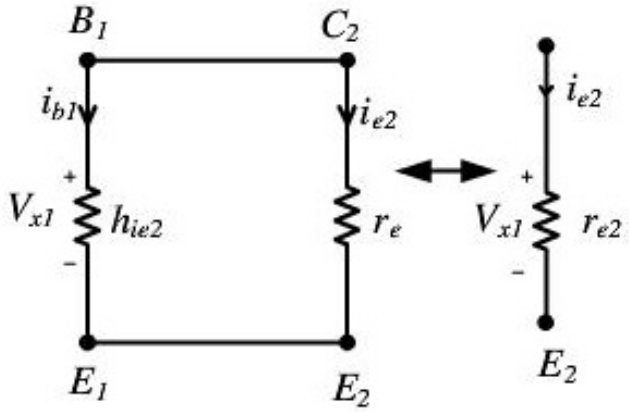
$$v_{ce2} = i_{b2} h_{ie2} \cong i_{c2} r_{e2} \tag{10.32}$$

Khi đó khối E_2, B_2, C_2 được thay bằng điện trở r_{e2}



Hình 10.9. *Mạch tương đương.*

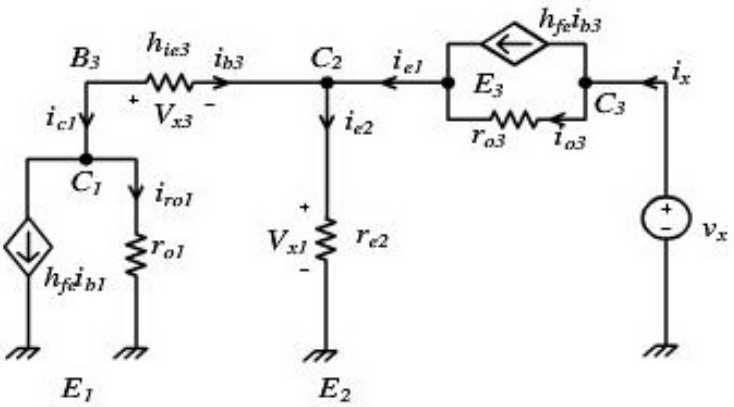
Xét nhánh B_1E_1 và C_2E_2: (kết hợp với nhánh vừa xét ở trên):



Hình 10.10. *Mạch tương đương.*

Do dòng i_{b1} nhỏ và h_{ie1} lớn nên nhánh B_1E_1 có thể bỏ qua.

Sơ đồ mạch còn lại như sau:



Hình 10.11. *Mạch tương đương còn lại.*

$$i_{C1} = h_{fe1} i_{b1} + i_{ro1} \quad (10.33)$$

Do dòng i_{ro1} nhỏ (r_o lớn) và Q_1, Q_2 có cùng thông số nên:

$$i_{C1} = h_{fe1} i_{b1} \cong i_{e2} \quad (10.34)$$

$$i_x = h_{fe3} i_{b3} + i_{ro3} = 2i_{e2} = 2i_{e1} \quad (10.35)$$

$$i_{ro3} = 2i_{e2} - h_{fe3} i_{b3} = 2i_{e2} + \beta i_{e2} = i_{e2}(\beta + 2) \quad (10.36)$$

$$V_x = i_{e2} r_{e2} + i_{ro3} r_{o3} = i_{e2} r_{e2} + i_{e2}(\beta + 2) r_{o3} \cong \quad (10.37)$$

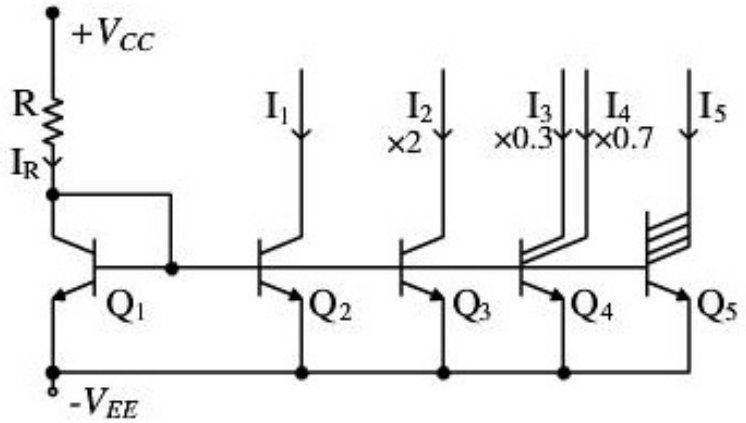
$$Z_o = \frac{V_x}{I_x} = \frac{i_{e2} r_{e2} + i_{e2}(\beta + 2) r_{o3}}{2i_{e2}} = \frac{\beta}{2} r_{o3} \quad (10.38)$$

Vậy mạch gương Wilson có tổng trở ra lớn hơn rất nhiều mạch cơ bản và Widlar.

➢ **Bus phân cực:**

Có ba dạng bus phân cực thường dùng trong vi mạch tuyến tính: bus phân cực dùng dòng điện gươngcơ bản, bus phân cực dùng dòng điện gương Widlar, bus phân cực dùng điện trở tỉ lệ.

Hình 10.12 là nguồn dòng được cấu tạo từ dòng điện gương cơ bản dùng để tạo ra các nguồn dòng ổn định có các trị số khác nhau. Các dòng khác nhau này dựa trên tính chất là dòng điện cực thu tỉ lệ với dòng điện bão hòa I_S trong transistor đơn khối, dòng điện bão hòa tỉ lệ với kích thước transistor và kích thước của vi mạch.

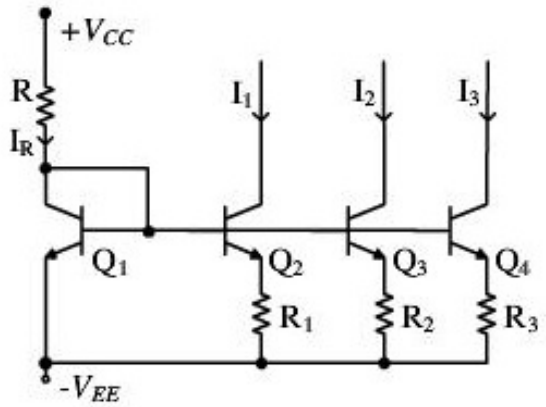


Hình 10.12. *Bus phân cực dùng dòng điện gương cơ bản.*

Các ký hiệu trong bus phân cực dòng điện gương:

- Transistor Q_2 không có ký hiệu gì nghĩa là Q_2 có kích thước bằng transistor chuẩn Q_1.
- Ký hiệu x2 ở transistor Q_3 có nghĩa là kích thước của Q_3 gấp đôi Q_1.
- Q_4 có hai collector, mỗi collector tiêu biểu cho 1 BJT riêng lẻ giống như Q_2.
- Transistor Q_5 có 4 cực collector nên $I_5 = 4I_R$.

Hình 10.13 mô tả sơ đồ mạch điện của bus phân cực dùng dòng điện gương Widlar:



Hình 10.13. *Bus phân cực dùng dòng điện gương Widlar.*

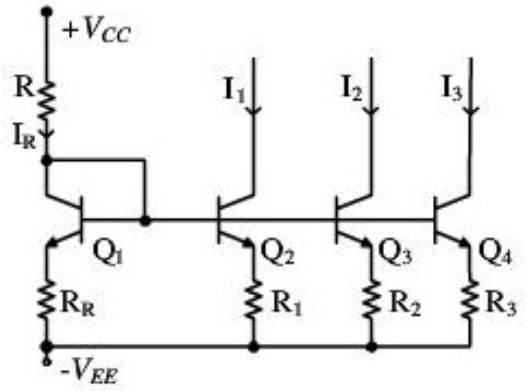
Công thức tính dòng:

$$I_1R_1 = V_T \ln\frac{I_R}{I_1} \quad (10.39)$$

$$I_2R_2 = V_T \ln\frac{I_R}{I_2} \quad (10.40)$$

$$I_3R_3 = V_T \ln\frac{I_R}{I_3} \quad (10.41)$$

Trên hình 10.14 mô tả mạch bus phân cực dùng điện trở tỉ lệ:



Hình 10.14. *Bus phân cực dùng trở tỉ lệ.*

Mạch hoạt động dựa trên hai nguyên tắc là các điện áp V_{BE} của các BJT đều bằng nhau.Điện áp rơi trên các điện trở của các transistor phải bằng nhau.

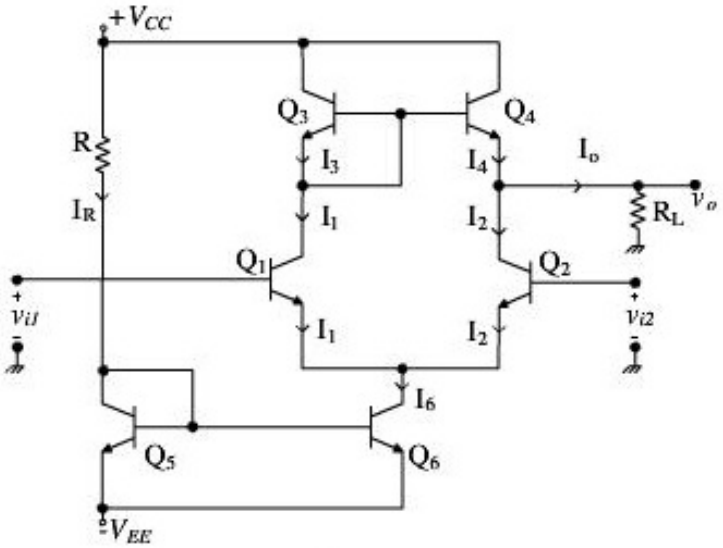
Do đó:

$$V_{R_R} = V_{R1} \Leftrightarrow I_R R_R = I_1 R_1 \qquad (10.42)$$

$$\Rightarrow \begin{cases} I_1 = I_R \dfrac{R_R}{R_1} \\ I_2 = I_R \dfrac{R_R}{R_2} \end{cases} \qquad (10.43)$$

➢ **Tải tích cực**

Tải tích cựclà tải trên cực c của mạch ghép visai được thay bằng các nguồn dòng điện để tăng hệ số khuếch đại của mạch.



Hình 10.15. *Mạch khuếch đại vi sai dùng tải tích cực.*

Q_5 và Q_6 đóng vai trò là dòng điện gương cơ bản dùng để tạo thành nguồn dòng ổn định cho mạch khuếch đại vi sai và có tổng trở ra lớn.

Ta có $$I_6 = I_R \quad (10.44)$$

Q_1 và Q_2 là 2 transistor tạo thành mạch khuếch đại vi sai.

$$I_6 = I_1 + I_2 \quad (10.45)$$

Xem $$I_C = I_E$$

Q_1 và Q_2 có các thông số giống nhau nên:

$$I_1 = I_2 = \frac{I_6}{2} \quad (10.46)$$

Q_3 và Q_4 đóng vai trò là dòng điện gương cơ bản để tạo thành tải tích cực cho mạch khuếch đại vi sai.Q_3 là transistor điều khiển tạo nguồn dòng ổn định cho Q_4.

Với hệ số beta lớn thì:

$$I_3 = I_1$$
$$I_4 = I_3 \quad (10.47)$$
$$\Rightarrow I_4 = I_1 \quad (10.48)$$

Ta có: $$I_o = I_4 - I_2 \quad (10.49)$$

Nếu $I_o = 0$ thì $I_4 = I_2$ gọi là điều kiện cân bằng. Tổng trở ngõ ra của mạch khuếch đại vi sai là:

$$Z_o = Z_{o4} \parallel Z_{o2} \quad (10.50)$$

Do dòng điện cực C rất bé nên tổng trở ra của Q_2 và Q_4 lớn, điện trở tải R_L càng lớn sẽ làm cho độ lợi lớn.

Hệ số khuếch đại vi sai: $A_{VD} = \frac{v_o}{v_{id}} = -\frac{Z_L}{2r_e}$ (10.51)

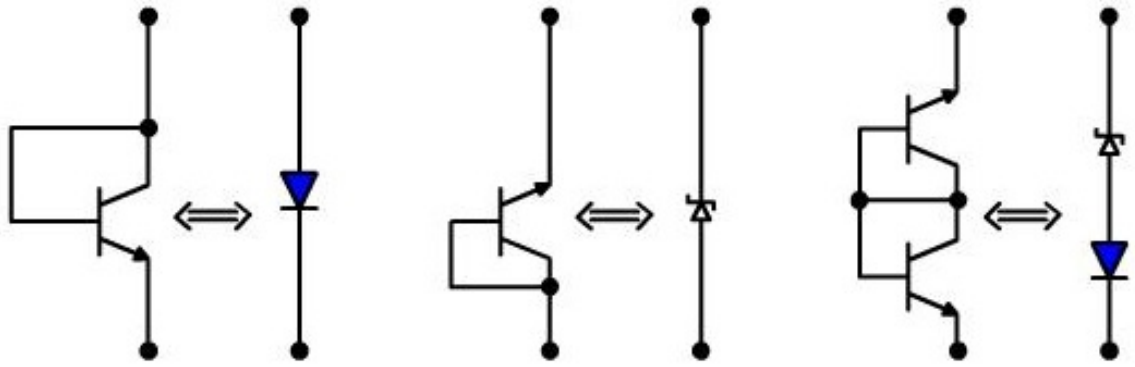
Vậy đối với điện áp vào cách chung trong trường hợp lý tưởng sẽ không có tín hiệu ở ngõ ra, tuy nhiên do hai BJT không thể giống nhau về thông số nên vẫn có điện áp cách chung ở ngõ ra.

Hệ số nén tín hiệu cách chung - CMRR dùng để đánh giá mạch khuếch đại vi sai về khả năng khuếch đại sự sai biệt điện áp ở hai ngõ vào. CMRR càng lớn mạch khuếch đại vi sai càng tốt.

b. Tầng dời mức trong mạch khuếch đại thuật toán

Tầng dời mức có chức năng là dịch mức điện áp DC tại cực C của tầng khuếch đại vi sai xuống mức điện áp thấp hơn để ngõ ra của Op-Amp có mức điện áp 0V khi ngõ vào $V_{in} = 0V$.

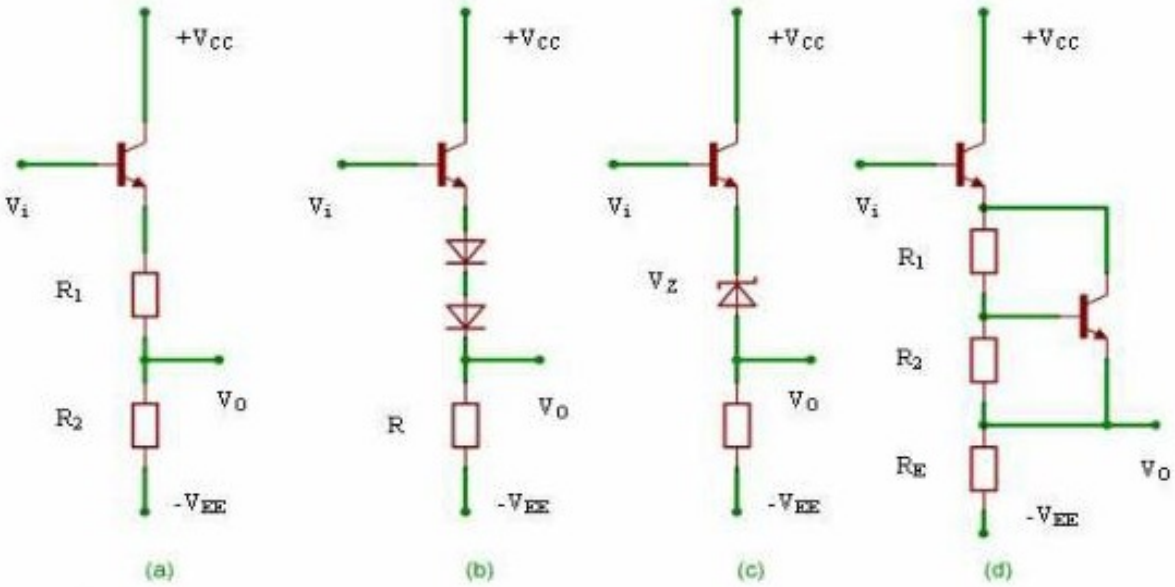
Các kiểu kết nối transistor thường dùng trong vi mạch:



(a) *(b)* *(c)*

Hình 10.16. *(a). Diode; (b). Diode Zener; (c). Diode Zener có bù nhiệt.*

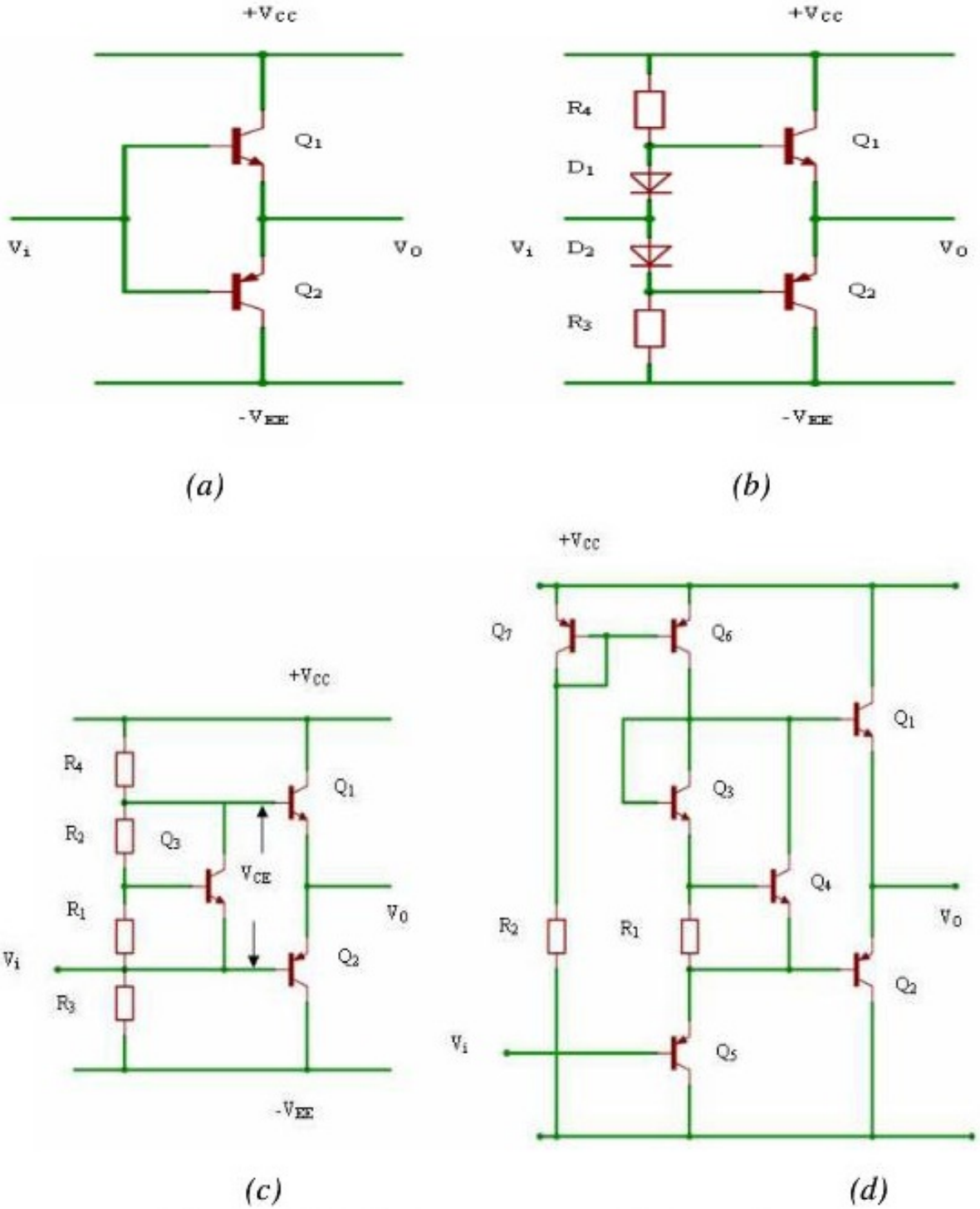
Các dạng mạch dịch mức cơ bản có dạng như hình sau:



Hình 10.17. *Mạch dịch mức dùng: (a). Cầu R. (b). Chuỗi diode. (c). Diode Zener. (d). Mạch nhân V_{BE}*

c. *Mạch xuất tín hiệu ngõ ra:*

Có nhiệm vụ khuếch đại dòng, có tổng trở ngõ ra nhỏ, có khả năng cho tín hiệu ac ra lớn vẫn không bị méo. Các mạch xuất tín hiệu ngõ ra thường có dạng là mạch khuếch đại công suất dạng đẩy kéo.



Hình 10.18. *Các dạng mạch xuất tín hiệu ngõ ra.*

➢ ***Mạch hình a:*** cả hai transistor cùng rơi vào vùng ngưng dẫn khi tín hiệu vào có biên độ nhỏ hơn điện áp ngưỡng nên gây méo xuyên tâm đối

với tín hiệu ngõ ra. Để hạn chế méo xuyên tâm thì phải phân cực cho 2 transistor Q_1 và Q_2 hoạt động ở chế độ AB.

➢ ***Mạch hình b:*** là mạch cải thiện của mạch hình a, 2 diode và R_3, R_4 đóng vai trò phân cực cho Q_1 và Q_2 ở chế độ AB.

➢ ***Mạch hình c:*** là mạch nhân áp V_{BE} gồm Q_3 và R_1, R_2 có chức năng tạo ra điện áp $2V_{BE}$ để phân cực cho Q_1 và Q_2.

Ta có: $$V_{CE3} = V_{BE3}(1 + \frac{R_2}{R_1}) \quad (10.52)$$

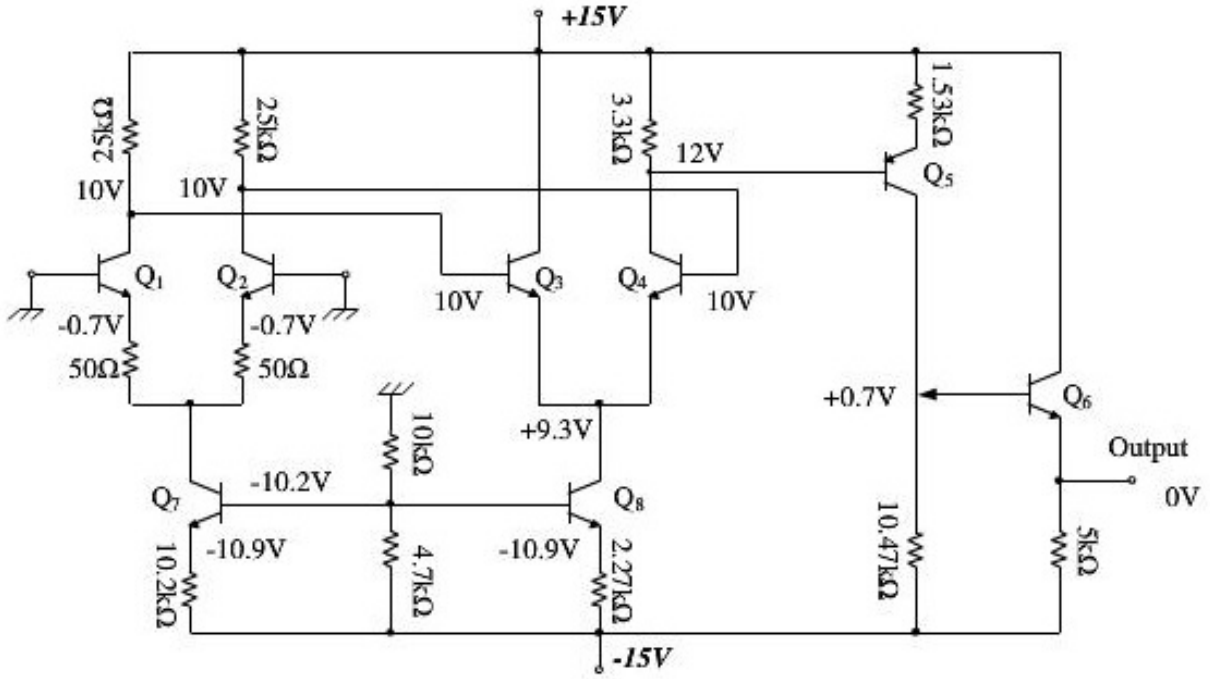
Điện áp V_{CE} của transistor Q_3 đượcchỉnh sao cho bằng $2V_{BE}$. R_3 và R_4 phân cực cho Q_3 hoạt động.

➢ ***Hình d:*** Q_6, Q_7, R_2 là mạch dòng điện gương để mạch ngõ ra hoạt động ổn định.

Q_3 là transistor mắc kiểu diode cùng với R_1 và Q_5 và nguồn dòng để phân cực Q_4, tạo thành mạch nhân áp sao cho $V_{CE4} = 2V_{BE}$.

10.1.3. Khảo sát sơ đồ nguyên lý của một mạch khuếch đại thuật toán Op-Amp

Cấu trúc chi tiết bên trong của một Op-Amp như hình 10.19.



Hình 10.19. *Mạch khuếch đại thuật toán đơn giản.*

Q_7, Q_8 làm thành nguồn dòng ổn định cùng với các điện áp phân cực để cấp dòng cho hai tầng khuếch đại vi sai.

Q_1, Q_2 với các điện trở 25kΩ và 50Ω thành lập tầng khuếch đại vi sai ở ngõ vào. Điện trở 50Ω nằm ở cực E của Q_1, Q_2 dùng để tăng tổng trở vào cho mạch khuếch đại và làm giảm bớt độ nhạy khi r_e thay đổi (ổn định nhiệt).

Q_3, Q_4 thành lập tầng khuếch đại vi sai không cân bằng để tăng độ lợi điện áp.

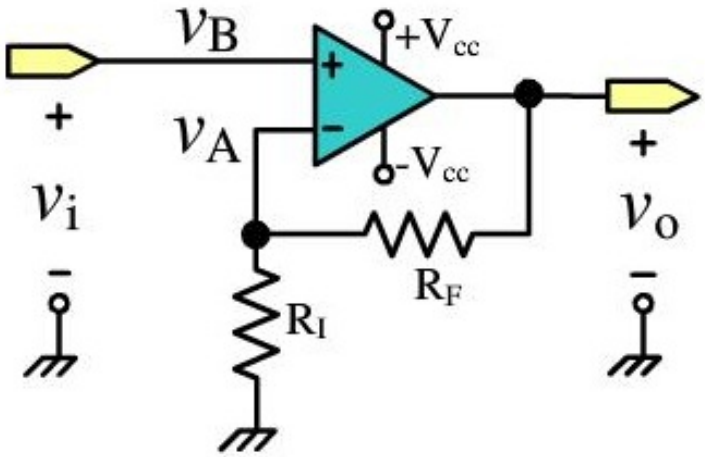
Q_5 dùng làm mạch dịch mức điện áp.

Q_6 là mạch CC dùng để xuất tín hiệu ra tải.

10.2. ỨNG DỤNG OP-AMP NHƯ MỘT PHẦN TỬ MẠCH

10.2.1. Mạch khuếch đại không đảo

Sơ đồ mạch khuếch đại có hồi tiếp như hình 10.20.



Hình 10.20. *Mạch khuếch đại có hồi tiếp âm.*

Hãy xác định độ lợi điện áp vòng kín và tổng trở vào và tổng trở ra của mạch.

Xác định độ lợi điện áp vòng kín:

Để đơn giản ta kí hiệu $A_{VOL} = A_V = A$

Ta tính điện áp ra:

$$v_o = Av_{id} = (v_i - v_A)A = A\left(v_i - v_o \frac{R_I}{R_I + R_F}\right) \quad (10.53)$$

Hay: $$v_o = \frac{Av_i}{1 + A\dfrac{R_I}{R_I + R_F}} \quad (10.54)$$

Suy ra độ lợi điện áp vòng kín:

$$A_{VCL} = \frac{v_o}{v_i} = \frac{A}{1 + A\dfrac{R_I}{R_I + R_F}} = \frac{A}{1 + A\beta} \quad (10.55)$$

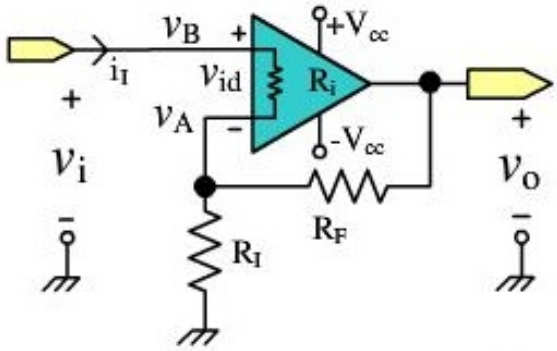
Với $$\beta = \frac{R_I}{R_I + R_F} \quad (10.56)$$

Đối với một Op-Amp lý tưởng thì độ lợi vòng hở $A_{VOL} = A_V = A = \infty$ (rất lớn) khi đó hệ số khuếch đại vòng kín sẽ là:

$$A_{VCL} = \frac{v_o}{v_i} = \frac{R_I + R_F}{R_I} = 1 + \frac{R_F}{R_I} \quad (10.57)$$

Xác định tổng trở vào $Z_i = \dfrac{V_i}{I_i}$:

Ta có sơ đồ mạch tương đương để tính tổng trở vào như hình 10.21.



Hình 10.21. *Sơ đồ mạch tương đương để tính tổng trở*

Ta có $$v_{id} = (v_i - v_A) = v_i - v_o\frac{R_I}{R_I + R_F} \quad (10.58)$$

Mặc khác ta có: $$v_{id} = i_I R_i \quad (10.59)$$

Và $$v_o = AV_{id} = Ai_I R_i \quad (10.60)$$

Ta có $$i_I R_i = v_i - A\frac{i_I R_I}{R_I + R_F}R_i \quad (10.61)$$

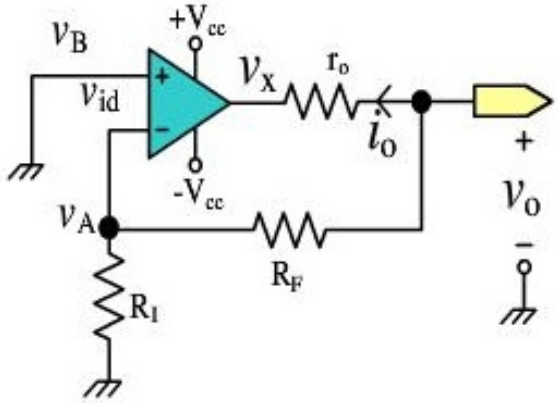
Suy ra $$v_i = \left(R_i + A\frac{R_I}{R_I + R_F} R_i \right) \times i_I \quad (10.62)$$

Tổng trở vào

$$Z_i = \frac{v_i}{i_I} = R_i + A\frac{R_I}{R_I + R_F} R_i = R_i(1 + A\frac{R_I}{R_I + R_F}) = R_i(1 + A\beta) \quad (10.63)$$

Xác định tổng trở ra $Z_o = \frac{v_o}{i_o}\Big| v_i = 0$:

Ta có sơ đồ tương đương để tính tổng trở ra như hình 10.22.



Hình 10.22. *Sơ đồ mạch tương đương để tính tổng trở ra.*

Để tính tổng trở ra thì ngõ vào + phải nối mass.

Ta có $$v_o = i_o r_o + A v_{id} \quad (10.64)$$

Mà: $$v_{id} = 0 - v_A = -v_o \frac{R_I}{R_I + R_F} \quad (10.64)$$

Suy ra $$v_o = i_o r_o - v_o \frac{AR_I}{R_I + R_F} \quad (10.65)$$

Hay: $$v_o = \frac{i_o r_o}{1 + \frac{AR_I}{R_I + R_F}} \quad (10.66)$$

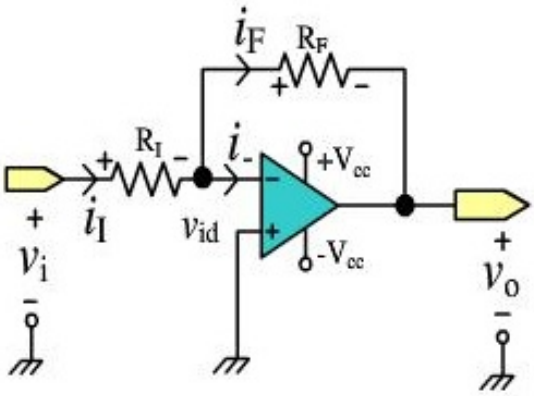
Vậy tổng trở ra là: $$Z_o = \frac{v_o}{i_o} = \frac{r_o}{1 + \frac{AR_I}{R_I + R_F}} = \frac{r_o}{1 + A\beta} < r_o \quad (10.67)$$

10.2.2. Mạch khuếch đại đảo

Giả định về dòng điện: "đối với Op-Amp lý tưởng thì xem như tổng trở vào $Z_i = \infty$ nên có thể xem như không có dòng điện chạy vào trong Op-Amp".

$$i_{id} = \frac{v_{id}}{R_i} = \frac{v_{id}}{\infty} = 0 \qquad (10.68)$$

Mạch khuếch đại đảo có sơ đồ mạch như hình 10.23.



Hình 10.23. *Sơ đồ mạch khuếch đại đảo.*

Hãy xác định độ lợi điện áp của mạch. Có hai cách để xác định:

➢ **Cách 1:** cách tính chính xác:

Ta có:
$$i_I = \frac{v_i - v_A}{R_I} = \frac{v_A - v_o}{R_F} = i_F \qquad (10.69)$$

Với:
$$v_{id} = (v_B - v_A) = 0 - v_A = \frac{v_o}{A} \qquad (10.70)$$

Thay vào phương trình trên

$$\frac{v_i + v_{id}}{R_I} = \frac{-v_{id} - v_o}{R_F} \qquad (10.71)$$

Suy ra
$$A_{VCL} = \frac{v_o}{v_i} = -\frac{AR_F}{R_F + (1+A)R_I} \qquad (10.72)$$

Vì hệ số khuếch đại vòng hở của Op-Amp lý tưởng rất lớn nên có thể xem và $AR_I >> R_F$ nên hệ số khuếch đại sẽ là

$$A_{VCL} = \frac{v_o}{v_i} = -\frac{R_F}{R_I} \qquad (10.73)$$

➢ **Cách 2:** cách tính gần đúng:

Theo giả định về dòng điện ta có

$$i_I = i_F = \frac{v_i - 0}{R_I} = \frac{0 - v_o}{R_F} \qquad (10.74)$$

Theo giả định về áp ta có $v_B = v_A = v_+ = v_- = 0V$

Thì $$A_{VCL} = \frac{v_o}{v_i} = -\frac{R_F}{R_I} \qquad (10.75)$$

Ví dụ 1: Một Op-Amp có $A_{VOL} = 100{,}000$, điện áp vi sai ngõ vào $v_{id} = -10\mu V$ (rms) hãy tìm điện áp ra.

***Giải*:**

Ta có:

$$v_o = A_{VOL}(v_B - v_A) = A_{VOL} v_{id} = 100000 \times (-10\mu V) = -1V(rms)$$

Vậy với điện áp vào vi sai $v_{id} = -10\mu V$ thì điện áp của các ngõ vào có thể có là:

$$v_A = 10\mu V, v_B = 0V$$

Hay $$v_A = 1.000010\mu V, v_B = 1.000000\mu V$$

Hay $$v_A = -1.999990\mu V, v_B = -2.000000\mu V$$

Ví dụ 2: Một Op-Amp có $A_{VOL} = 100{,}000$, điện áp ngõ ra là $v_o = 2V$ (rms) hãy tìm điện áp vi sai của ngõ vào.

***Giải*:**

Ta có $$v_{id} = \frac{V_o}{A_{VOL}} = \frac{2}{100000} = 20\mu V$$

Nhận xét: chỉ một sự chênh lệch rất nhỏ giữa hai ngõ vào của Op-Amp sẽ được khuếch đại lên rất lớn tại ngõ ra nên Op-Amp ít được sử dụng để khuếch đại tín hiệu ở cấu hình vòng hở.

Ví dụ 3: Một Op-Amp làm việc trong mạch khuếch đại đảo có $R_I = R_F = 1k$. Hãy tính độ lợi vòng kín trong hai trường hợp A=100,000 và A=10.

Giải:

Với A=100000:

Với cách tính chính xác thì:

$$A_{VCL} = \frac{v_o}{v_i} = -\frac{AR_F}{R_F + (1+A)R_I} = \frac{100000 \times 1k\Omega}{1k\Omega + 100001 \times 1k\Omega} = -0.99998$$

Với cách tính gần đúng thì: $A_{VCL} = \frac{v_o}{v_i} = -\frac{R_F}{R_I} = -1$

Sai số $e\% = \frac{1 - 0.99998}{1} \times 100 = 0.02\%$

Với A=10:

Với cách tính chính xác thì:

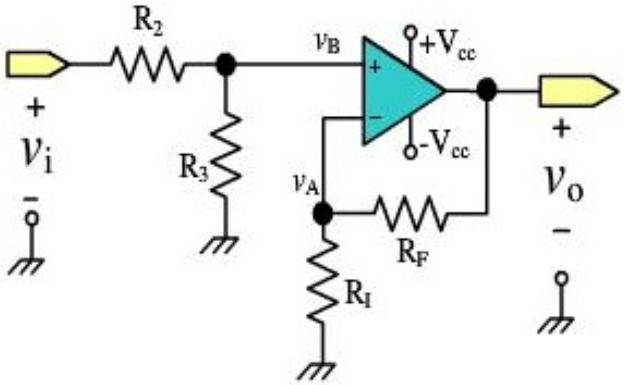
$$A_{VCL} = \frac{v_o}{v_i} = -\frac{AR_F}{R_F + (1+A)R_I} = \frac{10 \times 1k\Omega}{1k\Omega + 11 \times 1k\Omega} = -0.8333$$

Với cách tính gần đúng thì: $A_{VCL} = \frac{v_o}{v_i} = -\frac{R_F}{R_I} = -1$

Sai số $e\% = \frac{1 - 0.8333}{1} \times 100 = 20\%$

10.2.3. Mạch khuếch đại không đảo có phân áp ở ngõ vào

Mạch khuếch đại không đảo có phân áp ở ngõ vào có sơ đồ mạch như **Hình 10.24.**



Hình 10.24. *Sơ đồ mạch khuếch đại không đảo có phân áp ngõ vào.*

Hãy xác định độ lợi điện áp của mạch:

Ta có $v_B = v_A$

Hay $$v_i \frac{R_3}{R_2 + R_3} = v_o \frac{R_I}{R_I + R_F} \quad (10.76)$$

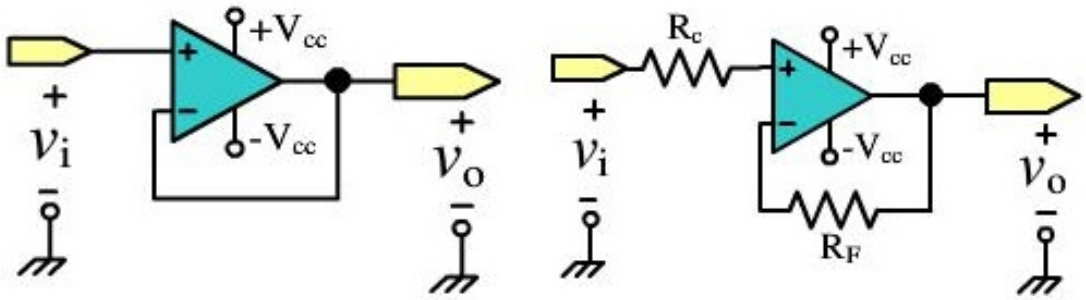
Điện áp ra $$v_o = v_i \frac{R_3}{R_2 + R_3} \times \frac{R_I + R_F}{R_I} \quad (10.77)$$

Hệ số khuếch đại $$A_{VCL} = \frac{v_o}{v_i} = \frac{R_3}{R_2 + R_3} \times \frac{R_I + R_F}{R_I} \quad (10.78)$$

Điện áp ra bị suy giảm do cầu phân áp dùng điện trở.

10.2.4. Mạch khuếch đại không đảo với độ lợi bằng 1 – mạch khuếch đại đệm

Mạch khuếch đại không đảo có sơ đồ mạch như hình 10.25.



a. *b.*

Hình 10.25. *Sơ đồ mạch khuếch đại đệm.*

Từ hệ số khuếch đại $$A_{VCL} = \frac{v_o}{v_i} = \frac{R_F + R_I}{R_I} = 1 + \frac{R_F}{R_I}$$

Nếu tăng R_I lớn hơn nhiều lần so với R_F và giảm nhỏ R_F thì ta có $R_I \rangle\rangle R_F$

Suy ra $$R_F + R_I \approx R_I$$

Khi đó hệ số khuếch đại sẽ là

$$A_{VCL} = \frac{v_o}{v_i} \approx \frac{R_I}{R_I} = 1 \quad (10.79)$$

Vì R_I có giá trị lớn nên xem như hở mạch và R_F nhỏ xem như ngắn mạch. Khi đó sơ đồ mạch *Hình 10.*25a trở thành *Hình 10.*25b và gọi là mạch khuếch đại không đảo có độ lợi =1 còn được gọi là mạch khuếch đại đệm.

Mạch khuếch đại đệm có tổng trở vào rất lớn:

$$Z_i = \frac{v_i}{i_i} = R_{id} + A\frac{R_I}{R_I + R_F}R_{id} = R_{id}(1 + A) \qquad (10.80)$$

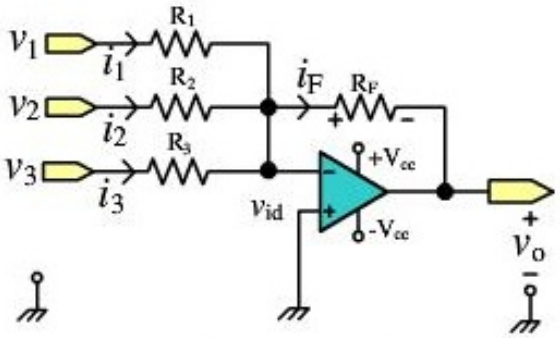
Mạch khuếch đại đệm có tổng trở ra rất nhỏ:

$$Z_o = \frac{v_o}{i_o} = \frac{r_o}{1 + \dfrac{AR_I}{R_I + R_F}} = \frac{r_o}{1 + A} \qquad (10.81)$$

Độ lợi của mạch bằng 1 nên mạch này thường dùng để phối hợp trở kháng (có chức năng tăng tổng trở vào và giảm tổng trở ra). Giá trị của R_F khoảng từ 1 đến 50k và đôi khi ta có thể bỏ luôn R_F.

10.2.5. Mạch khuếch đại cộng đảo

Mạch khuếch đại cộng đảo có ba tín hiệu vào có sơ đồ mạch như hình 10.26.



Hình 10.26. *Sơ đồ mạch khuếch đại cộng đảo.*

Ta có: $i_1 = \dfrac{v_1}{R_1}$; $i_2 = \dfrac{v_2}{R_2}$; $i_3 = \dfrac{v_3}{R_3}$

Dòng điện $i_f = i_1 + i_2 + i_3 = -\dfrac{v_o}{R_F}$ (10.81)

Điện áp ra $v_o = -\left[\dfrac{R_F}{R_1}v_1 + \dfrac{R_F}{R_2}v_2 + \dfrac{R_F}{R_3}v_3\right]$ (10.82)

Ví dụ: Một mạch trộn tín hiệu âm thanh có 10 ngõ vào. Điện trở mỗi ngõ vào là $R_1 = R_2 = R_3 = ... = R_{10} = 1k\Omega$ và điện trở $R_F = 10k\Omega$, điện áp tất cả các ngõ vào đều bằng nhau $v_1 = v_2 = v_3 = ... = v_{10} = 20mV$, các ngõ vào đều cùng pha, cho $A_{OL} = 50000$. Hãy xác định: điện áp ra v_o, độ lợi vòng kín, hệ số $A_{VEX} = \dfrac{A_{VOL}}{A_{VCL\_kdao}}$

Giải

Điện áp ra

$$v_o = -\frac{R_F}{R_I}\left[v_1 + v_2 + v_3 + ... + v_{10}\right] = -\frac{R_F}{R_I}\sum_{1}^{10} v_i = -10 \times 200mV = -2V$$

Độ lợi vòng kín: $A_{VCL} = -\dfrac{R_F}{R_{Itd}}$

Trong đó $R_F = 10k\Omega$

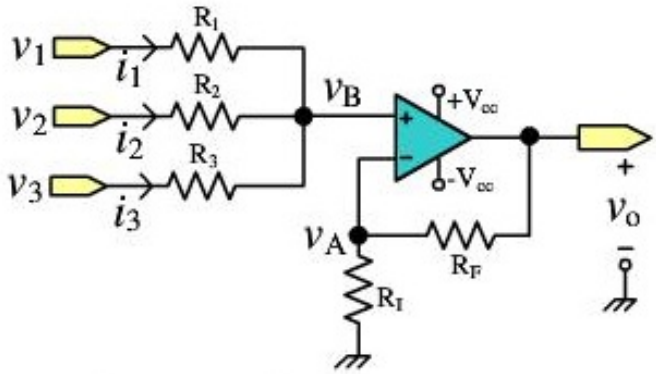
$$R_{Itd} = R_1 \parallel R_2 \parallel ... \parallel R_{10} = \frac{R_I}{10} = \frac{1k\Omega}{10} = 100\Omega$$

Nên $A_{VCL} = -\dfrac{R_F}{R_{Itd}} = -\dfrac{10k\Omega}{100} = -100$

Khi đó hệ số $A_{VEX} = \dfrac{A_{VOL}}{A_{VCL\_kdao}} = \dfrac{A_{VOL}}{1 - A_{VCL\_dao}} = \dfrac{50000}{101} = 495$

10.2.6. Mạch khuếch đại cộng không đảo trung bình

Mạch khuếch đại cộng không đảo trung bình có ba tín hiệu vào có sơ đồ mạch như hình 10.27.



Hình 10.27. *Sơ đồ mạch khuếch đại cộng không đảo trung bình.*

Ta có $$i_1 + i_2 + i_3 = 0 \quad (10.83)$$

Hay $$\frac{v_1 - v_B}{R_1} + \frac{v_2 - v_B}{R_2} + \frac{v_3 - v_B}{R_3} = 0 \quad (10.84)$$

Biến đổi $$\frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3} = v_B\left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right) \quad (10.85)$$

Suy ra

$$v_B = \left(\frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3}\right) \times \frac{1}{\left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right)} = \left(\frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3}\right) \times R_P \quad (10.86)$$

Trong đó $$R_P = \frac{1}{\left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right)} \quad (10.87)$$

Ta có $$v_A = v_B = v_o \frac{R_I}{R_I + R_F} \quad (10.88)$$

Suy ra điện áp ra:

$$v_o = \frac{R_I + R_F}{R_I} \times \left(\frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3}\right) \times R_P = \left(\frac{R_I + R_F}{R_I}\right) \times \left(\frac{R_P}{R_1} v_1 + \frac{R_P}{R_2} v_2 + \frac{R_P}{R_3} v_3\right) \quad (10.89)$$

Nếu cho $$R_1 = R_2 = R_3 = R \quad (10.90)$$

Thì $$R_P = \frac{1}{\left(\frac{1}{R} + \frac{1}{R} + \frac{1}{R}\right)} = \frac{R}{3} \quad (10.91)$$

Hay $$\frac{R_P}{R} = \frac{1}{3}$$

Điện áp ra $$v_o = \left(\frac{R_I + R_F}{R_I}\right) \times \left(\frac{v_1 + v_2 + v_3}{3}\right) \quad (10.92)$$

Vậy điện áp ra bằng trung bình cộng của ba tín hiệu ngõ vào nhân với hệ số khuếch đại của mạch khuếch đại không đảo.

10.3. ĐẶC TÍNH THỰC TẾ CỦA OP – AMP

10.3.1. Offsets và bù offset

Ở phần trước, chúng ta đã xét op – amp lý tưởng, trong thực tế chế tạo vi mạch Op –amp tồn tại các tụ ký sinh và nhiều yếu tố môi trường đã ảnh hưởng đến hoạt động của Op – amp như: điện áp vào offset, dòng offset, các dòng phân cực và trôi offset. Các yếu tố này thường xảy ra tầng khuếch đại vi sai.

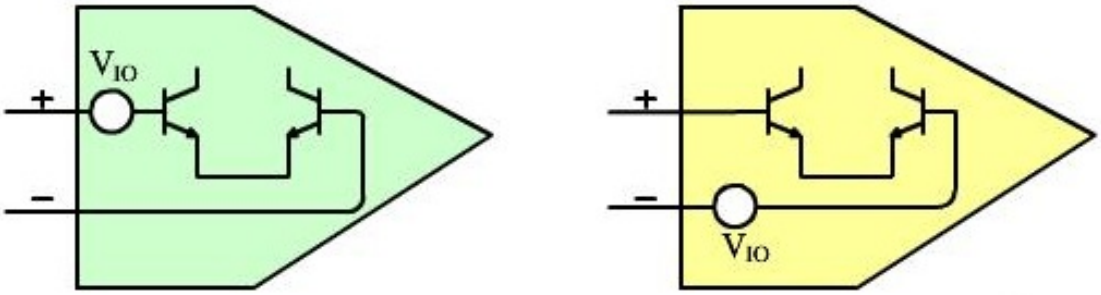
Để op – amp làm việc tốt, ta phải khắc phục các nhược điểm đó.

a) Khảo sát ảnh hưởng của điện áp Offset ngõ ra do điện áp offset ngõ vào:

Điện áp offset ngõ ra là ***điện áp chênh lệch so với điện áp ngõ ra lý tưởng***. Điện áp này do có điện áp offset của ngõ vào sinh ra.

Điện áp offset ngõ vào là do sự phân cực không cân bằng của tầng khuếch đại vi sai (khuếch đại vi sai) hay do hai transistor của tầng khuếch đại vi sai có các thông số không giống nhau. Ngay cả khi hai ngõ vào nối mass (0V) thì điện áp ngõ ra vẫn khác 0V – giá trị điện áp này được gọi là điện áp offset ngõ ra và ta xem như có một điện áp offset ở ngõ vào gây ra.

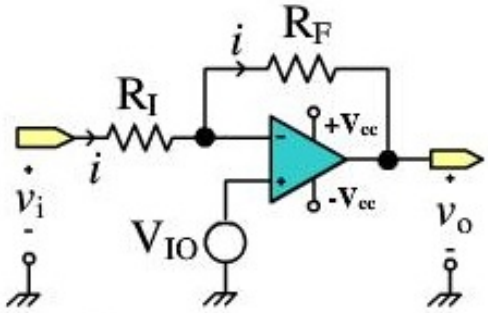
Ta có điều kiện lý tưởng $dVi^{+} - dVi^{-} = 0$, thực tế giá trị này luôn khác không do đó ta xem nó như một nguồn điện áp mắc nối tiếp với một trong hai ngõ vào và tách ra khỏi mạch khuếch đại vi sai như hình 10.28 – khi đó mạch khuếch đại vi sai xem như được phân cực cân bằng.



Hình 10.28. *Điện áp offset được tách ra khỏi mạch khuếch đại vi sai.*

➢ **Xét ảnh hưởng điện áp offset ở mạch khuếch đại đảo:**

<u>Trường hợp 1:</u> Ta xét ảnh hưởng điện áp offset ở mạch khuếch đại đảo điện áp offset ngõ vào xuất hiện ở ngõ vào V_{+} như hình 10.29



Hình 10.29. *Mạch khuếch đại đảo với điện áp offset ở ngõ vào* V_+.

Xét từng đáp ứng:

Với v_{o1}: $$v_{o1} = -\frac{R_F}{R_I} v_i$$

Với v_{o2}: $$v_{o2} = \frac{R_I + R_F}{R_I} V_{IO}$$

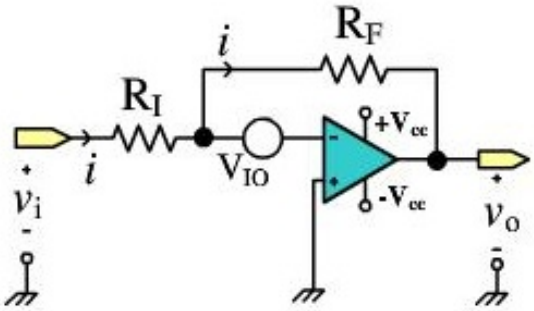
Điện áp ra cho cả 2 đáp ứng: $$v_o = -\frac{R_F}{R_I} v_i + \frac{R_I + R_F}{R_I} V_{IO} \qquad (10.93)$$

Nếu việc không cân bằng bên trong xảy ra theo chiều ngược lại thì điện áp offset tạo ra sẽ bị đảo chiều – có dấu trừ nên ta có phương trình tổng quát cho điện áp ra như sau:

$$v_o = -\frac{R_F}{R_I} v_i \pm \frac{R_I + R_F}{R_I} V_{IO} \qquad (10.94)$$

Nhận xét: điện áp offset luôn luôn được khuếch đại bởi hệ số khuếch đại của mạch khuếch đại không đảo.

<u>Trường hợp 2:</u> **Điện áp offset ngõ vào xuất hiện ở ngõ vào** V_- **như hình 10.30:**



Hình 10.30. *Mạch khuếch đại đảo với điện áp offset ở ngõ vào* V_-

Xác định điện áp v_o:

Ta có $i_I = i_o$

Viết theo áp: $$\frac{v_i - V_{IO}}{R_I} = \frac{V_{IO} - v_o}{R_F} \quad (10.95)$$

Phương trình trên được viết lại: $$v_o = -\frac{R_F}{R_I} v_i + \frac{R_I + R_F}{R_I} V_{IO} \quad (10.96)$$

Nếu V_{IO} có cực tính ngược lại thì ta có phương trình:

$$v_o = -\frac{R_F}{R_I} v_i - \frac{R_I + R_F}{R_I} V_{IO} \quad (10.97)$$

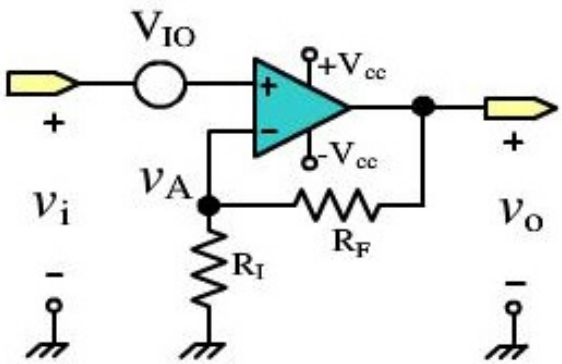
Tổng quát ta có phương trình: $$v_o = -\frac{R_F}{R_I} v_i \pm \frac{R_I + R_F}{R_I} V_{IO} \quad (10.98)$$

Nhận xét: điện áp offset luôn luôn được khuếch đại bởi hệ số khuếch đại của mạch khuếch đại không đảo.

➢ **Xét ảnh hưởng của điện áp offset ở mạch khuếch đại không đảo**

Trường hợp 1: **Điện áp offset ngõ vào xuất hiện ở ngõ vào V_+**

Mạch khuếch đại đảo với điện áp offset ngõ vào xuất hiện ở ngõ vào V_+ như hình 10.31.



Hình 10.31. *Mạch khuếch đại không đảo với điện áp offset ở ngõ vào V_+.*

Hệ số khuếch đại của mạch: $$A_{VCL} = \frac{R_I + R_F}{R_I}$$

Trường hợp V_{IO} cùng dấu với V_i: $$V_B = v_i + V_{IO} \quad (10.99)$$

Điện áp ra: $$v_{o1} = \frac{R_I + R_F}{R_I}\left(v_i + V_{IO}\right) \quad (10.100)$$

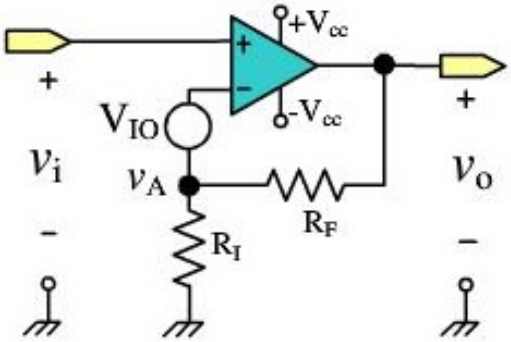
Trường hợp V_{IO} ngược dấu với v_i: $V_B = v_i - V_{IO}$ (10.101)

Điện áp ra: $$v_{o1} = \frac{R_I + R_F}{R_I}\left(v_i - V_{IO}\right) \quad (10.102)$$

Tổng quát cho cả 2 trường hợp: $$v_o = \frac{R_I + R_F}{R_I} v_i \pm \frac{R_I + R_F}{R_I} V_{IO} \quad (10.103)$$

<u>Trường hợp 2:</u> Điện áp offset ngõ vào xuất hiện ở ngõ vào V_-

Mạch khuếch đại đảo với điện áp offset ngõ vào xuất hiện ở ngõ vào V_- như hình 10.32.



Hình 10.32. *Mạch khuếch đại không đảo với điện áp offset ở ngõ vào* V_-.

Trường hợp V_{IO} cực tính như hình 10.32

Ta có: $$v_i = v_A - V_{IO} \quad (10.104)$$

Suy ra $$v_A = v_i + V_{IO} = \frac{R_I}{R_I + R_F} v_o \quad (10.105)$$

Hay $$v_o = \frac{R_I + R_F}{R_I}\left(v_i + V_{IO}\right) \quad (10.106)$$

Trường hợp V_{IO} cực tính ngược lại thì:

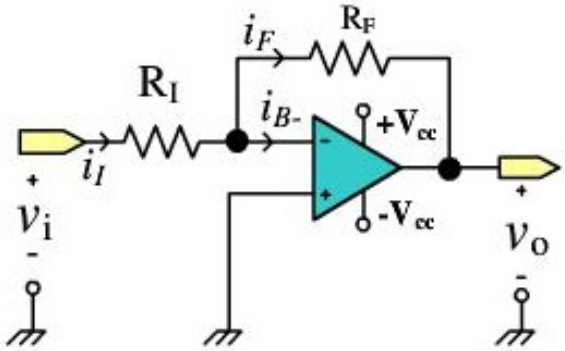
$$v_o = \frac{R_I + R_F}{R_I}\left(v_i - V_{IO}\right) \quad (10.107)$$

Kết luận: Điện áp offset ở ngõ ra luôn được khuếch đại bởi hệ số khuếch đại không đảo.

b) Xét ảnh hưởng điện áp offset ngõ ra do dòng điện phân cực của ngõ vào:

➢ **Xét ảnh hưởng của điện áp offset ngõ ra phụ thuộc vào dòng điện offset của ngõ vào:**

Ta xét mạch điện như hình 10.33.



Hình 10.33. *Mạch khuếch đại đảo để xét ảnh hưởng của điện trở phân cực.*

Dòng điện phân cực cho các transistor khuếch đại vi sai thường rất nhỏ khoảng 100nA đối với mạch dùng transistor.

Các dòng điện phân cực I_B^+ và I_B^- sẽ gây ra điện áp offset ngõ vào và sẽ xuất hiện một điện áp ở ngõ ra khi op_amp sử dụng ở cấu hình hồi tiếp.

Ta có phương trình dòng điện: $i_I = i_F + i_{B-}$

(10.108)

Bây giờ ta vẫn xét i_{B-} và xem $V_A = V_B = 0V$

Nên $$\frac{v_o}{R_F} = -\frac{v_i}{R_I} + i_{B-}$$ (10.109)

Điện áp ra: $$v_o = -\frac{R_F}{R_I} v_i + R_F i_{B-}$$ (10.100)

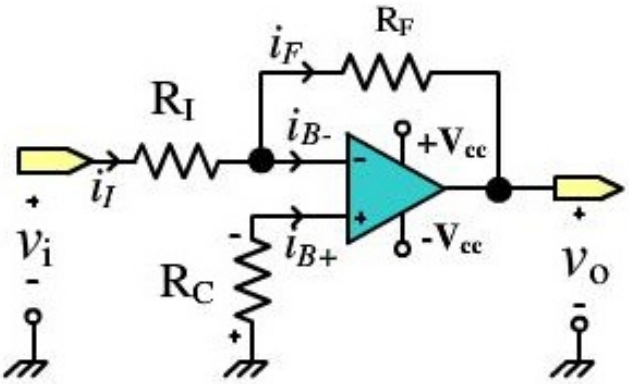
Điện áp offset ngõ ra: $V_{OI} = R_F i_{B-}$

(10.101)

Kết luận: dòng điện offset ngõ vào sẽ gây ra điện áp offset $V_{OI} = R_F I_B^-$.

- **Bù offset và tính toán giá trị điện trở bù R_c**

Để bù dòng điện offset ngõ vào ta dùng một điện trở R_C gắn thêm vào mạch khuếch đại như hình 10.34.



Hình 10.34. *Mạch khuếch đại có điện trở bù dòng offset.*

R_C được gọi là điện trở bù offset.

Dòng I_B^+ chạy qua điện trở R_C sẽ tạo ra một điện áp âm ở ngõ vào không đảo, được nhân với hệ số khuếch đại của mạch khuếch đại không đảo, điện áp này sẽ triệt tiêu với điện áp offset do dòng I_B^- ở ngõ vào đảo gây ra.

Ta có phương trình: $i_I = i_F + i_{B-}$

$$\frac{v_i - v_A}{R_I} = \frac{v_A - v_o}{R_F} + i_{B-} \qquad (10.101)$$

Hay

$$v_o = -\frac{R_F}{R_I} v_i + \frac{R_I + R_F}{R_I} v_A + R_F i_{B-} \qquad (10.102)$$

Ta có

$$v_A = +v_B = -R_C I_B^+ \qquad (10.103)$$

Suy ra

$$v_o = -\frac{R_F}{R_I} v_i - R_C I_B^+ \frac{R_I + R_F}{R_I} + R_F i_{B-} \qquad (10.104)$$

Vậy để điện áp ra đúng bằng điện áp lý tưởng $v_o = -\frac{R_F}{R_I} v_i$ thì:

$$R_F I_B^- = \frac{R_I + R_F}{R_I} R_C I_B^+$$

Và giả sử $I_B^- = I_B^+$ thì ta tính được R_C có giá trị như sau:

$$R_C = \frac{R_I R_F}{R_I + R_F} \tag{10.105}$$

Thực tế $I_B^- \neq I_B^+$, sai lệch giữa hai dòng này khoảng vài chục nA, gọi là dòng offset ngõ vào I_{IO}:

$I_{IO} = \pm(I_B^+ - I_B^-)$, vì vậy khi có R_c điện áp ngõ ra:

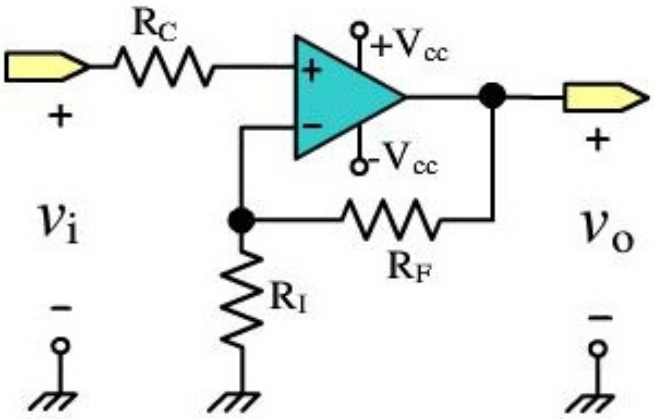
$$v_o = -\frac{R_F}{R_I} v_i \pm R_F I_{IO} \tag{10.106}$$

Vậy điện áp offset ngõ ra lúc này:

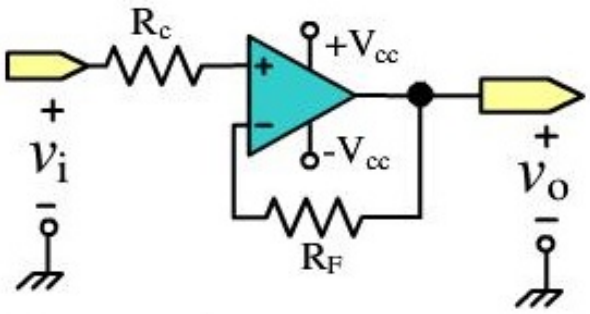
$$V_{OI} = V_{OIO} = \pm R_F I_{IO} \tag{10.107}$$

- **Bù dòng điện cho mạch khuếch đại không đảo**

Sơ đồ mạch điện bù dòng điện cho mạch khuếch đại không đảo như hình 10.35:



Hình 10.35. *Sơ đồ mạch khuếch đại không đảo được bù dòng bởi điện trở R_C.*



Hình 10.36. *Sơ đồ mạch khuếch đại đệm được bù dòng bởi điện trở R_C.*

Điện áp offset ngõ ra thay đổi phụ thuộc vào dòng điện offset ngõ vào và điện áp offset ngõ vào:

$$V_{OC} = \pm V_{OI} \pm V_{OV} \tag{10.108}$$

Trong đó:

$\pm V_{OI}$ là điện áp offset do dòng điện phân cực hay dòng offset I_{IO} hay có thể là V_{OIB} hay V_{OIO}

$\pm V_{OV}$ là điện áp offset do điện áp offset ngõ vào.

Ví dụ: Các thông số của một Op-Amp như sau:

	Trung bình	Cực đại	Đơn vị
Điện áp offset	± 12	± 18	mV
Dòng phân cực	105	145	nA
Dòng offset	± 10	± 15	nA

Op-Amp được sử dụng ở cấu hình mạch khuếch đại đảo có độ lợi A_{VCL} = -5. Hãy tìm giá trị của điện trở hồi tiếp R_F nếu điện áp offset không được vượt quá 100 mV, mạch có bù dòng điện.

Giải:

Tính điện áp offset ngõ ra do điện áp offset ngõ vào gây ra là:

$$V_{OV} = V_{IO}(\frac{R_F}{R_I} + 1) = \pm 18 \times 6 = \pm 108mV$$

Ta có $V_{OC} = \pm V_{OI} \pm V_{OV}$

Suy ra $\pm V_{OI} = \pm V_{OC} - \pm V_{OV} = \pm 110 - \pm 108 = \pm 2mV$

Ta có $V_{OI} = \pm I_{IO} R_F = \pm 2mV$

Suy ra giá trị của điện trở R_F là $R_F = \frac{2mV}{15nA} = 133k\Omega$ (max). Vậy có thể chọn R_F< 133kΩ.

c) Bù offset

Do điện áp offset tồn tại ảnh hưởng xấu đến mạch điện làm việc nên cần phải loại bỏ chúng trong một số mạch ứng dụng, tuy nhiên không phải mạch ứng dụng nào cũng bị ảnh hưởng.

➢ ***Các ứng dụng không bị ảnh hưởng***

a. Mạch có điện áp ngõ ra DC lớn và độ lợi vòng kín nhỏ. Ví dụ mạch có điện áp ngõ ra 5Vdc sẽ không bị ảnh hưởng đáng kể nếu bị sai lệch đi 5mV hay 20mV.

b. Mạch ghép ac có tụ liên lạc ở ngõ ra.

➢ ***Các ứng dụng bị ảnh hưởng bởi điện áp offset***

a. Mạch khuếch đại điện áp DC nhỏ.

b. Mạch với điện áp ra là dc có giá trị lớn nhưng đòi hỏi độ chính xác cao đến 2 số lẻ.

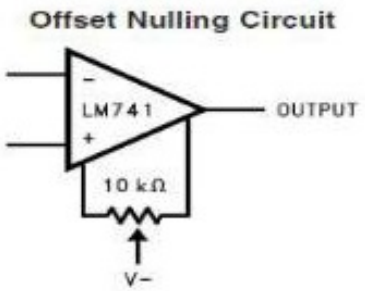
c. Mạch có độ lợi vòng kín lớn. Ví dụ: Nếu mạch có offset ngõ vào 3mV nhưng mạch có độ lợi điện áp 200 sẽ tạo ra điện áp offset 600mV ở ngõ ra.

Để loại bỏ offset ta dùng điện trở bù offset R_C và giảm nhỏ giá trị của R_F càng nhỏ càng tốt.

Điện áp offset ở ngõ ra vừa là điện áp offset do ảnh hưởng của dòng điện và điện áp offset ở ngõ vào, và do không thể nào đo được các giá trị điện áp cụ thể do dòng điện hay do điện áp offset ngõ vào gây nên, do đó cách bù điện áp offset tốt nhất là dùng một biến trở để chỉnh.

Nếu Op-Amp có chân offset null thì nên sử dụng chân này để điều chỉnh offset, ví dụ

Op-Amp LM741.



Hình 10.37. *Sơ đồ bù điện áp offset của Op-Amp LM741.*

Nếu Op-Amp không có chân offset null thì sử dụng các phương pháp chỉnh như sau: sơ đồ mạch chỉnh dùng biến trở như hình 10.38.

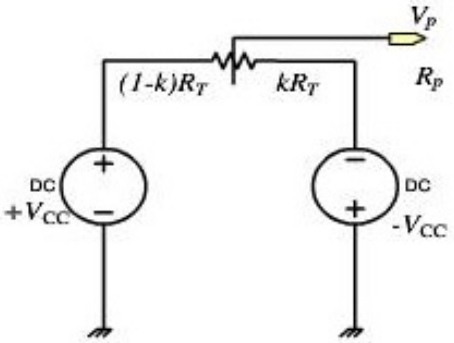
Biến trở có giá trị R_F – tổng trở nhìn vào từ V_p là:

a. Khi $k_p = 0$, $R_p = 0 \Rightarrow V_p = +Vs$

b. Khi $k_p = 1$, $R_p = 0 \Rightarrow V_p = -Vs$

c. Khi $k_p = 1/2$, $R_p = R_T/4 \Rightarrow V_p = 0V$

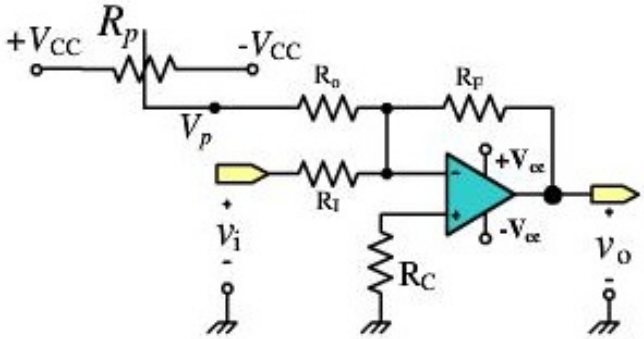
Khi đó điểm tiếp xúc nằm ở giữa.



Hình 10.38. *Sơ đồ mạch biến trở*

➢ **Bù offset cho mạch khuếch đại đảo:**

Sơ đồ mạch bù offset cho mạch khuếch đại đảo như hình 10.40.



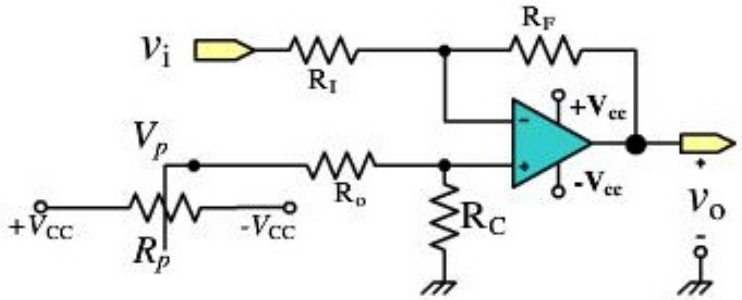
Hình 10.40. *Bù offset cho mạch khuếch đại đảo.*

Dùng phương pháp cộng tín hiệu để bù offset cho mạch khuếch đại đảo, có hai ngõ vào: một ngõ vào nhận tín hiệu và một ngõ vào nhận điện áp bù V_P.

Phương trình điện áp ra của mạch: $$v_o = -\frac{R_F}{R_I} v_i + \left(\frac{-R_F}{R_O}\right) V_P \quad (10.109)$$

$$v_o = -\frac{R_F}{R_I} v_i \pm \frac{R_I + R_F}{R_I} V_{IO}$$

Để tách tín hiệu và điện áp bù offset độc lập với nhau thì ta sử dụng mạch bù như hình 10.41.



Hình 10.41. *Tách tín hiệu vào và điện áp bù.*

Trong sơ đồ mạch giá trị của $R_O \leq 1000R_C$

Tính điện áp ra:

Giả sử cho tín hiệu vào bằng 0V ($v_i = 0V$).

Ta có
$$V_B = \frac{R_C}{R_O + R_C} V_P \quad (10.120)$$

Mà
$$V_B = V_A = \frac{R_I}{R_I + R_F} V_O \quad (10.121)$$

Suy ra
$$v_o = \frac{R_I + R_F}{R_I} \times \frac{R_C}{R_O + R_C} \times V_P \quad (10.122)$$

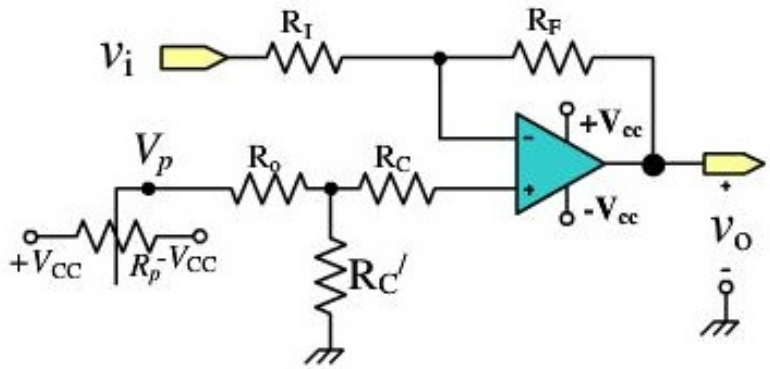
Khi cho tín hiệu vào thì

$$v_o = -\frac{R_F}{R_I} v_i \pm \frac{R_I + R_F}{R_I} \times \frac{R_C}{R_O + R_C} \times V_P \quad (10.123)$$

Chú ý dấu cộng trừ trong phương trình trên vì điện áp offset ở ngõ ra có thể là dương hay âm và ta tạo ra một điện áp có chiều ngược lại để triệt tiêu điện áp offset.

Ở trong sơ đồ hình 10.41, điện trở R_O và R_C tạo thành một cầu phân thế, điện trở R_C dùng để bù điện áp offset do dòng điện phân cực tạo ra, để

không bị ảnh hưởng tới việc bù dòng điện thì ta nên tách R_C thành $R_C^{/} = \frac{R_C}{10}$ và R_C còn lại chỉ bằng $\frac{9}{10}$ hay $R_C^{/} + R_C = R_I \parallel R_F$. Sơ đồ mạch điện sau khi tách R_C như hình 10.42:



Hình 10.42. *Sơ đồ mạch điện sau khi tách R_C.*

➢ **Bù offset cho mạch khuếch đại không đảo:**

<u>Phương pháp 1:</u> Sơ đồ mạch bù offset cho mạch khuếch đại không đảo như hình 10.43

Điện trở nên chọn như sau: $R_O = (10 \rightarrow 100)R_I$. Tốt nhất là $R_O = 100R_I$.

Để tính v_O ta nên cho $v_i = 0$, khi đó mạch điện trở thành mạch khuếch đại đảo với tín hiệu vào là V_P.

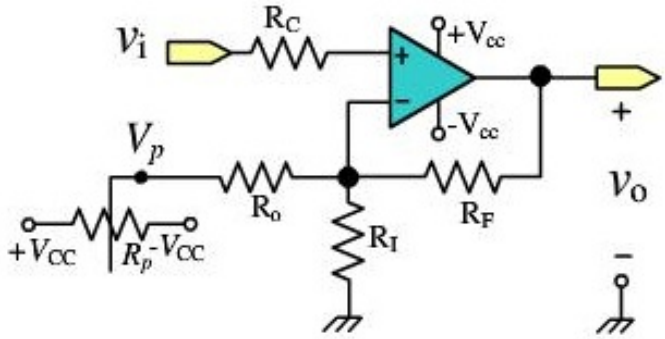
Điện áp ra V_O do V_P tạo ra là $$-\frac{v_o}{R_F} = \frac{V_P}{R_O} \quad (10.124)$$

Suy ra $$v_o = -\frac{R_O}{R_F}V_P \quad (10.125)$$

Điện áp ra V_O do V_i tạo ra là $$v_o = \frac{R_I + R_F}{R_F}v_i \quad (10.126)$$

Vậy điện áp ra khi có tín hiệu vào và điện áp vào chỉnh offset:

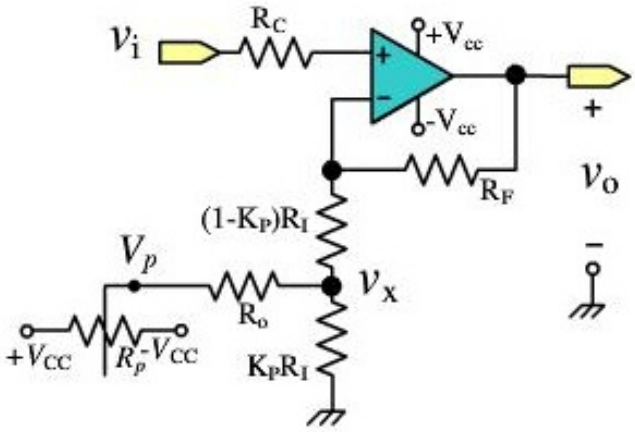
$$v_o = \frac{R_I + R_F}{R_F} v_i \pm \left(-\frac{R_O}{R_F} V_P \right) \quad (10.127)$$



Hình 10.43. *Bù offset cho mạch khuếch đại không đảo.*

<u>Phương pháp 2</u>: Bù offset cho mạch khuếch đại không đảo sử dụng điện trở R_1. Ta chia R_1 làm hai điện trở để tạo nên cầu phân áp.

Sơ đồ mạch bù offset theo phương pháp 2 như hình 10.44.



Hình 10.44. *Sơ đồ mạch bù offset theo phương pháp 2*

Để tính v_o ta nên cho $v_i = 0$.

Theo các giả định ta có $V_+ = V_- = 0$ (do cho $V_i = 0$)

Ta có
$$V_X = \frac{R_I'}{R_o + R_I'} V_P \quad (10.128)$$

Với
$$R_I' = (1 - K_P)R_I \parallel K_P R_I = K_P(1 - K_P)R_I \quad (10.129)$$

Điện áp do bù offset tạo ra $v_o = -\dfrac{R_F}{(1-K_P)R_I}V_X$ (10.130)

Điện áp ra v_O do v_i tạo ra là $v_o = \dfrac{R_I + R_F}{R_I}V_i$ (10.131)

Vậy điện áp ra khi có tín hiệu vào và điện áp vào chỉnh offset:

$$v_o = \frac{R_I + R_F}{R_F}v_i \pm \left(-\frac{R_F}{(1-K_P)R_I}V_X\right) \quad (10.133)$$

Hay:

$$v_o = \frac{R_I + R_F}{R_F}v_i \pm \left(\frac{K_P(1-K_P)R_I}{K_P(1-K_P)R_I + R_O}\right)\left(-\frac{R_F}{(1-K_P)R_I}\right)V_P \quad (10.134)$$

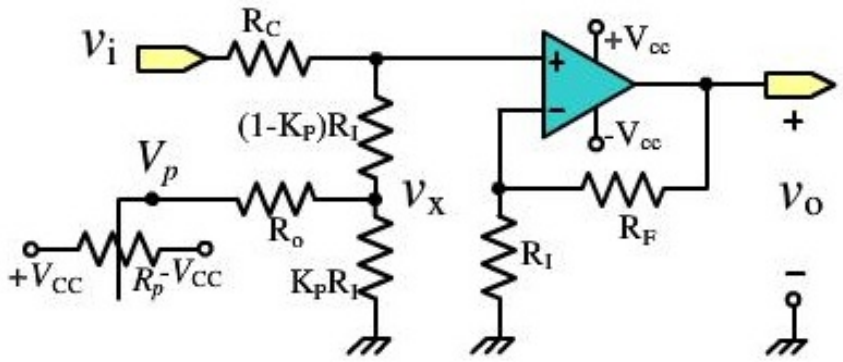
Hay $$v_o = \frac{R_I + R_F}{R_F}v_i \pm \left(\frac{-R_F K_P}{K_P(1-K_P)R_I + R_o}\right)V_P \quad (10.135)$$

Do $$R_0 >> K_P(1-K_P)R_I \quad (10.136)$$

Nên $$v_o = \frac{R_I + R_F}{R_F}v_i \pm \left[V_P K_P \times \left(\frac{-R_F}{R_o}\right)\right] \quad (10.137)$$

<u>Phương pháp 3:</u> **dùng điện trở**

Sơ đồ mạch điện như hình 10.45.



Hình 10.45. *Sơ đồ chỉnh offset.*

Để tính V_O ta nên cho $V_i = 0$.

Ta có $$V_X = \frac{R_I^{/}}{R_O + R_I^{/}} V_P \quad (10.138)$$

Với: $$R_I^{/} = K_P R_3 \parallel \left(R_3 + (1 - K_P) R_3\right) = \frac{K_P R_3 \left[R_2 + (1 - K_P) R_3\right]}{R_3 + R_2} \quad (10.139)$$

Suy ra điện áp V_X

$$V_X = V_P \frac{\dfrac{K_P R_3 \left[R_2 + (1 - K_P) R_3\right]}{R_3 + R_2}}{\dfrac{K_P R_3 \left[R_2 + (1 - K_P) R_3\right] + R_O (R_3 + R_2)}{R_3 + R_2}}$$
$$= V_P \frac{K_P R_3 \left[R_2 + (1 - K_P) R_3\right]}{K_P R_3 \left[R_2 + (1 - K_P) R_3\right] + R_O (R_3 + R_2)} \quad (10.140)$$

Do R_O có giá trị rất lớn nên

$$R_O (R_3 + R_2) > K_P R_3 \left[R_2 + (1 - K_P) R_3\right] \quad (10.141)$$

Nên ta có thể xem $V_X = V_P \dfrac{K_P R_3 \left[R_2 + (1 - K_P) R_3\right]}{R_O (R_3 + R_2)}$ (10.142)

Điện áp V_B là $$V_B = \frac{R_2}{R_2 + (1 - K_P) R_3} V_X \quad (10.143)$$

Suy ra điện áp ngõ ra do điện áp chỉnh offset ngõ vào tạo ra là:

$$V_{Of} = \frac{R_I + R_F}{R_F} V_B = \frac{R_I + R_F}{R_F} \times \frac{R_2}{R_2 + (1 - K_P) R_3} V_X$$
$$= V_P \left(\frac{R_I + R_F}{R_F}\right) \times \left(\frac{R_2}{R_2 + (1 - K_P) R_3}\right) \times \left(\frac{K_P R_3 \left[R_2 + (1 - K_P) R_3\right]}{R_O (R_3 + R_2)}\right) \quad (10.144)$$
$$= V_P \left(\frac{R_I + R_F}{R_F}\right) \times \left(\frac{R_2 K_P R_3}{R_O (R_3 + R_2)}\right)$$

Điện áp ra v_O do v_i tạo ra là $$v_o = \frac{R_I + R_F}{R_F} \times \frac{R_3}{R_2 + R_3} v_i \quad (10.145)$$

Vậy điện áp ra khi có tín hiệu vào và điện áp vào chỉnh offset:

$$v_o = \frac{R_I + R_F}{R_F} \times \frac{R_3}{R_2 + R_3} v_i \pm \left(V_P \left(\frac{R_I + R_F}{R_F} \right) \times \left(\frac{R_2 K_P R_3}{R_O (R_3 + R_2)} \right) \right) \quad (10.146)$$

d) Điện áp và dòng điện trôi offset

Điện áp offset thay đổi theo nhiệt độ theo hai tiêu chuẩn:

1. Dòng điện trôi offset được gọi là hệ số dòng điện offset ngõ vào vàđo bằng pA/°C.
2. Điện áp trôi offset gọi là hệ số điện áp offset ngõ vào và đo bằng μV/°C. Để giảm nhỏ những ảnh hưởng này ta phải thực hiện các công việc sau:
3. Chọn Op-Amp có các đặc tính trôi chấp nhận được theo yêu cầu.
4. Nếu không cho phép chọn Op-Amp thì ta thực hiện theo hai cách sau:
   a. Để giảm trôi dòng điện offset nên dùng điện trở R_C và R_F có giá trị càng nhỏ càng tốt.
   b. Để giảm trôi điện áp offset nên chọn độ lợi của mạch không đảo càng nhỏ càng tốt.

Ví dụ: Dùng LM308 làm mạch khuếch đại đảo có A_{VCL} = -50, $R_I = R_C$ = 1kΩ và R_F = 49,9KΩ. Mạch khuếch đại bị lệch ± 5mV ở 25°C do ảnh hưởng chung của điện áp offset và dòng điện offset. Xác định điện áp offset ngõ ra ở 65°C nếu hệ số dòng điện offset là 10pA/°C và hệ số điện áp offset ngõ ra là 5μV/°C và chúng đều làm ngõ ra tăng.

Giải:

Nhiệt độ thay đổi:65 – 25 = 40. Điện áp offset ngõ vào ở 65°C là

Dòng điện áp offset ngõ vào ở 65°C là $40 \times 10pA = 0.4nA$

Điện áp offset ngõ ra ở 65°C là

$$V_{ov} = 0.2mV \times \frac{49,9 + 1}{1} = 10.2mV$$

$$V_{oi} = 0.4nA \times R_F = 0.02mV.$$

Điện áp offset do sự thay đổi của nhiệt độ:

$$V_{ov} + V_{oi} = 10.2mV + 0.02mV = 10.22mV$$

10.3.2. Đáp ứng tần số và ổn định cho Op-Amp

Một Op-Amp là sự tích hợp của các linh kiện bao gồm transistor, Fet, diode, điện trở, tụ điện. Bên cạnh đó còn có sự xuất hiện của tụ điện kí sinh gây tác động xấu đến các tầng của Op-Amp như làm giảm độ lợi ở tần số cao. Do đó chúng ta phải phân tích đặc tính tần số để ổn định độ lợi và tần số cho Op-Amp khi sử dụng.

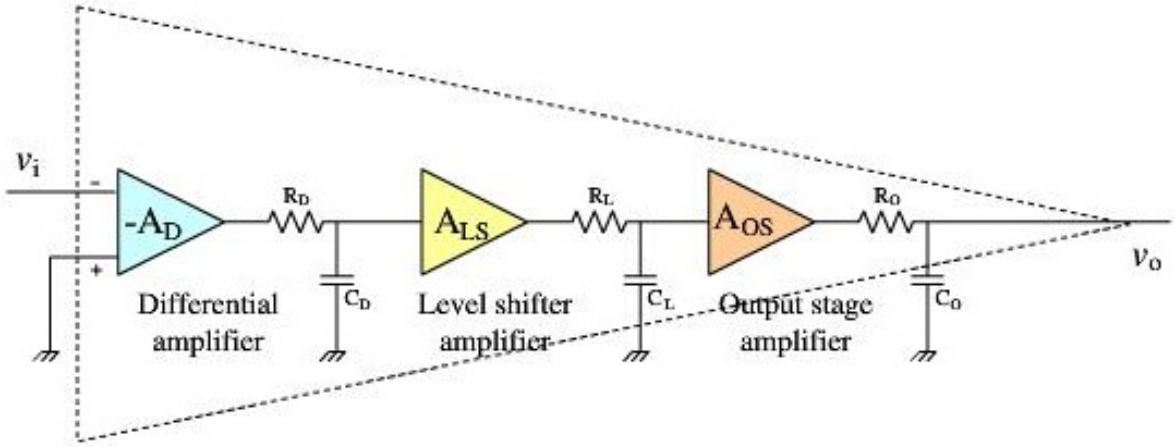
a. Đặc tính độ lợi vòng hở:

➢ **Mạch tương đương ac của Op-Amp:**

Một Op-Amp cơ bản có ba tầng phân biệt: tầng khuếch đại vi sai, tầng dịch mức điện áp, tầng ngõ ra.

Mỗi tầng có một tần số cắt riêng khi kết hợp lại nó tạo ra một đặc tính tần số cho toàn bộ Op-Amp.

Các tầng của Op-Amp lý tưởng phải được ghép với nhau bằng mạch lọc RC.



Hình 10.45. *Sơ mạch tương đương ac của Op-Amp.*

Để khảo sát đặc tính của Op-Amp, phải phân tích đặc tính tần số của mạch lọc thông thấp RC.

➢ **Đáp ứng bên trong của Op-Amp:**

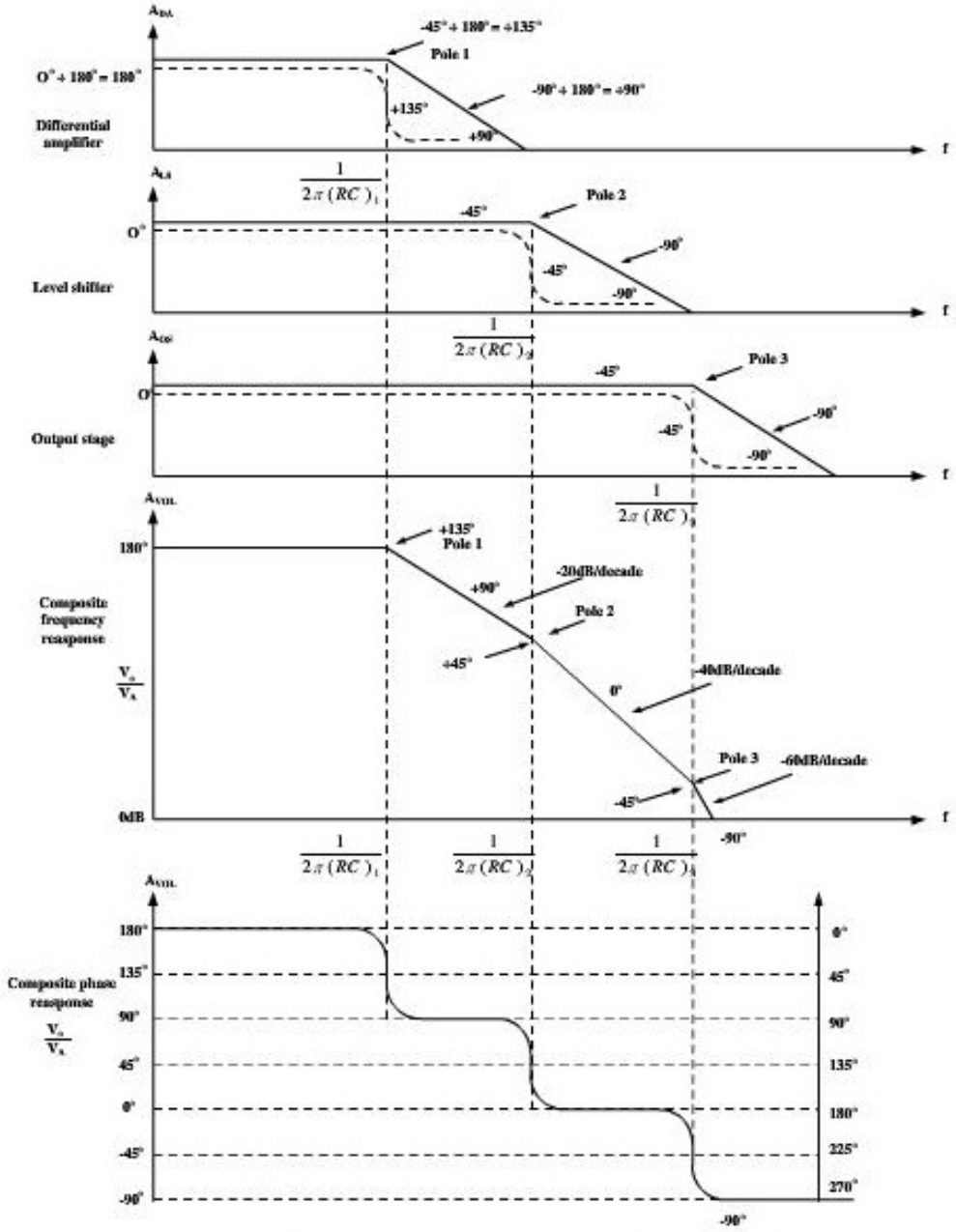
Ở phần trước ta đã khảo sát Op-Amp cơ bản có ba tầng sẽ tạo ra ba tần số cắt khác nhau và chúng phải thoả điều kiện:

- Tần số cắt của tầng khuếch đại vi sai phải nhỏ nhất – kí hiệu là f_1
- Tần số cắt của tầng khuếch đại dịch mức phải lớn hơn – kí hiệu là f_2
- Tần số cắt của tầng khuếch đại ngõ ra phải lớn nhất – kí hiệu là f_3

Cả ba tần số phải thoả:

Tần số cắt của từng tầng và tần số cắt của Op-Amp được trình bày ở*Hình 10.*45.

Giả sử ngõ vào V_+ nối mass (0V), ngõ vào V_- nhận tín hiệu nên tín hiệu ngõ ra sẽ bị đảo pha 180° bởi tầng khuếch đại vi sai.



Hình 10.46. *Tần số cắt của từng tầng và tần số cắt của Op-Amp.*

Độ lợi vòng hở của toàn mạch:

$$A_{VOL} = -(A_{DA}) \times (A_{LS}) \times (A_{OS}) \tag{10.147}$$

Ta có hàm truyền của mỗi tầng là:

$$\frac{V_o}{V_{in}} = A \times \frac{1}{1 + jf\,2\pi RC} = A \times \frac{1}{1 + j\dfrac{f}{f_o}} \qquad (10.148)$$

Khi đó

$$A_{VOL} = \frac{A}{\left(1 + j\dfrac{f}{f_1}\right) \times \left(1 + j\dfrac{f}{f_2}\right) \times \left(1 + j\dfrac{f}{f_3}\right)} \qquad (10.149)$$

Hay

$$A_{VOL} = \frac{A}{1 + j\left(\dfrac{f}{f_1} + \dfrac{f}{f_2} + \dfrac{f}{f_3} - \dfrac{f^3}{f_1 f_2 f_3}\right) - \dfrac{f^2}{f_1 f_2} - \dfrac{f^2}{f_2 f_3} - \dfrac{f^2}{f_1 f_3}} \qquad (10.150)$$

Để tính tần số cắt cho mạch khuếch đại đảo ta giả sử tín hiệu vào có góc pha là 180° thì tín hiệu ra có góc pha là 0° (thay vi vào 0 ra bị đảo 180) và tần số tương ứng là f_{o0} khi đó biểu thức

$$\left(\frac{f}{f_1} + \frac{f}{f_2} + \frac{f}{f_3} - \frac{f^3}{f_1 f_2 f_3}\right) = 0 \qquad (10.151)$$

Hay

$$\frac{1}{f_1} + \frac{1}{f_2} + \frac{1}{f_3} = \frac{f^2}{f_1 f_2 f_3} \qquad (10.152)$$

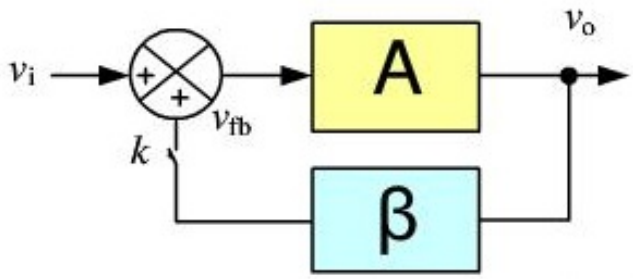
Tìm f:

$$f = \sqrt{f_1 f_2 + f_1 f_3 + f_2 f_3} \equiv f_{O0} \cong \sqrt{f_2 f_3} \qquad (10.153)$$

b. Tiêu chuẩn ổn định:

Một mạch khuếch đại được xem là ổn định thì không dao động. Có nhiều mạch khuếch đại ổn định không điều kiện có nghĩa là không bị dao động dưới bất kỳ điều kiện nào.Có nhiều mạch khuếch đại ổn định có điều kiện có nghĩa là sẽ ổn định ở các điều kiện này nhưng lại dao động ở các điều kiện khác.

Xét mạch khuếch đại hồi tiếp có sơ đồ khối như hình 10.47:



Hình 10.47. *Mạch khuếch đại có hồi tiếp.*

Để có V_o mà không cần V_i thì tín hiệu hồi tiếp βV_o phải thay thế được V_i khi đóng khóa k.

Ta có $V_i = \beta V_o$; $V_o = A \times V_i$

Suy ra $V_i = A\beta V_i$

Vậy để dao động thì $A\beta = 1$

Điều kiện dao động Barkhausen:

1- Cân bằng về biên độ $|A\beta| = |1 + j0| = 1$

2- Điều kiện cân bằng về pha: $\varphi = arctg\dfrac{0}{1} = k\pi$

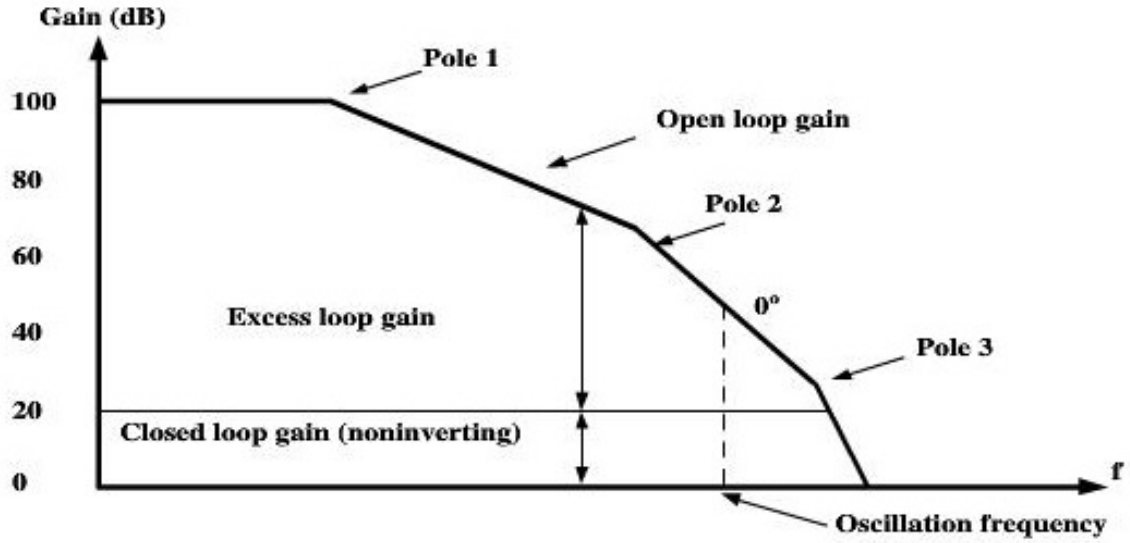
Ta có điều kiện cân bằng pha trong mạch nếu khối khuếch đại gây lệch pha thì khối hồi tiếp phải làm lệch pha để trùng với pha ban đầu có nghĩa là:

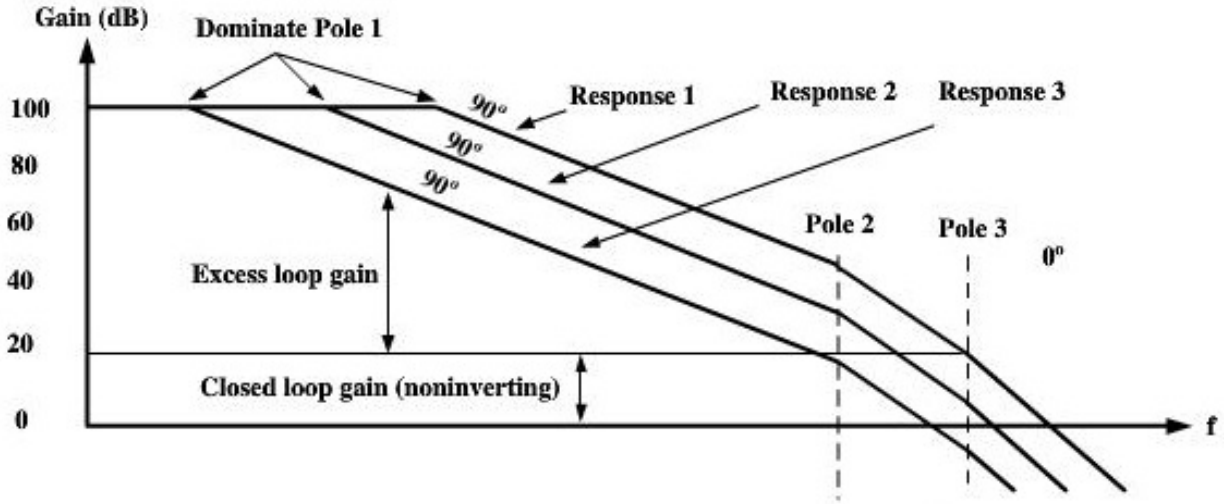
- Nếu mạch khuếch đại không đảo không gây lệch pha thì mạch hồi tiếp cũng không gây lệch pha.
- Nếu mạch khuếch đại đảo gây lệch pha 180° thì mạch hồi tiếp cũng gây lệch pha 180°.

Ta cũng có điều kiện cân bằng biên độ: $|A\beta| = 1$

Nếu thực hiện $|A\beta| = 1$ thì mạch không làm việc được trong thực tế, muốn làm việc được thì phải qua thời kỳ quá độ khi tiếp nguồn và biên độ sẽ thay đổi từ 0V tăng dần đến biên độ ổn định. Vậy ở thời kỳ quá độ thì $|A\beta| > 1$, để biên độ tăng dần từ 0V đến biên độ ổn định.

Giả sử một mạch khuếch đại đảo có độ lợi bằng 1 có đặc tuyến độ lợi như hình 10.48:





Hình 10.48. *Mạch khuếch đại đảo có độ lợi bằng 1*

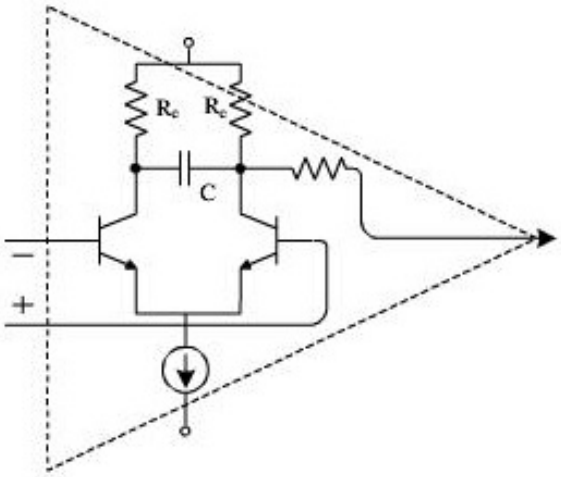
Khi độ lợi đạt đến độ dốc -40dB/decade thì pha của mạch khuếch đại đảo là 0° và độ lợi tương ứng vẫn còn lớn hơn 1 – khi đó mạch khuếch đại đảo có thể trở thành mạch dao động.

Vậy để ngăn chặn mạch khuếch đại trở thành mạch dao động thì phải đảm bảo độ dịch pha tổng cộng không được bằng 0. Để ngăn chặn mạch khuếch đại trở thành mạch dao động thì ta phải dời điểm cực của tầng khuếch đại vi sai về phía tần số thấp hơn.

Giả sử ta dời điểm cực của tầng khuếch đại vi sai tới hai vị trí tương ứng với hai đường cong đáp ứng 2 và 3. Đường cong đáp ứng 2 khi góc pha về 0° thì độ lợi vẫn còn lớn hơn 1.

Đường cong đáp ứng 3 khi góc pha về 0° thì độ lợi nhỏ hơn 1 nên mạch sẽ không dao động.

Để dời điểm cực của tầng khuếch đại vi sai ta dùng một tụ điện nối giữa hai cực colector của hai transistor của tầng khuếch đại vi sai như hình 10.49.



Hình 10.49. *Mạch khuếch đại vi sai có kết nối thêm tụ.*

c. Chế độ hoạt động ac:

➢ **Độ lợi vòng kín ở chế độ ac:**

Biên độ của độ lợi vòng hở ở dọc theo đường -20dB/decade giảm theo tần số nhưng góc pha vẫn không đổi +90°.

Nên $A_{VCL} = jA = A\angle 90^o$

Ở trước ta đã tính độ lợi của mạch khuếch đại đảo là

$$A_{VCL} = -\frac{AR_F}{(1+A)R_I + R_F}$$

➢ **Đáp ứng tần số khi có hồi tiếp:**

Ở đầu chương, chúng ta đã khảo sát đáp ứng tần số của mạch Op-Amp không có hồi tiếp, khi có hồi tiếp thì đáp ứng tần số sẽ thay đổi, độ rộng băng thông sẽ tăng.

Để khảo sát ảnh hưởng của hồi tiếp, ta sử dụng mạch khuếch đại không đảo.

Xét độ lợi vòng hở của mạch khuếch đại dùng Op-Amp có độ suy giảm -20dB/decade là:

$$A_{fo} = \frac{A_{OL}}{1 + j\dfrac{f}{f_o}}$$

Trong đó:

- A_{OL} *là độ lợi của Op-Amp ở tần số thấp dc.*
- A_{fo} *là độ lợi của Op-Amp ở tần số cắt* f_O.
- f_o *là tần số cắt.*

Độ lợi vòng kín của mạch khuếch đại không đảo ở tần số thấp:

$$A_{CL} = \frac{V_o}{V_{in}} = \frac{A_{OL}(R_I + R_F)}{R_I(A_{OL}+1)+R_F} = \frac{A_{OL}}{1 + A_{OL}\dfrac{R_I}{(R_I + R_F)}} = \frac{A_{OL}}{1 + A_{OL}\beta}$$

Độ lợi vòng kín của mạch khuếch đại không đảo ở tần mà độ lợi của mạch là A_{fo} (-20dB/decade):

$$A_{CL} = \frac{A_{fo}}{1 + A_{fo}\beta} = \frac{\dfrac{A_{OL}}{1 + j\dfrac{f}{f_O}}}{1 + \dfrac{A_{OL}}{1 + j\dfrac{f}{f_O}}\beta} = \frac{A_{OL}}{A_{OL}\beta + 1 + j\dfrac{f}{f_O}} = \frac{A_{OL}}{1 + A_{OL}\beta} \times \frac{1}{1 + j\dfrac{f}{(1 + A_{OL}\beta)f_O}}$$

Đặt: $$f^{\bullet} = (1 + A_{OL}\beta)f_o$$

Khi đó $$A_{CL} = \frac{A_{OL}}{1 + A_{OL}\beta} \times \frac{1}{1 + j\dfrac{f}{f^{\bullet}}}$$

Vậy:

- Khi tần số tín hiệu vào tăng thì A_{CL} càng giảm.
- Tại tần số $f = f^{\bullet} = (1 + A_{OL}\beta)f_o$ tín hiệu ra sẽ giảm -30dB/decade được gọi là tần số cắt của mạch.
- Tần số cắt của mạch có hồi tiếp là $f^{\bullet} = (1 + A_{OL}\beta)f_o$ lớn hơn tần số cắt của mạch không có hồi tiếp có nghĩa là băng thông của mạch tăng lên nhờ hồi tiếp.

➢ **Tích số giữa độ lợi và băng thông:**

Độ lợi của mạch khuếch đại đảo ở tần số thấp là:

$$A_{CL} = \frac{A_{OL}}{1 + A_{OL}\beta}$$

Tần số cắt của mạch khi mạch khuếch đại đảo có độ lợi giảm – 20dB/decade

$$f = f^{\bullet} = (1 + A_{OL}\beta)f$$

Khi đó tích của độ lợi và tần số là:

$$A_{CL} \times f^{\bullet} = \frac{A_{OL}}{1 + A_{OL}\beta} \times (1 + A_{OL}\beta)f_o = A_{OL} \times f_o$$

Trong đó:

- A_{OL} *là độ lợi cố định của Op-Amp.*
- f_O là tần số cắt chọn trước.

Nên $A_{OL} \times f_o = const$ suy ra $A_{OL} \times f^{\bullet} = const$

Vậy để tăng độ lợi A_{CL} thì phải giảm băng thông hoặc muốn tăng băng thông thì phải giảm độ lợi.

➢ **Dự trữ pha:**

Thông thường điều kiện ổn định biểu diễn bằng dự trữ pha θ_{pm}.

Dự trữ pha là: $$\theta_{pm} = 180^o - |\phi| \quad (10.154)$$

Dự trữ pha dương chứng tỏ sự ổn định.

➢ **Tốc độ quét (slew rate):**

Định nghĩa: là tốc độ thay đổi cực đại của điện áp ra trên 1 đơn vị thời gian:

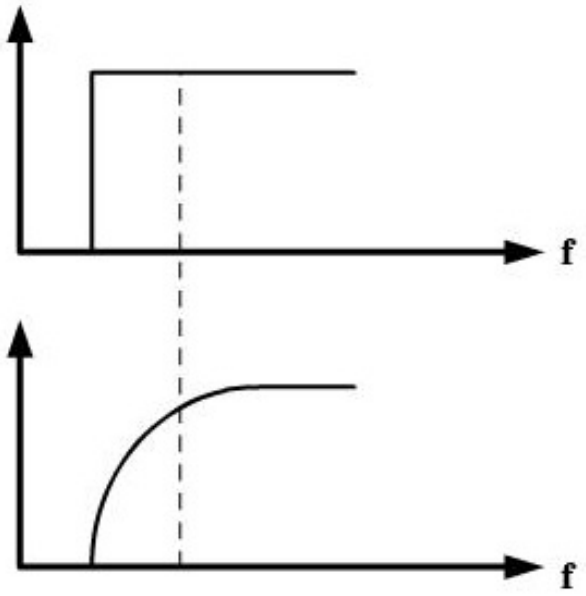
$$S = \left(\frac{\Delta V_{out}}{\Delta t}\right)_{\max} \left(V/\mu s\right) \quad (10.155)$$

Do tồn tại điện dung kí sinh nên một mạch khuếch đại không thể đáp ứng tức thời với sự thay đổi của tín hiệu vào. Các điện dung kí sinh bên trong phải được nạp và do đó tồn tại một khoảng thời gian cần thiết để chúng nạp. Dẫn đến tốc độ thay đổi điện áp bị giới hạn.

Tốc độ quét khác với khái niệm giới hạn tần số (băng thông).

- Tần số cắt của đáp ứng tần số của Op-Amp là một thông số cho biết giới hạn khuếch đại của Op-Amp trong trường hợp tín hiệu nhỏ.
- Tốc độ là đại lượng thông báo cho biết khả năng Op-Amp bám theo tín hiệu lớn mà không gây méo. Khả năng này sẽ thay đổi tùy theo tần số và điện áp ra.

Méo dạng tín hiệu gây ra bởi tốc độ quét như hình 10.50. Khi chúng ta đưa 1 tín hiệu sóng vuông vào mạch khuếch đại không đảo và tín hiệu ra có đáp ứng chậm.



Hình 10.50. *Ảnh hưởng do Op-Amp làm việc quá tốc độ quét.*

Op-Amp có tốc độ quét S từ $1^{V}/_{\mu s}$ (loại thường) đến $20^{V}/_{\mu s}$ (loại tốt). S đủ lớn để ngõ ra của Op-Amp đạt giá trị phản hồi trước khi điện áp vào đổi dấu.

10.3.3. Tỷ số nén nguồn cung cấp và tín hiệu cách chung

a. Tỷ số nén nguồn cung cấp (PSRR: Power Supply Rejection Ratio)

Nếu điện áp nguồn cung cấp cho Op-Amp không ổn định, điện áp ra sẽ bị ảnh hưởng:

$$\Delta V_O = \frac{\Delta V_S}{PRSS} A_{VCL} \qquad (10.156)$$

b. Tỷ số nén tín hiệu cách chung (CMRR)

$$\Delta V_O = -\frac{\Delta V_I}{CMRR} A_{VCL} \qquad (10.157)$$

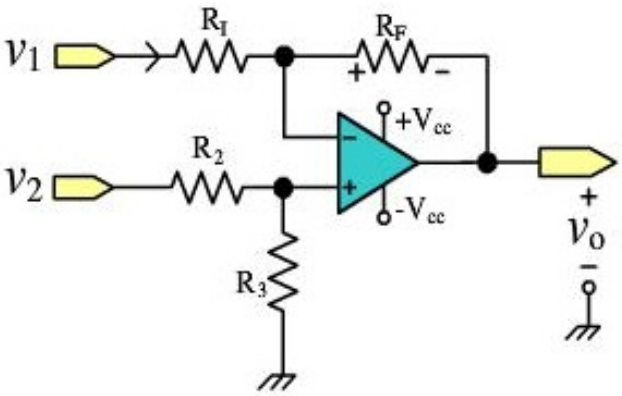
10.4. ỨNG DỤNG OP-AMP TRONG MẠCH TUYẾN TÍNH

10.4.1. Mạch khuếch đại vi sai – mạch trừ điện áp:

Mạch khuếch đại vi sai thường được sử dụng khi muốn loại bỏ 1 đại lượng ra khỏi tín hiệu vào ví dụ như nhiễu.

a. Mạch trừ:

Sơ đồ mạch trừ trên hình 10.51.



Hình 10.51. *Sơ đồ mạch trừ.*

Ta có phương trình điện áp ra:

$$v_o = v_2 \times \frac{R_3}{R_3 + R_2} \times \frac{R_I + R_F}{R_I} - v_1 \times \frac{R_F}{R_I} \qquad (10.158)$$

Khi cho $\dfrac{R_F}{R_I} = \dfrac{R_3}{R_2}$ (10.159)

Mạch trừ trở thành mạch khuếch đại vi sai:

$$v_o = (v_2 - v_1) \times \frac{R_F}{R_I} \qquad (10.160)$$

Và nếu cho $R_F = R_I = R_3 = R_2$ (10.161)

Thì điện áp ra $v_o = v_2 - v_1$ (10.162)

Điện trở ngõ vào:

R_I cho tín hiệu v_1

$R_3 + R_2$ cho tín hiệu v_2

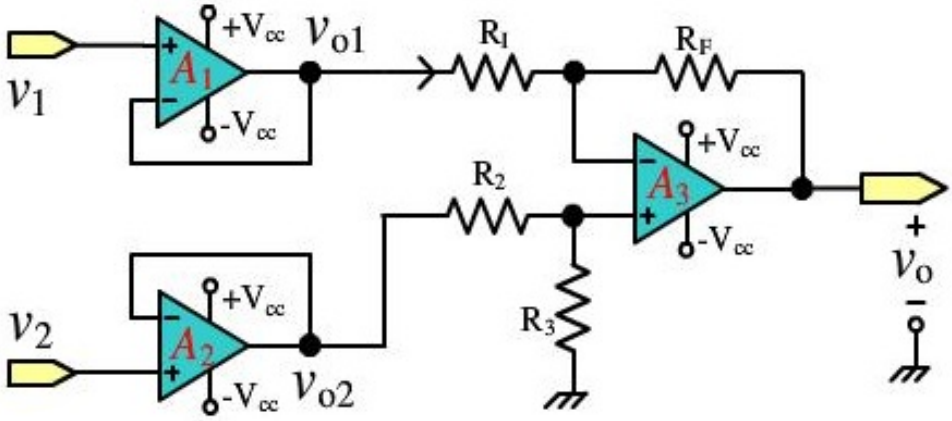
$R_I + R_2$ cho tín hiệu $v_2 - v_1$

Mạch khuếch đại vi sai trên có tổng trở vào thấp.

b. Các mạch khuếch đại vi sai sử dụng trong các thiết bị đo lường

➢ **Mạch khuếch đại vi sai dùng 3 Op-Amp**

Sơ đồ mạch khuếch đại vi sai như hình 10.52.



Hình 10.52. *Mạch khuếch đại vi sai dùng ba Op-Amp.*

Ở mạch khuếch đại vi sai này dùng thêm hai Op-Amp khuếch đại đệm tín hiệu của hai ngõ vào để tăng tổng trở vào.

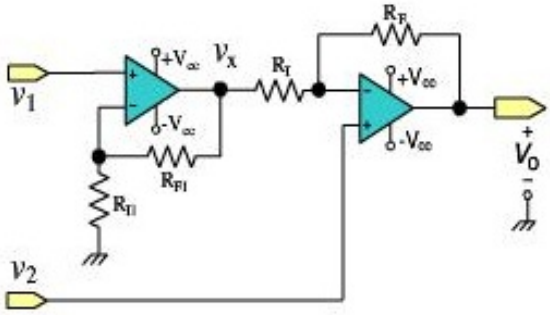
Phương trình điện áp ra: $v_o = -(v_1 - v_2) \times \dfrac{R_F}{R_I}$

Và nếu cho $R_F = R_I = R_3 = R_2$

Thì điện áp ra $v_o = v_2 - v_1$

➢ **Mạch khuếch đại vi sai dùng hai Op-Amp**

Sơ đồ mạch khuếch đại vi sai như hình 10.53.



Hình 10.53. *Mạch khuếch đại vi sai dùng hai Op-Amp.*

Phương trình điện áp ra của Op-Amp thứ nhất:

$$v_x = \frac{R_{F1} + R_{I1}}{R_{I1}} \times v_1 \qquad (10.163)$$

Phương trình điện áp ra của Op-Amp thứ hai:

$$v_o = v_2 \times \frac{R_I + R_F}{R_I} - v_X \times \frac{R_F}{R_I} \qquad (10.164)$$

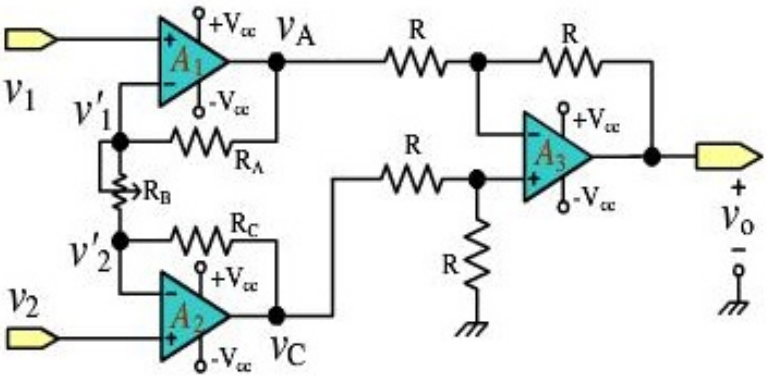
Kết hợp hai phương trình ta có:

$$v_o = v_2 \times \frac{R_I + R_F}{R_I} - \left(\frac{R_{F1} + R_{I1}}{R_{I1}}\right) \times \frac{R_F}{R_I} \times v_1 = \frac{R_I + R_F}{R_I} \times v_2 - \left(\frac{R_F}{R_I} + \frac{R_F}{R_I} \times \frac{R_{F1}}{R_{I1}}\right) \times v_1 \qquad (10.165)$$

Và nếu cho $R_{F1} = R_I$ và $R_{I1} = R_F$ thì: $v_o = (v_2 - v_1) \times \frac{R_F + R_I}{R_I}$ (10.166)

➢ **Mạch khuếch đại vi sai có độ lợi thay đổi**

Sơ đồ mạch khuếch đại vi sai có độ lợi thay đổi như hình 10.54.



Hình 10.54. *Mạch khuếch đại vi sai có độ lợi thay đổi.*

Theo giả định 1 ta có: $v_1 = v_1'$ và $v_2 = v_2'$

Op-Amp 1 có hai tín hiệu là v_1 và v_2', điện áp xuất hiện tại ngõ ra là

$$v_A = \frac{R_A + R_B}{R_B} v_1 + \left(-\frac{R_A}{R_B}\right) v_2' = \frac{R_A}{R_B} v_1 + v_1 - \frac{R_A}{R_B} v_2' \qquad (10.167)$$

Op-Amp 2 có hai tín hiệu là v_2 và v_1', điện áp xuất hiện tại ngõ ra là

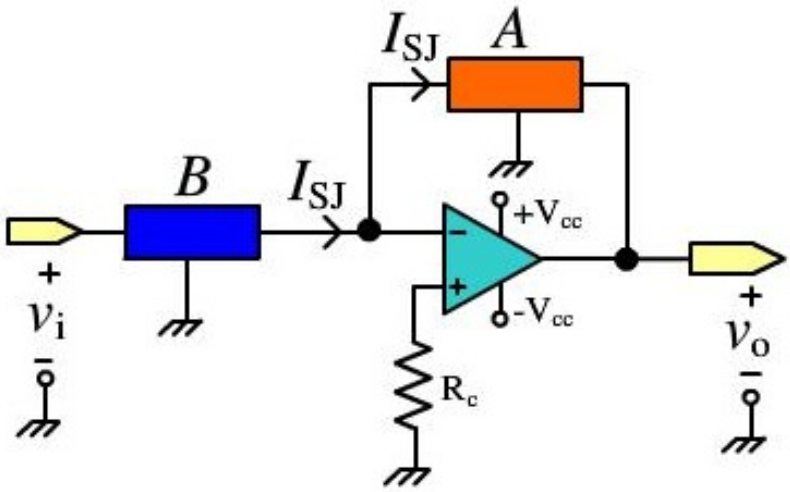
$$v_C = \frac{R_C + R_B}{R_B} v_2 + \left(-\frac{R_C}{R_B}\right) v_1' = \frac{R_C}{R_B} v_2 + v_2 - \frac{R_C}{R_B} v_1' \qquad (10.168)$$

Op-Amp 3 có $R_1 = R_2 = R_I = R_F = R_A = R_C = R$ thì điện áp xuất hiện tại ngõ ra là

$$v_o = v_C - v_A = (v_2 - v_1) \times \left[\frac{2R}{R_B} + 1\right] \qquad (10.169)$$

10.4.2. Mạch khuếch đại Op-Amp dùng mạng hai cửa

Một mạch khuếch đại đảo dùng mạng hai cửa giữa ngõ vào và đường dẫn hồi tiếp trên hình 10.55.



Hình 10.55. *Mạch khuếch đại dùng mạng hai cổng.*

Nhắc lại phương trình tham số y của mạng hai cửa:

$$i_1 = y_{11} v_1 + y_{12} v_2$$

$$i_2 = y_{21} v_1 + y_{22} v_2$$

Ta có $\quad y_{21} = \left.\frac{i_2}{v_1}\right|_{v_2 = 0}; \; y_{12} = \left.\frac{i_1}{v_2}\right|_{v_1 = 0}$

Đối với mạng hai cửa A thì $\quad y_{21} = \left.\frac{i_2}{v_1}\right|_{v_2 = 0} = \frac{i_{SJ}}{v_i}$

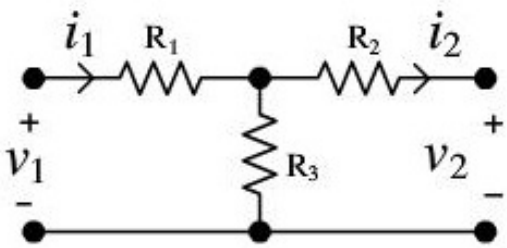
Đối với mạng hai cửa B thì $y_{12} = \left.\frac{i_1}{v_2}\right|_{v_1=0} = \frac{i_{SJ}}{v_o}$

Hệ số khuếch đại của mạch khuếch đại đảo là

$$A_{VCL} = \frac{v_o}{v_i} = -\frac{R_F}{R_I} = -\frac{\left(1/y_{12}\right)}{\left(1/y_{21}\right)} \qquad (10.170)$$

a. Phân tích mạng hai cửa hình T

Sơ đồ mạng hai cửa hình T như hình 10.56.



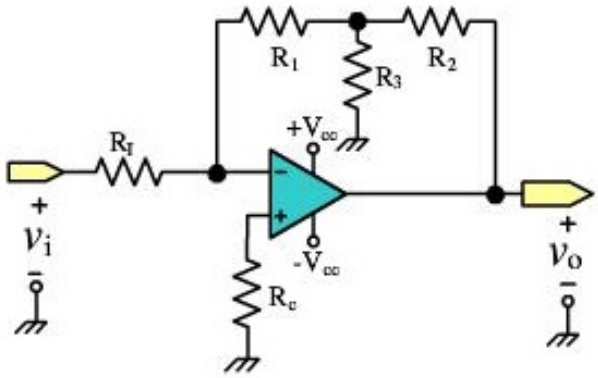
Hình 10.56. *Sơ đồ mạng hai cửa hình T.*

Ta có $y_{21} = \left.\frac{i_2}{v_1}\right|_{v_2=0} = \frac{R_3}{R_1R_2 + R_2R_3 + R_1R_3}$

$$y_{12} = \left.\frac{i_1}{v_2}\right|_{v_1=0} = -y_{21} = -\frac{R_3}{R_1R_2 + R_2R_3 + R_1R_3}$$

b. Mạch khuếch đại vòng kín với mạng phản hồi là mạng tứ cực

Sơ đồ mạch khuếch đại vòng kín với mạng phản hồi là mạng tứ cực trong hình 10.57.



Hình 10.57. *Sơ đồ mạch khuếch đại với mạng phản hồi là mạng tứ cực.*

Hệ số khuếch đại điện áp của mạch là:

$$A_{VCL} = \frac{v_o}{v_i} = -\frac{R_F}{R_I} = -\frac{\left(1/y_{12}\right)}{\left(1/y_{21}\right)};$$

Với $$\frac{1}{y_{21}} = R_I;\ y_{12} = \frac{R_3}{R_1R_2 + R_2R_3 + R_1R_3} = \frac{1}{R_F}$$

Suy ra $$\frac{v_o}{v_i} = -\frac{R_F}{R_I} = -\frac{\left(1/y_{12}\right)}{\left(1/y_{21}\right)} = -\frac{R_1R_2 + R_2R_3 + R_1R_3}{R_3R_I} \qquad (10.171)$$

c. Mạch khuếch đại có độ lợi lớn:

Mạch khuếch đại có độ lợi lớn chính là mạch dùng phần tử phản hồi là mạng hai cửa hình T vì chúng tạo ra điện trở R_F có giá trị rất lớn.

Ví dụ: Cần thiết kế mạch khuếch đại có hệ số khuếch đại 100. Điện trở ngõ vào là 10k để tránh rút dòng ở tầng khuếch đại trước. Hãy tính các thông số điện trở của mạng hai cửa hình T có R_1 và R_2 là 10k.

Giải:

Ta có

$$\frac{v_o}{v_i} = -100 = -\frac{R_1R_2 + R_2R_3 + R_1R_3}{R_IR_3} = -\frac{10\times10 + 10R_3 + 10R_3}{10R_3}$$

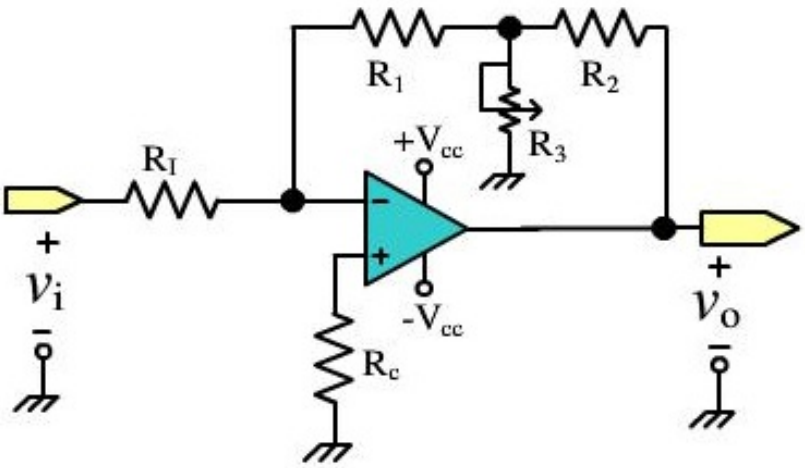
Suy ra $R_3 = 103\Omega$

Ta có $$R_F = \frac{1}{y_{12}} = \frac{R_1R_2 + R_2R_3 + R_1R_3}{R_3} = 1M\Omega$$

Vậy nếu không dùng cầu T thì phải dùng điện trở R_F có giá trị $1M\Omega$, còn nếu dùng cầu T thì các điện trở trong cầu T có giá trị nhỏ.

d. Mạch khuếch đại có độ lợi thay đổi được

Sơ đồ mạch khuếch đại có độ lợi thay đổi được bằng cách thay điện trở R_3 trong mạch bằng một biến trở như hình 10.58.



Hình 10.58. *Sơ đồ mạch khuếch đại có độ lợi thay đổi được.*

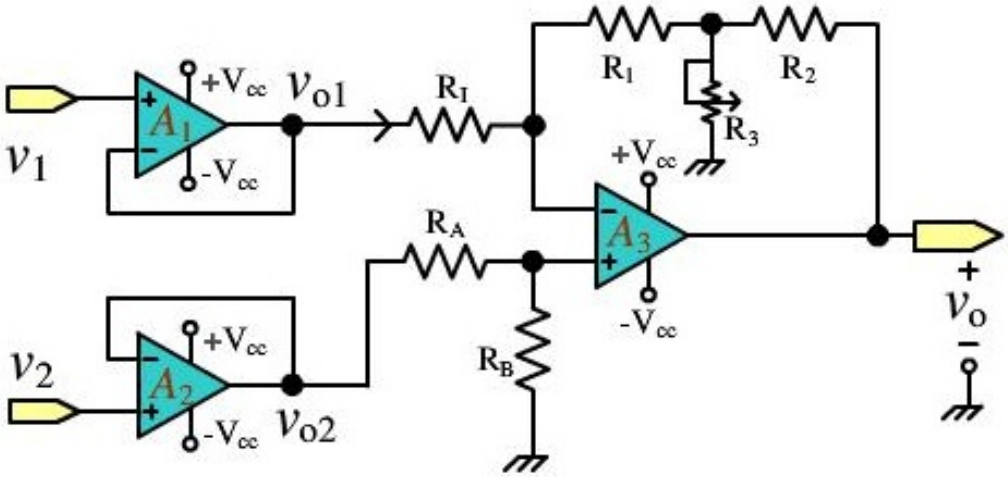
Khi điều chỉnh biến trở R_3 sẽ xảy ra 2 trường hợp:

- Khi $R_3 = \infty$, xem như hở mạch thì phương trình điện áp ra $\frac{v_o}{v_i} = \frac{R_1 + R_2}{R_I}$

- Khi $R_3 = 0$, phương trình điện áp ra $\frac{v_o}{v_i} = A_{VOL}$: để ngăn chặn trường hợp này xảy ra, ta thêm vào một điện trở mắc nối tiếp với biến trở R_3.

e. Các mạch khuếch đại có độ lợi thay đổi được thường sử dụng trong các thiết bị đo lường

Sơ đồ mạch khuếch đại sử dụng trong các thiết bị đo lường có dạng như hình 10.59.



Hình 10.59. *Sơ đồ mạch khuếch đại sử dụng trong các thiết bị đo lường.*

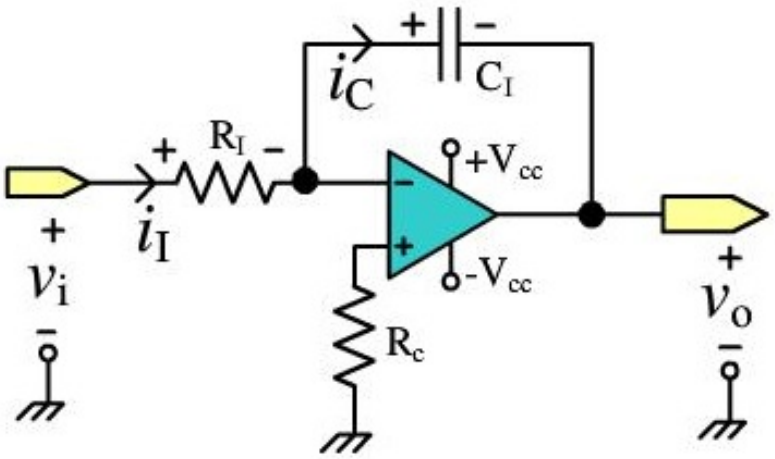
Hệ số khuếch đại điện áp của mạch:

$$v_o = (v_2 - v_1) \times \frac{R_F}{R_I} = (v_2 - v_1) \times \frac{1/y_{12}}{R_I} \quad (10.172)$$

Với điều kiện $\frac{R_F}{R_I} = \frac{R_B}{R_A}$ (10.173)

10.4.3. Mạch tích phân

Sơ đồ mạch tích phân như hình 10.60.



Hình 10.60. *Sơ đồ mạch tích phân.*

Theo giả định 1 ta có: $v_A = v_- = v_+ = 0V$

Nên $$v_o = -\frac{1}{C_I}\int_0^t i_{C_I}\,dt + V_{C_I}(0) \quad (10.174)$$

Trong đó $V_{C_I}(0)$: điện áp ban đầu của tụ tại thời điểm $t = 0$ thì $V_O(0) = V_{C_I}(0)$.

Ta có $i_C = i_I = \frac{v_i}{R_I}$

Nên ta có phương trình điện áp ra:

$$v_o(t) = -\frac{1}{R_I C_I}\int_0^t v_i\,dt + V_{C_I}(0) \quad (10.175)$$

Mạch tích phân cũng chính là mạch lọc thông thấp với điểm cực là

Ta có: $$\frac{v_i - v_A}{R_I} = \frac{v_A - v_o}{X_{C_I}} \quad (10.176)$$

Ta có $$v_A = -v_{id} = -\frac{v_o}{A} \quad (10.177)$$

Suy ra $$\frac{v_i + \frac{v_o}{A}}{R_I} = \frac{-\frac{v_o}{A} - v_o}{X_{C_I}} \quad (10.178)$$

Suy ra $$\frac{v_o}{v_i} = -\frac{A}{1 + (1+A)\frac{R_I}{X_{C_I}}} \quad (10.179)$$

Với $$X_{C_I} = \frac{1}{j\varpi C_I} = \frac{1}{j2\pi f C_I}$$

Thay vào phương trình trên ta được:

$$A_V = \frac{v_o}{v_i} = -\frac{A}{1 + (1+A)Rj2\pi f C_I} \approx -\frac{A}{1 + Aj2\pi f R C_I} \quad (10.180)$$

Tần số cắt của mạch tích phân là tại tần số tại đó tín hiệu ra bị giảm -3dB tức thay $A2\pi f C_I R_I = 1$

Hay: $$f_p = \frac{1}{A2\pi R_I C_I} \quad (10.181)$$

a. Trường hợp tín hiệu vào mạch là tín hiệu dc:

Khi tín hiệu vào mạch tích phân là tín hiệu dc, điện áp ra được tính theo công thức:

$$V_o = -\frac{1}{C_I R_I} \times V_i \times \Delta t \quad (10.182)$$

b. Trường hợp tín hiệu vào mạch là tín hiệu ac:

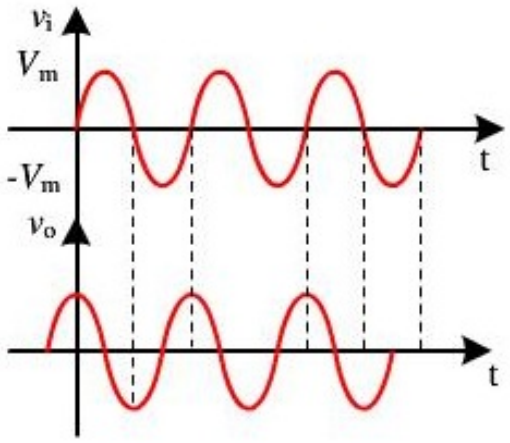
Giả sử điện áp vào mạch tích phân có dạng $v_i = V_P \sin \omega t$

Điện áp ra

$$v_o(t) = -\frac{1}{R_I C_I}\int_0^t V_p \sin\omega t dt = +\frac{V_p}{\varpi R_I C_I}\sin(\omega t + \frac{\pi}{2}) \qquad (10.183)$$

Tín hiệu ra chính là tín hiệu vào bị lệch pha đi $\frac{\pi}{2}$.

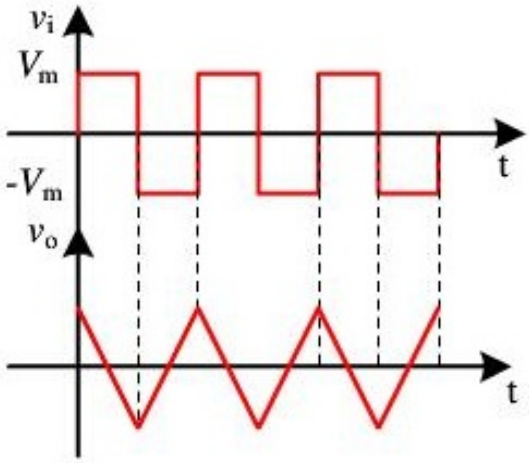
Dạng sóng tín hiệu vào và tín hiệu ra như *Hình 10.61:*



Hình 10.61. *Dạng sóng ra với tín hiệu vào là sóng sin.*

c. Trường hợp tín hiệu vào là sóng vuông:

Cho tín hiệu vào mạch tích phân là tín hiệu sóng vuông thì tín hiệu ra là tín hiệu sóng tam giác có dạng sóng như hình 10.62.



Hình 10.62. *Dạng sóng ra với tín hiệu vào là sóng vuông.*

Giả sử điện áp vào mạch tích phân có dạng

$v_i = +V_m$ trong khoảng thời gian từ $\left[0 \rightarrow \frac{T}{2}\right]$

$v_i = -V_m$ trong khoảng thời gian từ $\left[\frac{T}{2} \to T\right]$

Và biên độ sóng vuông là hằng số nên khi tính tích phân ta có thể tính một cách dễ dàng, phương trình điện áp ra.

Trong khoảng thời gian từ $\left[0 \to \frac{T}{2}\right]$, $v_i = +V_m$ nên phương trình điện áp ra:

$$v_o(t) = -\frac{1}{R_I C_I}\int_0^t V_m dt = -\frac{V_m}{R_I C_I}t$$

Đây là phương trình của hàm dốc giảm nên dạng sóng chính là cạnh xuống của dạng sóng tam giác.

Trong khoảng thời gian từ $\left[\frac{T}{2} \to T\right]$, $v_i = -V_m$ nên phương trình điện áp ra:

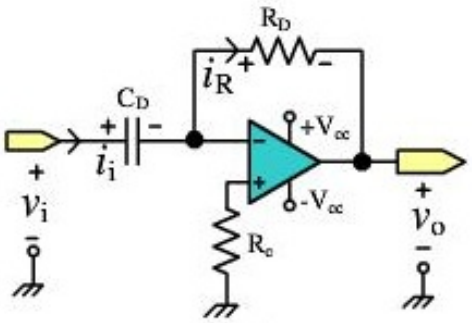
$$v_o(t) = -\frac{1}{R_I C_I}\int_0^t -V_m dt = +\frac{V_m}{R_I C_I}t$$

Đây là phương trình của hàm dốc tăng nên dạng sóng chính là cạnh lên của dạng sóng tam giác.

Khi tín hiệu vào ở trạng thái $v_i = -V_m$, tín hiệu ra là hàm dốc tăng cho đến khi tín hiệu vào chuyển sang trạng thái $v_i = +V_m$, tín hiệu ra chuyển sang hàm dốc giảm cho đến khi tín hiệu vào chuyển sang trạng thái $v_i = -V_m \ldots$ mạch lặp lại trạng thái.

10.4.4. Mạch vi phân

Sơ đồ mạch vi phân như hình 10.63.



Hình 10.63. *Sơ đồ mạch vi phân.*

Theo giả định 1 ta có: $v_- = v_+ = 0V$

Nên $$v_{C_D} = v_i = \frac{1}{C_D}\int i_i dt \quad (10.184)$$

Suy ra $$i_i = C_D \frac{dv_i}{dt}$$

Theo giả định 1 ta có: $$i_i = i_R = -\frac{v_o}{R_D}$$

Nên ta có phương trình điện áp ra:

$$v_o(t) = -R_D i_i = -R_D C_D \frac{dv_i}{dt} \quad (10.185)$$

Mạch vi phân cũng chính là mạch lọc thông cao với điểm cực là

Ta có: $$\frac{v_i - v_A}{X_{C_D}} = \frac{v_A - v_o}{R_D} \quad (10.186)$$

Ta có $$v_A = -v_{id} = -\frac{v_o}{A} \quad (10.187)$$

Suy ra $$\frac{v_i + \frac{v_o}{A}}{X_{C_D}} = \frac{-\frac{v_o}{A} - v_o}{R_D} \quad (10.188)$$

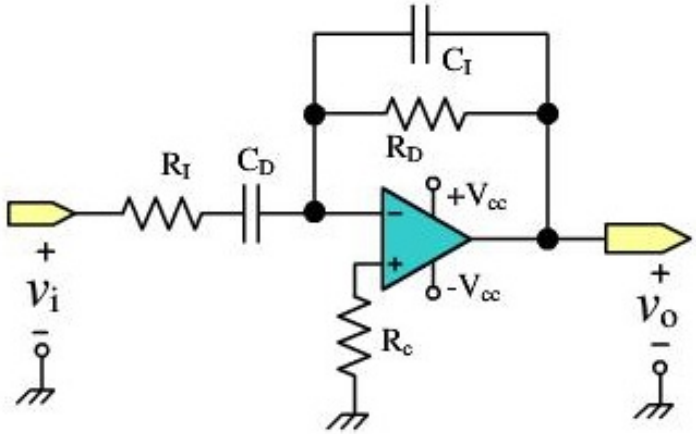
Suy ra $$\frac{v_o}{v_i} = -\frac{A}{1 + (1+A)\frac{X_{C_D}}{R_D}} \approx -\frac{A}{1 + A\frac{1}{j2\pi R_D f C_D}} \quad (10.189)$$

Điểm cực là điểm làm cho mẫu số = 0 tương ứng với giá trị:

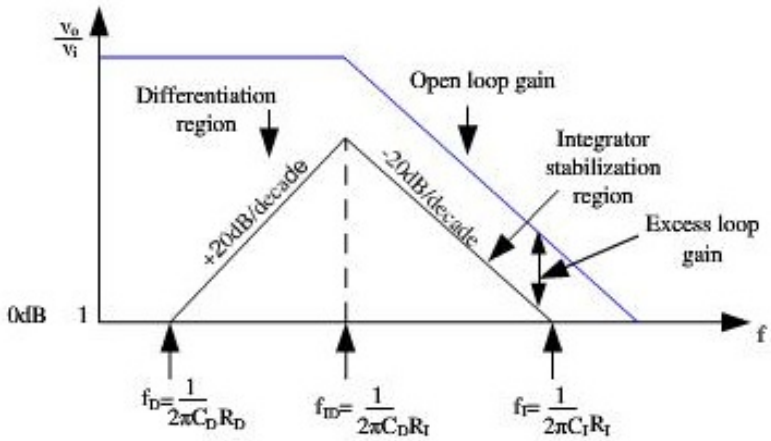
Với $$f_p = \frac{A}{2\pi R_D C_D} \quad (10.190)$$

Theo giản đồ Bode ta thấy mạch vi phân có băng thông rộng, độ lợi của mạch lớn khi tần số càng lớn sẽ làm cho mạch không ổn định dễ gây dao động, dễ bị nhiễu tác động, do đó cần phải giới hạn băng thông của mạch.

Để tránh các vấn đề nêu trên ta phải giới hạn băng thông bằng cách gắn thêm vào mạch vi phân một mạch tích phân để giới hạn tần số cao của mạch vi phân như hình 10.64.

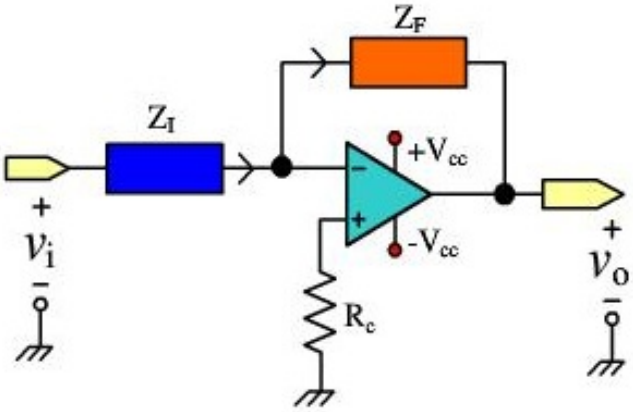


Hình 10.64. *Mạch vi phân đã được giới hạn tần số cao.*



Hình 10.65. *Giản đồ Bode của mạch sau khi đã được giới hạn.*

Tính hệ số khuếch đại điện áp ta dùng mạch tương đương như *Hình 10.66*:



Hình 10.66. *Mạch tương đương để tính hệ số khuếch đại.*

Ta có $$Z_I = R_I + \frac{1}{j\omega C_D} = R_I - \frac{j}{\omega C_D} \qquad (10.191)$$

Và $$Z_F = \frac{R_D\left(\frac{-j}{\omega C_I}\right)}{R_D - \frac{j}{\omega C_I}} = \frac{R_D(-jX_C)}{R_D - \frac{j}{X_C}} \quad (10.192)$$

Hệ số khuếch đại:

$$\frac{v_o}{v_i} = -\frac{Z_F}{Z_i} = -\frac{R_D(-jX_C)}{R_D - \frac{j}{X_C}} \times \frac{1}{R_I - \frac{j}{\omega C_D}} = -\frac{-\frac{jR_D}{\omega C_I}}{R_D R_I - \frac{jR_I}{\omega C_I} - \frac{jR_D}{\omega C_D} - \frac{1}{\omega^2 C_I C_D}} \quad (10.193)$$

Hay $$\frac{v_o}{v_i} = \frac{jR_D\omega C_D}{1 - R_D R_I \omega^2 C_D C_I + jR_D\omega C_I + jR_I\omega C_D} \quad (10.194)$$

Nếu cho $R_D C_I = R_I C_D$ (10.195)

Thì

$$\frac{v_o}{v_i} = \frac{jR_D\omega C_D}{1 + 2jR_D\omega C_I + (jR_D C_I\omega)^2} = jR_D\omega C_D \frac{1}{(1 + jR_D C_I\omega)^2} \quad (10.196)$$

a. Hoạt động của mạch vi phân

Điện áp ra của mạch vi phân bằng đạo hàm của điện áp vào nhân với thời hằng RC.

- Đối với tín hiệu vào là hằng số ở bất kì biên độ nào, điện áp ra bằng 0V.
- Khi điện áp vào là hàm bậc thang, điện áp ra là hằng số ngược cực tính.

Mạch vi phân thường được dùng ở trường hợp 2: đo tốc độ thay đổi của điện áp vào và tìm được điện áp ra tỉ lệ với tốc độ.

b. Trường hợp tín hiệu vào mạch là tín hiệu ac

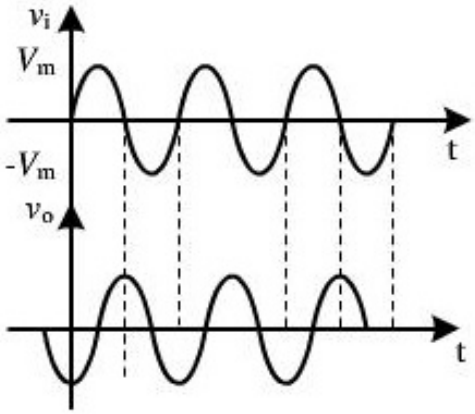
Giả sử điện áp vào mạch tích phân có dạng $v_i = V_P \sin\omega t$

Điện áp ra:

$$v_o(t) = -R_D C_D \frac{dv_i}{dt} = -R_D C_D \frac{d(V_p \sin\omega t)}{dt} = R_D C_D V_p \omega \sin\left(\omega t - \frac{\pi}{2}\right) \quad (10.197)$$

Tín hiệu ra chính là tín hiệu vào bị lệch pha đi $\frac{\pi}{2}$.

Dạng sóng tín hiệu vào và tín hiệu ra như hình 10.67.



Hình 10.67. *Dạng sóng tín hiệu vào và tín hiệu ra.*

10.5. ỨNG DỤNG OP-AMP TRONG MẠCH PHI TUYẾN

10.5.1. Mạch chỉnh lưu chính xác

Ở mạch chỉnh lưu dùng diode, để có điện áp ra thì điện áp vào phải lớn hơn $V_\gamma = 0.7V$. Đối với điện áp cần nắn nằm trong khoảng mV, diode không đáp ứng được.

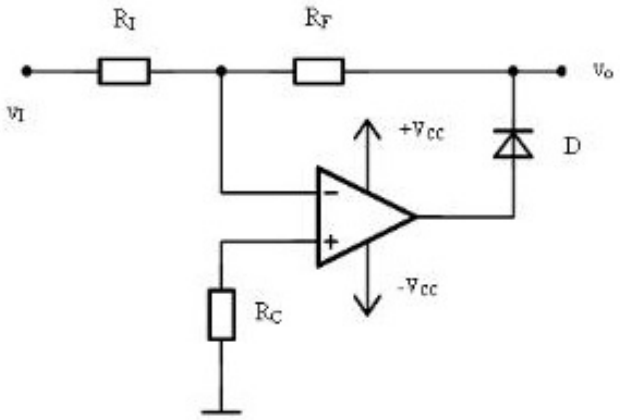
a. Mạch chỉnh lưu bán kỳ chính xác

Sơ đồ mạch chỉnh lưu bán kỳ chính xác như hình 10.68.

➢ **Nguyên lý hoạt động**:

Khi tín hiệu vào $v_i > 0$ (bán kỳ dương), điện áp ra $v_o' = -\dfrac{R_F}{R_I} v_i < 0V$.

Điện áp này âm nên diode phân cực nghịch xem như hở mạch nên điện áp ra $v_o = 0V$.



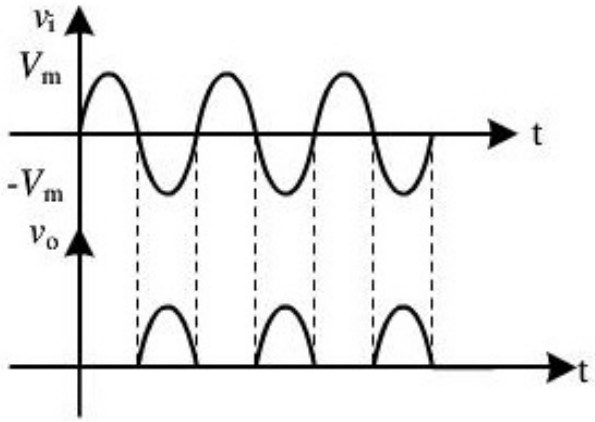
Hình 10.68. *Sơ đồ mạch chỉnh lưu bán kỳ chính xác.*

Khi tín hiệu vào $v_i < 0$ (bán kỳ âm), điện áp ra $v_o^{/} = -\frac{R_F}{R_I} v_i > 0V$.

Điện áp này dương nên diode phân cực thuận nên điện áp ra:

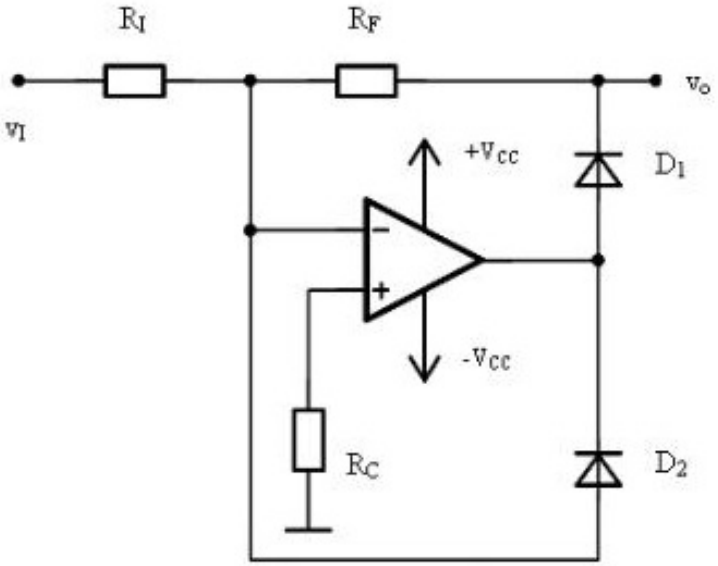
$$v_o \approx v_o^{/} = -\frac{R_F}{R_I} v_i \qquad (10.198)$$

Dạng sóng tín hiệu vào và tín hiệu ra như hình 10.69



Hình 10.69. *Dạng sóng mạch chỉnh lưu bán kỳ.*

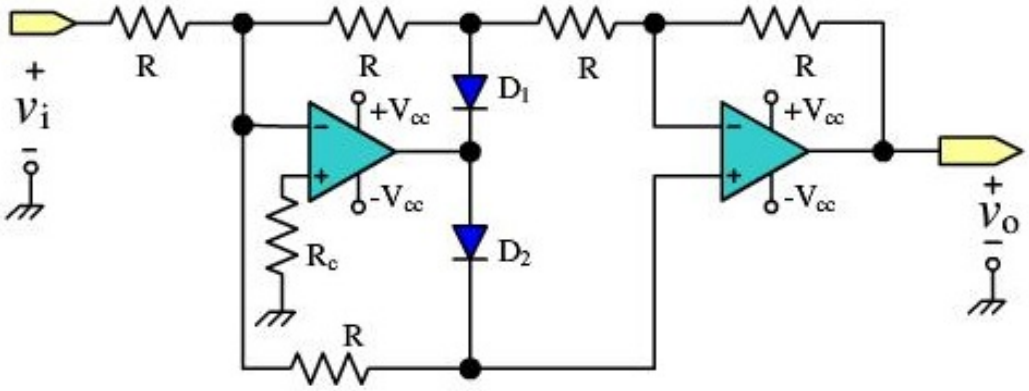
Sơ đồ mạch chống bão hòa như hình 10.70.



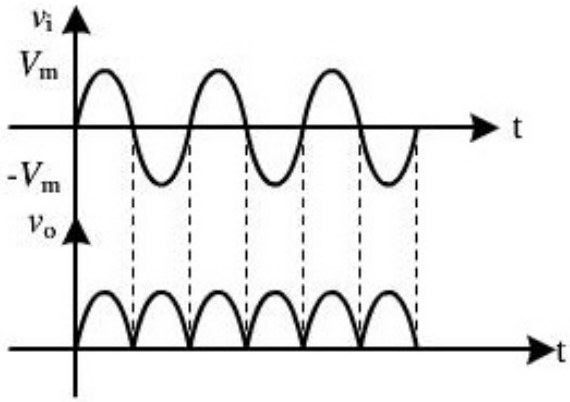
Hình 10.70. *Có thêm diode D_2 có chức năng chống bão hòa.*

b. Mạch chỉnh lưu toàn kỳ chính xác:

Sơ đồ mạch chỉnh lưu toàn kỳ chính xác như hình 10.71. Dạng sóng vào ra như hình 10.72.



Hình 10.71. *Mạch chỉnh lưu toàn kỳ chính xác.*

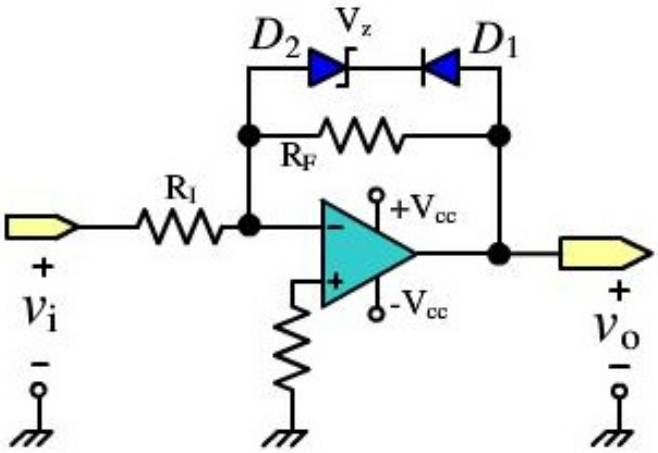


Hình 10.72. *Dạng sóng mạch chỉnh lưu toàn kỳ chính xác.*

10.5.2. Mạch xén

a. Mạch xén một bán kỳ

Mạch xén hay còn gọi là mạch giới hạn biên độ gồm một mạch khuếch đại đảo và một diode Zener mắc với một diode như hình hình 10.73.



Hình 10.73. *Sơ đồ mạch xén.*

Cho tín hiệu vào là sin hãy giải thích nguyên lý làm việc và vẽ dạng sóng ra.

➢ **Nguyên lý hoạt động:**

Khi tín hiệu vào $v_i > 0$ (bán kỳ dương), điện áp ra $v_o = -\frac{R_F}{R_I} v_i < 0V$ điện áp này âm nên diode D phân cực nghịch xem như hở mạch do đó điện áp ra chỉ còn phụ thuộc vào R_F mạch hoạt động như là một mạch khuếch đại đảo bình thường và điện áp ra $v_o = -\frac{R_F}{R_I} v_i$.

Khi tín hiệu vào $v_i < 0$ (bán kỳ âm), điện áp ra $v_o = -\frac{R_F}{R_I} v_i > 0V$ điện áp này dương nên diode D phân cực thuận và tùy thuộc vào điện áp ra nhỏ hay lớn sẽ làm diode Zener tắt hay dẫn, sẽ có hai trường hợp:

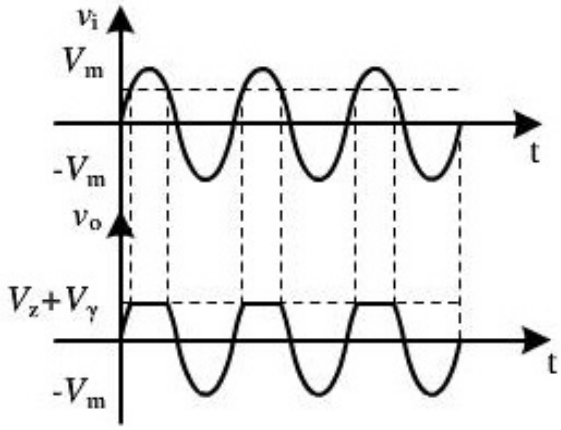
Nếu điện áp ngõ ra nhỏ hơn điện áp V_Z của diode Zener thì xem như diode chưa dẫn và điện áp ra phụ thuộc vào điện áp vào qua hệ số khuếch đại không đảo:

$$v_o = -\frac{R_F}{R_I} v_i$$

Nếu điện áp ngõ ra lớn hơn điện áp Vz của diode Zener thì diode Zener dẫn và điện áp ra không còn phụ thuộc vào điện áp vào qua hệ số khuếch đại không đảo nữa mà có giá trị:

$$v_o = V_{DZ} + V_D$$

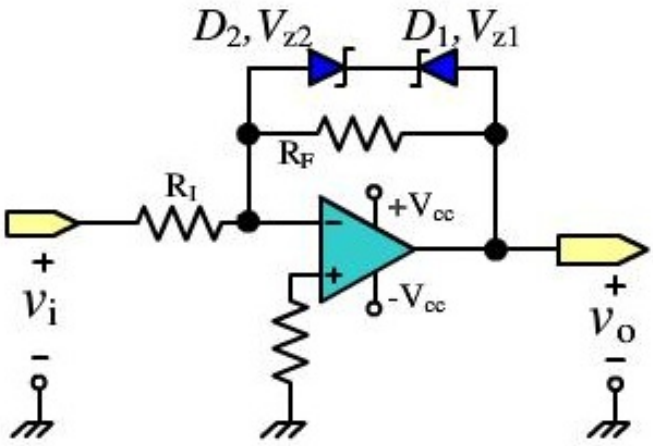
Dạng sóng vào ra của tín hiệu như hình 10.74.



Hình 10.74. *Dạng sóng vào ra.*

b. Mạch xén hai bán kỳ:

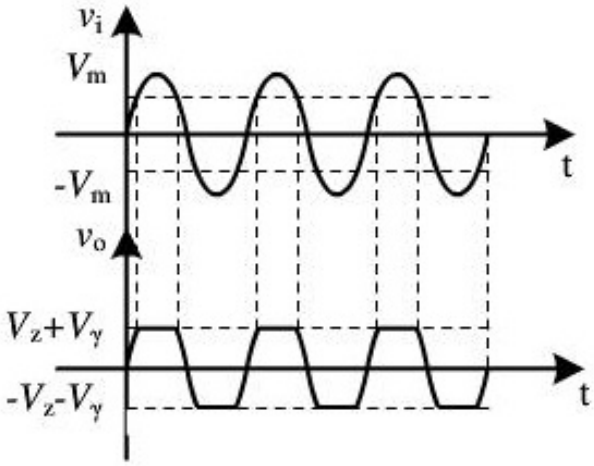
Sơ đồ mạch xén hai bán kỳ có dạng như hình 10.75.



Hình 10.75. *Sơ đồ mạch xén hai bán kỳ.*

➢ **Nguyên lý hoạt động**: cả hai trường hợp bán kỳ dương và bán kỳ âm giống như đã giải ở phần bán kỳ âm ở trên.

Dạng sóng tín hiệu vào và tín hiệu ra như hình 10.76.



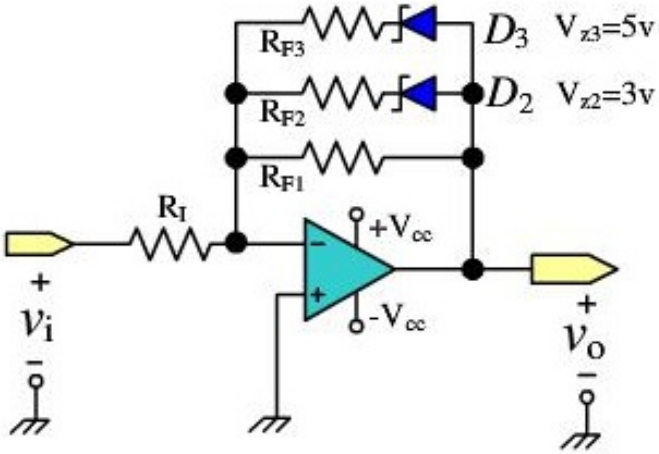
Hình 10.76. *Dạng sóng vào ra của mạch xén hai bán kỳ.*

10.5.3. Mạch tạo hàm

a. Mạch tạo hàm theo các bước rời rạc

➢ **Độ lợi giảm khi v_i tăng:**

Sơ đồ mạch tạo hàm như hình 10.77.



Hình 10.77. *Sơ đồ mạch tạo hàm.*

Cho $V_{Z2}=3V$, $V_{Z3}=5V$, $R_{F1}=20k\Omega$, $R_{F2}=20k\Omega$, $R_{F3}=10k\Omega$, $R_I=5k\Omega$

➢ **Nguyên lý hoạt động:**

Khi $v_I=0V$ thì $v_o=0V$

Khi v_I tăng giá trị điện áp sao cho điện áp ra chưa đủ làm hai diode Zener trong mạch dẫn, mạch xem như hở và mạch chỉ còn phụ thuộc vào điện trở $R_{F1}=20k\Omega$. Khi đó điện áp ra của mạch là

$$v_o=-\frac{R_{F1}}{R_I}v_I<V_{Z2}$$

Và độ lợi của mạch là $A_V=-\dfrac{R_{F1}}{R_I}$

Khi v_I tăng giá trị điện áp sao cho điện áp ra làm diode Zener D_2 bắt đầu dẫn còn diode D_3 chưa dẫn, mạch xem như hở. Khi đó, điện áp ra của mạch là:

$$V_{Z2}<v_o=-\frac{R'_{F2}}{R_I}v_I<V_{Z3}$$

Với $R'_{F2}=R_{F1}\parallel R_{F2}$ bỏ qua điện trở của diode Zener

Và độ lợi của mạch là $A_V=-\dfrac{R'_{F2}}{R_I}$

Khi v_I tăng giá trị điện áp sao cho điện áp ra làm diode Zener D_2 và D_3 bắt đầu dẫn, khi đó điện áp ra của mạch là

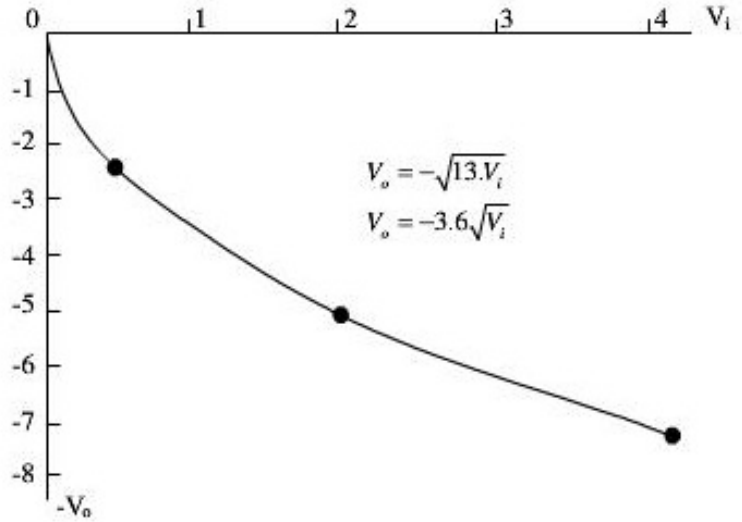
$$V_{Z3} < v_o = -\frac{R'_{F3}}{R_I} v_I$$

Với $R'_{F3} = R_{F1} \parallel R_{F2} \parallel R_{F3}$; bỏ qua điện trở của diode Zener

Và độ lợi của mạch là $A_V = -\dfrac{R'_{F3}}{R_I}$

Chú ý nếu tín hiệu vào $v_I < 0V$ thì đảo chiều các diode.

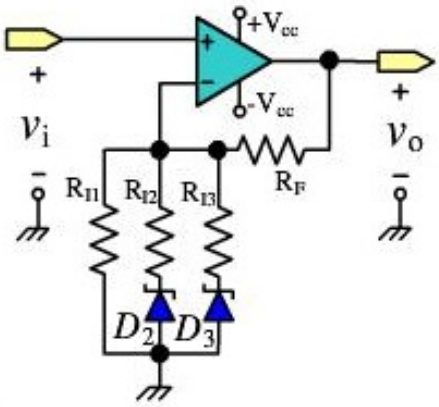
Đặc tuyến vào ra của mạch như hình 10.78.



Hình 10.78. *Đặc tuyến vào ra của mạch.*

➢ **Độ lợi tăng khi v_i tăng:**

Sơ đồ mạch như hình 10.79.



Hình 10.79. *Sơ đồ mạch tạo hàm với độ lợi tăng khi v_I tăng.*

➢ **Nguyên lý hoạt động:**

Khi v_I tăng giá trị điện áp sao cho điện áp ra chưa làm hai diode Zener trong mạch dẫn, xem như hở và mạch chỉ còn phụ thuộc vào điện trở R_1. Khi đó điện áp ra của mạch là: $v_o < V_{Z2} < V_{Z3}$

Và độ lợi của mạch là: $A_V = 1 + \frac{R_F}{R_1}$

Khi v_I tăng giá trị điện áp sao cho điện áp ra $V_{Z2} < v_o < V_{Z3}$ làm diode Zener D_2 bắt đầu dẫn còn diode D_3 chưa dẫn, mạch xem như hở. Khi đó điện áp ra của mạch là: $v_o = \left(1 + \frac{R_F}{R_I}\right) v_I$

Với $R_I = R_1 \parallel R_2$; bỏ qua điện trở của diode Zener

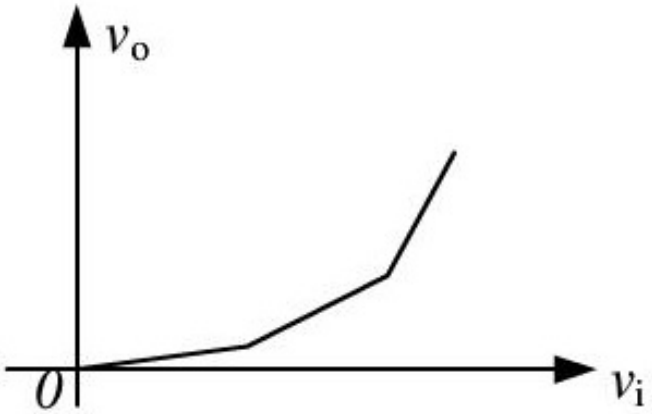
Và độ lợi của mạch là $A_V = 1 + \frac{R_F}{R_I}$

Khi V_I tăng giá trị điện áp sao cho điện áp ra $V_{Z2} < V_{Z3} < v_o$ làm diode Zener D_2 và D_3 bắt đầu dẫn, điện áp ra của mạch là: $v_o = \left(1 + \frac{R_F}{R_{II}}\right) v_I$

Với $R_{II} = R_1 \parallel R_2 \parallel R_3$; bỏ qua điện trở của diode Zener

Và độ lợi của mạch là $A_V = 1 + \frac{R_F}{R_{II}}$

Đặc tuyến vào ra của mạch như hình 10.80.

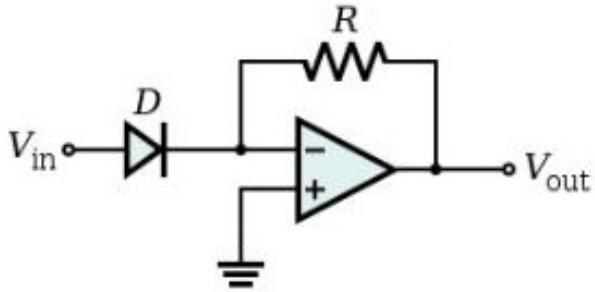


Hình 10.80. *Đặc tuyến vào ra của mạch.*

***b.* Mạch tạo hàm liên tục:**

➢ **Mạch tạo hàm e mũ**

Diode được hoạt trong vùng phân cực thuận, nên:



Hình 10.81. *Mạch tạo hàm e mũ.*

$$I_D \cong I_S e^{v_D/v_T}$$

Mà:

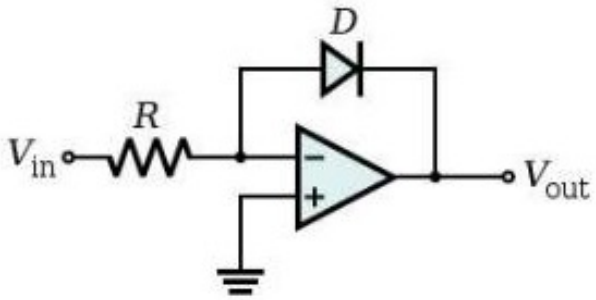
$$V_i = V_D$$

$$I_i = I_F$$

$$v_O = -I_F R_F$$

$$v_O = -R_F I_S e^{v_i/v_T} \qquad (10.199)$$

➢ **Mạch tạo hàm log**



Hình 10.82. *Mạch tạo hàm logarit.*

$$v_o = -v_D = -V_T ln\frac{v_i}{RI_S} \qquad (10.200)$$

10.5.4. Mạch so sánh

a. Nguyên lý so sánh

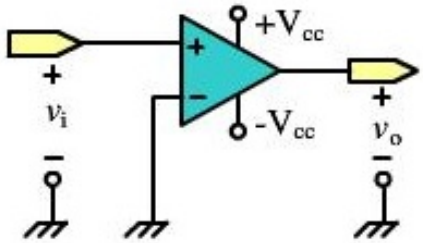
Op-Amp có hai vùng làm việc: vùng khuếch đại và vùng bão hòa, ở chế độ khuếch đại, Op-Amp thường làm việc ở cấu hình hồi tiếp âm. Ở chế độ bão hòa, Op-Amp thường làm việc ở cấu hình vòng hở hoặc hồi tiếp

dương. Ngõ ra chỉ có hai trạng thái bão hòa dương và bão hòa âm. Khi $v_+ > v_-$ thì $v_o = +V_{CC}$ và khi $v_+ < v_-$ thì $v_o = -V_{CC}$.

Ở cấu hình vòng hở, Op-Amp sẽ làm việc với hệ số khuếch đại vòng hở. Hệ số này rất lớn nên chỉ cần một sự chênh lệch rất nhỏ của hai tín hiệu ngõ vào thì ngõ ra sẽ rơi vào vùng bão hòa.

b. Mạch so sánh điện áp với điện áp 0V: (còn được gọi là mạch phát hiện điểm 0V)

Sơ đồ mạch so sánh điện áp với điện áp 0V không đảo, như hình 10.83.

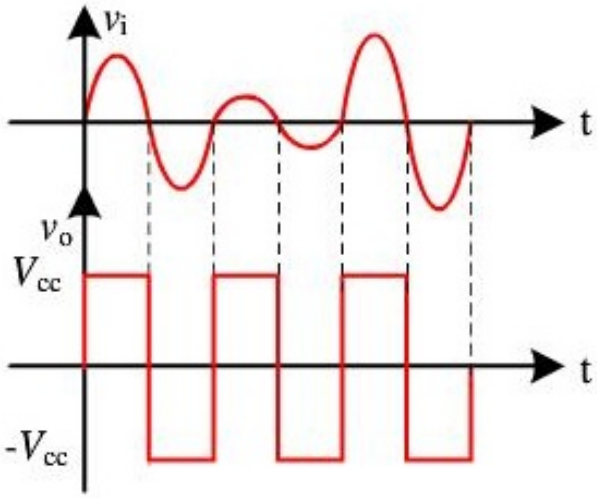


Hình 10.83. *Sơ đồ mạch so sánh điện áp với điện áp 0V không đảo.*

Nguyên lý so sánh:

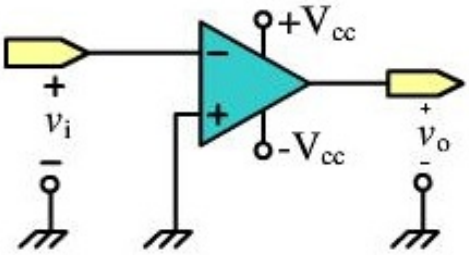
- Khi $v_i = v_+ > v_- = 0V$ thì $v_o = +V_{CC}$.
- Khi $v_i = v_+ < v_- = 0V$ thì $v_o = -V_{CC}$.

Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.84:



Hình 10.84. *Dạng sóng vào ra của mạch so sánh không đảo.*

Tương tự như mạch so sánh ở trên, chúng ta sẽ có mạch so sánh đảo như hình 10.85.

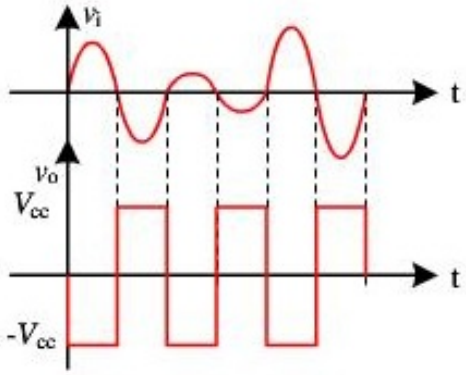


Hình 10.85. *Mạch so sánh đảo với điện áp 0V.*

Nguyên lý so sánh:

- Khi $v_i = v_- < v_+ = 0V$ thì $v_o = +V_{CC}$.
- Khi $v_i = v_- > v_+ = 0V$ thì $v_o = -V_{CC}$.

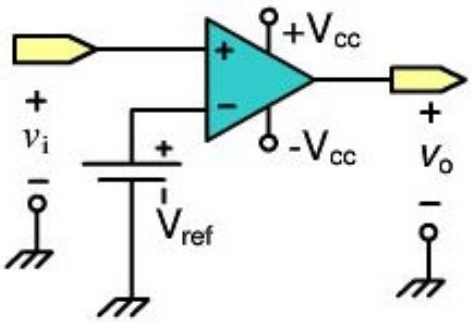
Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.86.



Hình 10.86. *Dạng sóng vào ra của mạch so sánh đảo.*

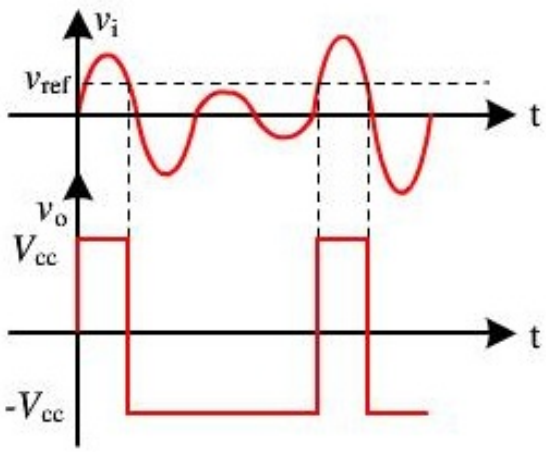
c. Mạch so sánh điện áp với điện áp chuẩn

Sơ đồ mạch so sánh điện áp với điện áp chuẩn không đảo, như hình 10.87.



Hình 10.87. *Sơ đồ mạch so sánh điện áp với điện áp V_{ref} không đảo.*

Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.88.



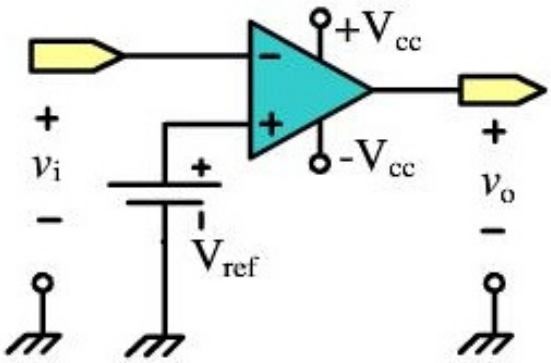
Hình 10.88. *Dạng sóng vào ra của mạch so sánh không đảo.*

Trong đó điện áp V_{ref} gọi là điện áp chuẩn.

Nguyên lý so sánh:

- Khi $v_i = v_- < v_+ = V_{ref}$ thì $v_o = +V_{CC}$
- Khi $v_i = v_- > v_+ = V_{ref}$ thì $v_o = -V_{CC}$.

Tương tự như mạch so sánh ở trên, chúng ta sẽ có mạch so sánh đảo như hình 10.89.

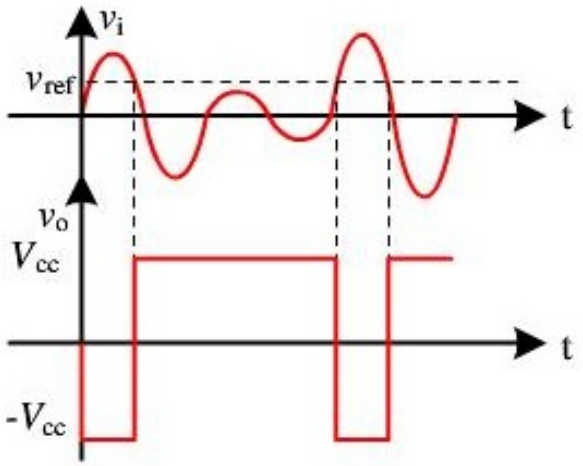


Hình 10.89. *Mạch so sánh đảo với điện áp Vref.*

Nguyên lý so sánh:

- Khi $v_i = v_- < v_+ = V_{ref}$ thì $v_o = +V_{CC}$
- Khi $v_i = v_- > v_+ = V_{ref}$ thì $v_o = -V_{CC}$

Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.90



Hình 10.90. *Dạng sóng vào ra của mạch so sánh đảo.*

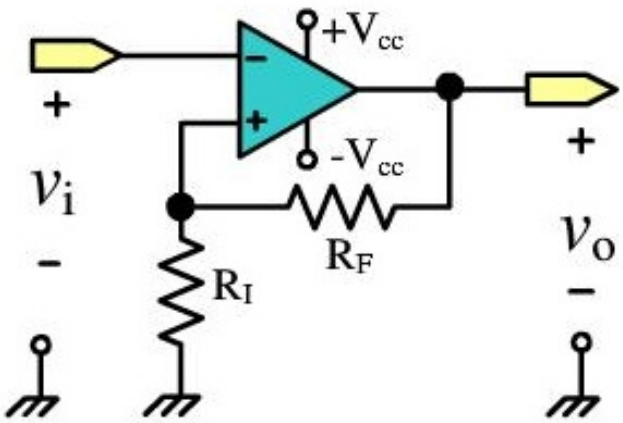
10.5.5. Mạch Schmitt Trigger

Cũng chính là mạch so sánh điện áp nhưng thường dùng để biến đổi dạng tín hiệu sóng sin thành sóng vuông. Giống như các mạch so sánh ở trên, mạch Schmitt Trigger cũng có hai mạch đảo và không đảo. Ngoài ra còn có các dạng mạch đối xứng và không đối xứng.

Trong cấu hình mạch Schmitt Trigger Op-Amp làm việc ở cấu hình hồi tiếp dương.

a. Mạch Schmitt Trigger đảo – đối xứng

Sơ đồ mạch Schmitt Trigger đảo – đối xứng như hình 10.91.



Hình 10.91. *Sơ đồ mạch Schmitt Trigger đảo – đối xứng.*

Chú ý: Điện trở R_I có giá trị nhỏ và R_F có giá trị lớn.

Nguyên lý hoạt động so sánh: vẫn dựa vào nguyên lý so sánh cơ bản "khi $v_+ > v_-$ thì $v_o = +V_{CC}$ và khi $v_+ < v_-$ thì $v_o = -V_{CC}$".

Đối với mạch đang khảo sát thì

Điện áp ngõ vào trừ: $v_- = v_I$ (10.201)

Điện áp ngõ vào cộng: $v_+ = v_o \dfrac{R_I}{R_I + R_F}$ (10.202)

Tuỳ thuộc vào điện áp ra ở trạng thái bão hòa dương hay bảo hoà âm mà v_+ sẽ có hai giá trị như sau:

Nếu $v_o = +V_{CC}$ thì $v_+ = +V_{CC}\dfrac{R_I}{R_I + R_F} = +V_{CC}\beta > 0V$ (10.203)

Nếu $v_o = -V_{CC}$ thì $v_+ = -V_{CC}\dfrac{R_I}{R_I + R_F} = -V_{CC}\beta < 0V$ (10.204)

Với hai giá trị của v_+, ta có thể thấy được điện áp v_+ không phải là 1 điện áp cố định.

➢ ***Nguyên lý hoạt động***: cho tín hiệu vào mạch là tín hiệu sóng sin:

Giả sử điện áp ra $v_o = +V_{CC}$, ta suy ra $v_+ = +V_{CC}\beta > 0V$

Và $v_- = v_i < v_+ = +V_{CC}\beta$

Để thay đổi trạng thái ngõ ra, điện áp vào $v_- = v_I$ phải biến thiên theo chiều tăng cho đến khi thoả điều kiện

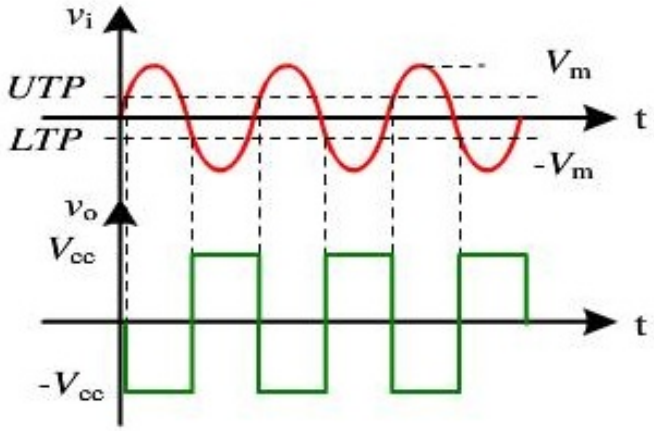
$$v_- = v_i > v_+ = +\beta V_{CC}$$

Khi thoả điều kiện này, ngõ ra đảo trạng thái từ $v_o = +V_{CC}$ sang trạng thái $v_o = -V_{CC}$ và điện áp v_+ cũng thay đổi giá trị $v_+ = -V_{CC}\beta < 0V$.

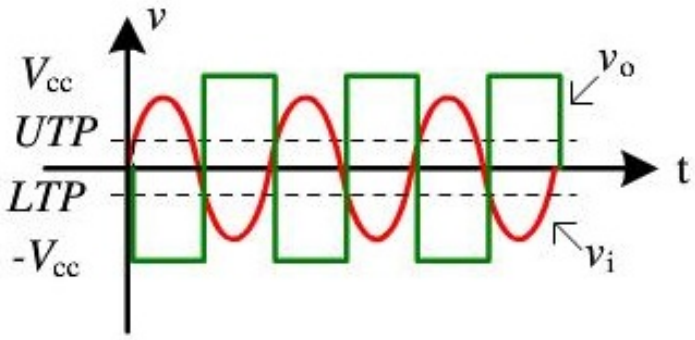
Tại thời điểm này, $v_- = v_i > v_+ = -V_{CC}\beta$, để mạch chuyển từ trạng thái $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$, tín hiệu ngõ vào phải biến thiên theo chiều giảm cho đến khi thỏa điều kiện $v_- = v_i < v_+ = -\beta V_{CC}$

Khi thoả điều kiện này thì ngõ ra đảo trạng thái từ $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$ và điện áp v_+ cũng thay đổi giá trị $v_+ = +V_{CC}\beta > 0V$. Mạch lặp lại trạng thái ban đầu.

Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.92a và 10.92b.



Hình 10.92a. *Dạng sóng vào ra của mạch ST.*

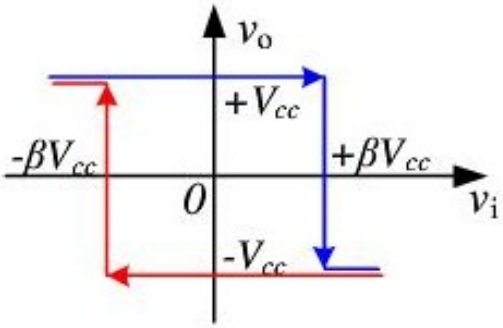


Hình 10.92b. *Dạng sóng vào ra của mạch ST.*

Trong dạng sóng đã vẽ ở trên, ta thấy có hai kí hiệu: UTP và LTP chính là các điểm thay đổi trạng thái. (Upper trigger point, Lower trigger point).

Do $|UTP| = |LTP| = +V_{cc}\beta$ giá trị ngưỡng trên bằng giá trị của ngưỡng dưới nên được gọi là mạch ST đối xứng.

Đặc tuyến vào ra của mạch như hình 10.93.



Hình 10.93. *Đặc tuyến vào ra của mạch.*

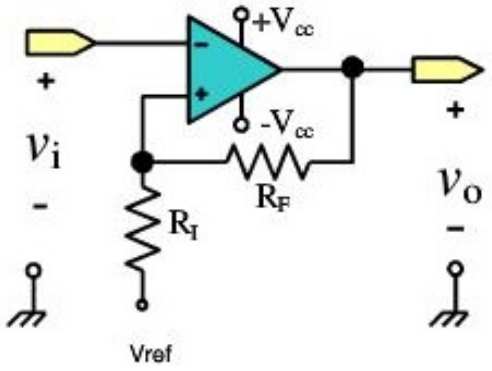
Giải thích đặc tuyến vào ra:

Khi tín hiệu biến thiên theo chiều tăng từ âm sang dương, nhưng nếu $v_- = v_i < v_+ = +\beta V_{CC}$ thì $v_o = +V_{CC}$ và khi $v_- = v_i > v_+ = +\beta V_{CC}$, tín hiệu ra chuyển sang trạng thái $v_o = -V_{CC}$.

Khi tín hiệu biến thiên theo chiều giảm từ dương sang âm, nhưng nếu $v_- = v_i > v_+ = -\beta V_{CC}$ thì $v_o = -V_{CC}$ và khi $v_- = v_i < v_+ = -\beta V_{CC}$, tín hiệu ra chuyển sang trạng thái $v_o = +V_{CC}$.

b. Mạch Schmitt Trigger đảo – không đối xứng

Sơ đồ mạch Schmitt Trigger đảo – không đối xứng như hình 10.93.



Hình 10.94. *Sơ đồ mạch Schmitt Trigger đảo – không đối xứng.*

Nguyên lý hoạt động so sánh: vẫn dựa vào nguyên lý so sánh cơ bản "khi $v_+ > v_-$ thì $v_o = +V_{CC}$ và khi $v_+ < v_-$ thì $v_o = -V_{CC}$".

Đối với mạch đang khảo sát thì

Điện áp ngõ vào trừ: $$v_- = v_I \quad (10.205)$$

Điện áp ngõ vào cộng: $$v_+ = \frac{R_I}{R_I + R_F} v_O + \frac{R_F}{R_I + R_F} V_{ref} \quad (10.206)$$

Nếu điện áp ra $v_o = +V_{CC}$:

$$v_+ = \frac{R_I}{R_I + R_F} V_{CC} + \frac{R_F}{R_I + R_F} V_{ref} \quad (10.207)$$

Nếu điện áp ra $v_o = -V_{CC}$:

$$v_+ = -\frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref} \qquad (10.208)$$

Với hai giá trị của v_+ thì ta có thể thấy được điện áp v_+ không phải là một điện áp cố định.

➢ ***Nguyên lý hoạt động***:

Giả sử điện áp ra $v_o = +V_{CC}$, ta suy ra:

$$v_+ = \frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}$$

Và

$$v_- = v_i < v_+ = \frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}$$

Để thay đổi trạng thái ngõ ra, điện áp vào $v_- = v_I$ phải biến thiên theo chiều tăng cho đến khi thoả điều kiện

$$v_- = v_i > v_+ = \frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}$$

Khi thoả điều kiện này thì ngõ ra đảo trạng thái từ $v_o = +V_{CC}$ sang trạng thái $v_o = -V_{CC}$ và điện áp v_+ cũng thay đổi giá trị

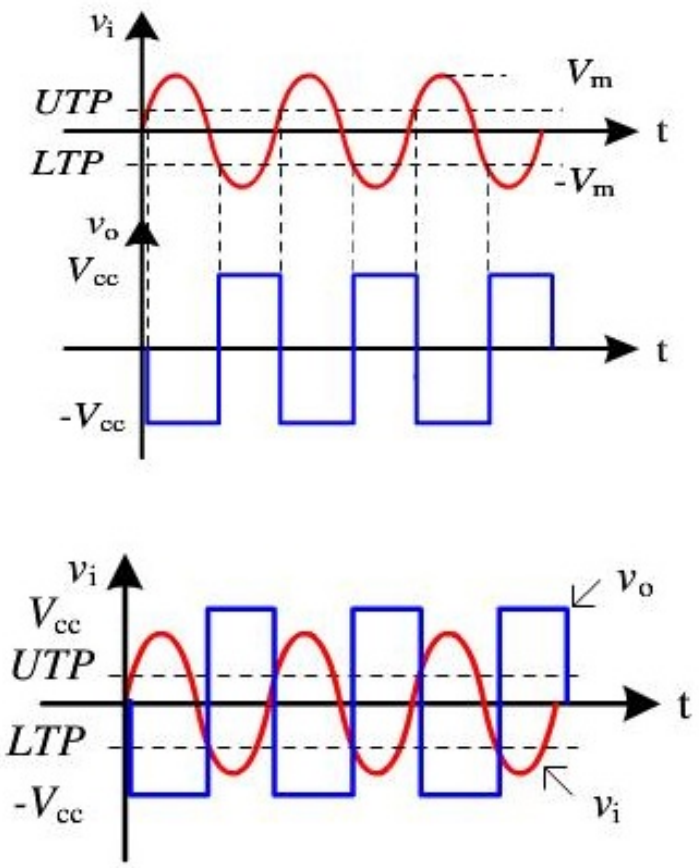
$$v_+ = -\frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}.$$

Tại thời điểm này, $v_- = v_i > v_+ = -\frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}$, để mạch chuyển từ trạng thái $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$, tín hiệu ngõ vào phải biến thiên theo chiều giảm cho đến khi thoả điều kiện

$$v_- = v_i < v_+ = -\frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}$$

Khi thoả điều kiện này, ngõ ra đảo trạng thái từ $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$ và điện áp v_+ cũng thay đổi giá trị $v_+ = \frac{R_I}{R_I + R_F}V_{CC} + \frac{R_F}{R_I + R_F}V_{ref}$. Mạch lặp lại trạng thái ban đầu.

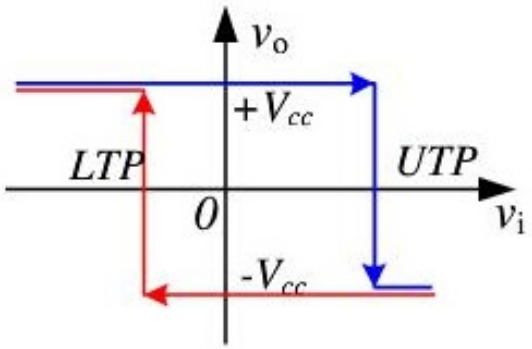
Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.93.



Hình 10.93. *Dạng sóng vào ra của mạch.*

Trong dạng sóng, ta thấy tín hiệu ra đảo pha so với tín hiệu vào nên gọi là mạch ST đảo.

Đặc tuyến vào ra của mạch như hình 10.94.

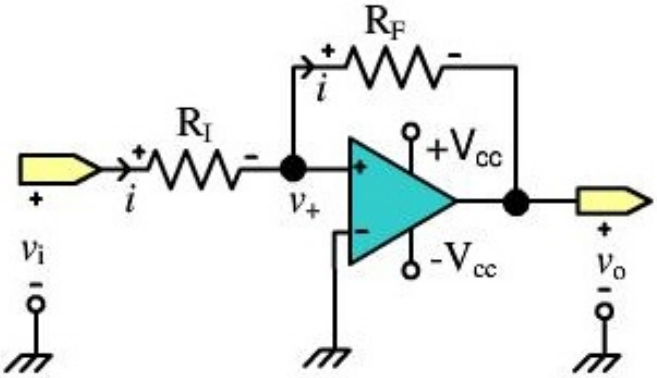


Hình 10.94. *Đặc tuyến vào ra của mạch.*

Do $|UTP| \neq |LTP|$ nên gọi là mạch không đối xứng.

c. Mạch Schmitt Trigger không đảo – đối xứng

Sơ đồ mạch Schmitt Trigger không đảo – đối xứng như hình 10.95.



Hình 10.95. *Sơ đồ mạch Schmitt Trigger không đảo – đối xứng.*

Nguyên lý hoạt động so sánh: vẫn dựa vào nguyên lý so sánh cơ bản "khi $v_+ > v_-$ thì $v_o = +V_{CC}$ và khi $v_+ < v_-$ thì $v_o = -V_{CC}$".

Đối với mạch đang khảo sát:

Điện áp ngõ vào trừ: $v_- = 0V$ (10.209)

Điện áp ngõ vào cộng phụ thuộc vào v_I và điện áp ra v_o cách tính như sau:

Viết phương trình mạch vòng $v_I - iR_I - iR_F - v_o = 0$ (10.210)

Suy ra
$$i = \frac{v_I - v_o}{R_I + R_F} \quad (10.210)$$

Điện áp

$$v_+ = v_I - iR_I = v_I - R_I \frac{v_I - v_o}{R_I + R_F} = v_I \frac{R_F}{R_I + R_F} + \frac{R_I}{R_I + R_F} v_o \quad (10.212)$$

Nhận xét: Điện áp v_+ phụ thuộc vào điện áp tín hiệu vào v_I và điện áp tín hiệu ra v_o.

Tuỳ thuộc vào điện áp ra ở trạng thái bão hòa dương hay bảo hoà âm mà v_+ sẽ có hai giá trị như sau:

Nếu $v_o = +V_{CC}$ thì
$$v_+ = v_I \frac{R_F}{R_I + R_F} + \frac{R_I}{R_I + R_F} V_{CC} \quad (10.213)$$

Nếu $v_o = -V_{CC}$ thì $$v_+ = v_I \frac{R_F}{R_I + R_F} - \frac{R_I}{R_I + R_F} V_{CC} \quad (10.214)$$

➢ **Nguyên lý hoạt động**: cho tín hiệu vào mạch là tín hiệu sóng sin:

Giả sử điện áp ra $v_o = +V_{CC}$, ta suy ra:

$$v_+ = v_I \frac{R_F}{R_I + R_F} + \frac{R_I}{R_I + R_F} V_{CC} > v_- = 0V$$

Để thay đổi trạng thái ngõ ra, điện áp vào v_I phải biến thiên theo chiều giảm (âm) cho đến khi thỏa điều kiện

$$v_+ = v_I \frac{R_F}{R_I + R_F} + \frac{R_I}{R_I + R_F} V_{CC} < v_- = 0V$$

Khi thoả điều kiện này, ngõ ra đảo trạng thái từ $v_o = +V_{CC}$ sang trạng thái $v_o = -V_{CC}$ và điện áp v_+ cũng thay đổi giá trị

$$v_+ = v_I \frac{R_F}{R_I + R_F} - \frac{R_I}{R_I + R_F} V_{CC} < v_- = 0V .$$

Tính giá trị của điện áp vào v_I từ phương trình, ta được:

$$v_I < -\frac{R_I}{R_F} V_{CC} = -V_{CC}\beta$$

Vậy v_I phải biến thiên giảm cho đến khi nhỏ hơn $-\frac{R_I}{R_F} V_{CC}$ thì mạch đổi trạng thái.

Để mạch chuyển từ trạng thái $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$, tín hiệu ngõ vào v_I phải biến thiên theo chiều tăng cho đến khi thoả điều kiện

$$v_+ = v_I \frac{R_F}{R_I + R_F} - \frac{R_I}{R_I + R_F} V_{CC} > v_- = 0V$$

Khi thoả điều kiện này, ngõ ra đảo trạng thái từ $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$ và điện áp v_+ cũng thay đổi giá trị:

$$v_+ = v_I \frac{R_F}{R_I + R_F} + \frac{R_I}{R_I + R_F} V_{CC} > v_- = 0V .$$

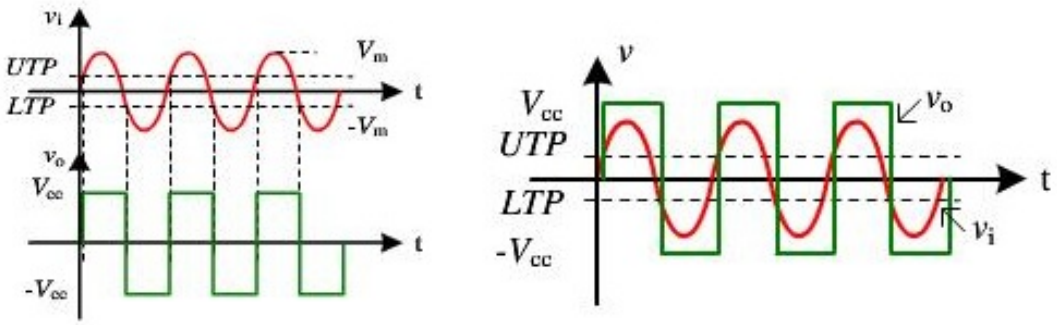
Mạch lặp lại trạng thái ban đầu.

Tính giá trị của điện áp vào v_I từ phương trình, ta được:

$$v_I > \frac{R_I}{R_F} V_{CC} = +V_{CC}\beta$$

Vậy v_I phải tăng giá trị cho đến khi lớn hơn $+\frac{R_I}{R_F} V_{CC}$ thì mạch đổi trạng thái.

Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.96.



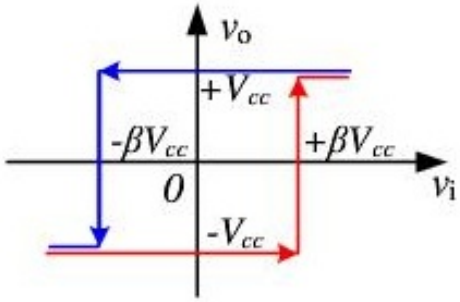
Hình 10.96. *Dạng sóng vào ra của mạch.*

Trong dạng sóng có hai kí hiệu: UTP và LTP chính là các điểm thay đổi trạng thái

Do $|UTP| = |LTP| = +V_{CC}\frac{R_I}{R_F}$ giá trị ngưỡng trên bằng giá trị của ngưỡng dưới nên được gọi là mạch ST đối xứng.

Trong dạng sóng, tín hiệu ra cùng pha so với tín hiệu vào nên gọi là mạch ST không đảo.

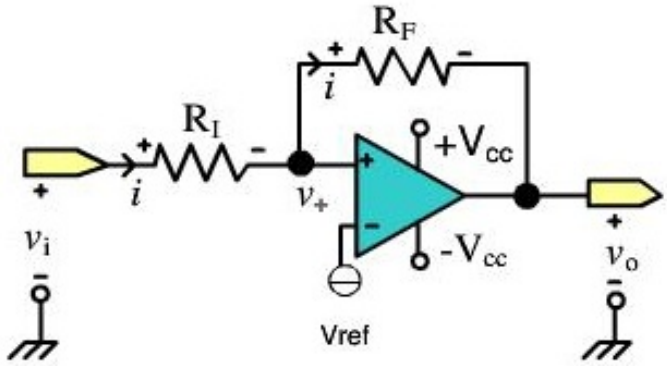
Đặc tuyến vào ra của mạch như hình 10.97.



Hình 10.97. *Đặc tuyến vào ra của mạch.*

d. Mạch Schmitt Trigger không đảo – không đối xứng

Sơ đồ mạch Schmitt Trigger không đảo – không đối xứng như hình 10.98.



Hình 10.98. *Sơ đồ mạch ST không đảo – không đối xứng.*

➢ ***Nguyên lý hoạt động so sánh:***

Điện áp ngõ vào trừ: $v_- = v_{ref}$ (10.215)

Điện áp ngõ vào cộng: $v_+ = \frac{R_I}{R_I + R_F} v_O + \frac{R_F}{R_I + R_F} v_i$ (10.216)

Nếu điện áp ra $v_o = +V_{CC}$:

$$v_+ = +\frac{R_I}{R_I + R_F} V_{CC} + v_I \frac{R_F}{R_I + R_F} \quad (10.217)$$

Nếu điện áp ra $v_o = -V_{CC}$:

$$v_+ = -\frac{R_I}{R_I + R_F} V_{CC} + \frac{R_F}{R_I + R_F} v_i \quad (10.218)$$

➢ ***Nguyên lý hoạt động:***

Nếu điện áp ra $v_o = +V_{CC}$ thì:

$$v_+ = v_I \frac{R_F}{R_I + R_F} + \frac{R_I}{R_I + R_F} V_{CC} > v_- = V_{ref}$$

Hay $$v_I > \frac{R_I + R_F}{R_F} V_{ref} - \frac{R_I}{R_F} V_{CC}$$

Để thay đổi trạng thái ngõ ra thì điện áp vào v_I phải biến thiên theo chiều giảm cho đến khi thỏa điều kiện

$$v_I < \frac{R_I + R_F}{R_F} V_{ref} - \frac{R_I}{R_F} V_{CC}$$

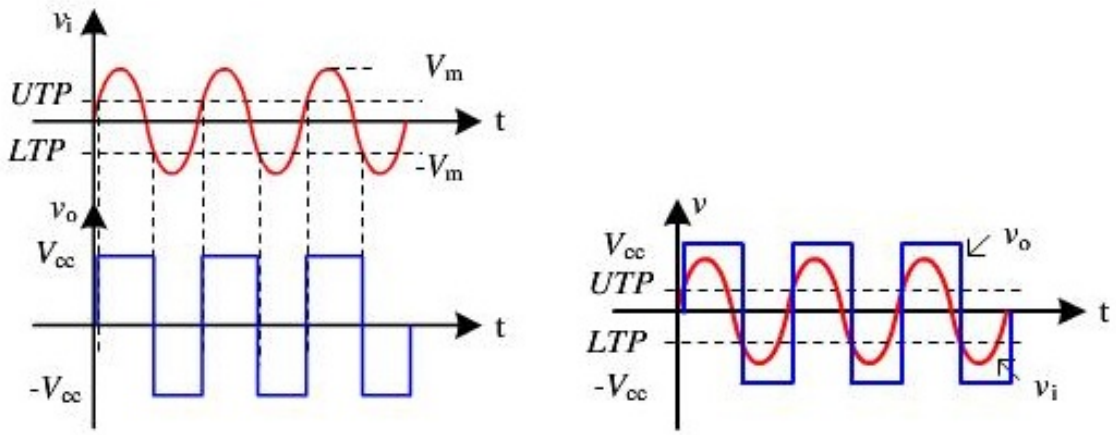
Khi thoả điều kiện này, ngõ ra đảo trạng thái từ $v_o = +V_{CC}$ sang trạng thái $v_o = -V_{CC}$ và điện áp v_+ cũng thay đổi giá trị $v_+ = -\frac{R_I}{R_I + R_F} V_{CC} + \frac{R_F}{R_I + R_F} v_i$.

Khi đó: $$v_+ = v_I \frac{R_F}{R_I + R_F} - \frac{R_I}{R_I + R_F} V_{CC} < v_- = V_{ref}$$

Để mạch chuyển từ trạng thái $v_o = -V_{CC}$ sang trạng thái $v_o = +V_{CC}$, tín hiệu ngõ vào v_I phải biến thiên theo chiều tăng cho đến khi thoả điều kiện $v_I < \frac{R_I + R_F}{R_F} V_{ref} + \frac{R_I}{R_F} V_{CC}$; Lúc đó mạch lặp lại trạng thái ban đầu.

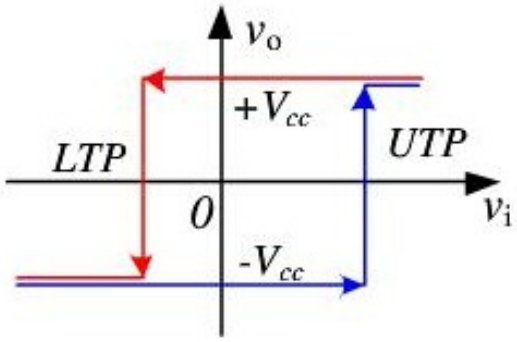
Do $|UTP| \neq |LTP|$ nên gọi là mạch không đối xứng.

Cho dạng sóng vào và vẽ dạng sóng ra như hình 10.99.



Hình 10.99. *Dạng sóng vào ra.*

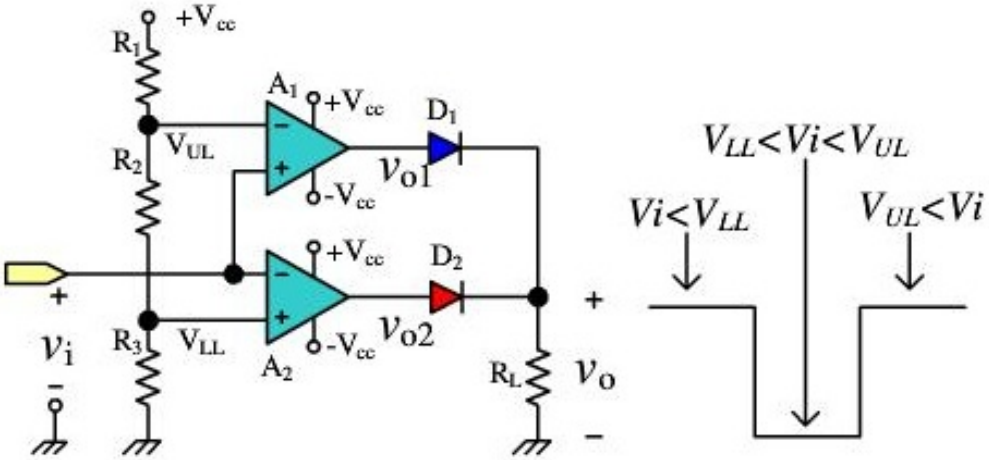
Đặc tuyến vào ra của mạch như hình 10.100.



Hình 10.100. *Đặc tuyến vào ra.*

10.5.6. Mạch so sánh cửa sổ

Sơ đồ mạch so sánh cửa sổ như hình 10.101.



Hình 10.101. *Sơ đồ mạch so sánh cửa sổ.*

Nguyên lý hoạt động so sánh: nguyên lý so sánh vẫn dựa vào nguyên lý so sánh cơ bản "khi $v_+ > v_-$ thì $v_o = +V_{CC}$ và khi $v_+ < v_-$ thì $v_o = -V_{CC}$".

Đối với mạch đang khảo sát, có sử dụng hai Op-Amp để tạo hai ngưỡng so sánh khác nhau V_{LL} và V_{HL} do cầu điện trở R_1, điện trở R_2 và điện trở R_3.

Khi điện áp của tín hiệu vào $v_I < 0V$, điện áp vào $v_{+1} = v_{-2} = v_I < 0V$

Suy ra $v_{o1} = -V_{CC}$: làm diode D_1 phân cực ngược xem như hở mạch.

$v_{o2} = +V_{CC}$: làm diode D_2 phân cực thuận nên điện áp ra $v_o = +V_{CC}$

Khi điện áp của tín hiệu vào $V_{LL} < v_I < V_{UL}$, điện áp vào:

$$v_{+1} = v_I < v_{-1} = V_{HL}$$

Và $$v_{-2} = v_I > v_{+2} = V_{LL}$$

Suy ra $v_{o1} = -V_{CC}$: làm diode D_1 phân cực ngược xem như hở mạch.

$v_{o2} = -V_{CC}$: làm diode D_2 phân cực ngược xem như hở mạch

Điện áp ra: $v_o = 0V$

Khi điện áp của tín hiệu vào $V_{UL} < v_I$, điện áp vào

$$v_{+1} = v_I > v_{-1} = V_{HL}$$

Và $$v_{-2} = v_I > v_{+2} = V_{LL}$$

Suy ra: $v_{o2} = -V_{CC}$: làm diode D_2 phân cực ngược xem như hở mạch.

$v_{o1} = +V_{CC}$: làm diode D_1 phân cực thuận.

Điện áp ra $v_o = V_{CC}$

Các giá trị điện áp của các ngưỡng so sánh:

$$V_{LL} = \frac{V_{CC} \times R_3}{R_1 + R_2 + R_3} \quad (10.219)$$

$$V_{HL} = \frac{V_{CC} \times (R_2 + R_3)}{R_1 + R_2 + R_3} \quad (10.220)$$

10.6. BÀI TẬP

10.6.1. Cấu trúc OP-AMP

1. Một mạch khuếch đại vi sai có điện áp vào bằng +1V tại cực B của transistor 1 và +2V tại cực B của transistor 2. Tìm giá trị điện áp cách chung ở ngõ vào.

2. Một mạch khuếch đại vi sai có điện áp ra bằng +10V tại cực C của transistor 1 và -5V tại cực C của transistor 2. Tìm giá trị điện áp cách chung ở ngõ ra.

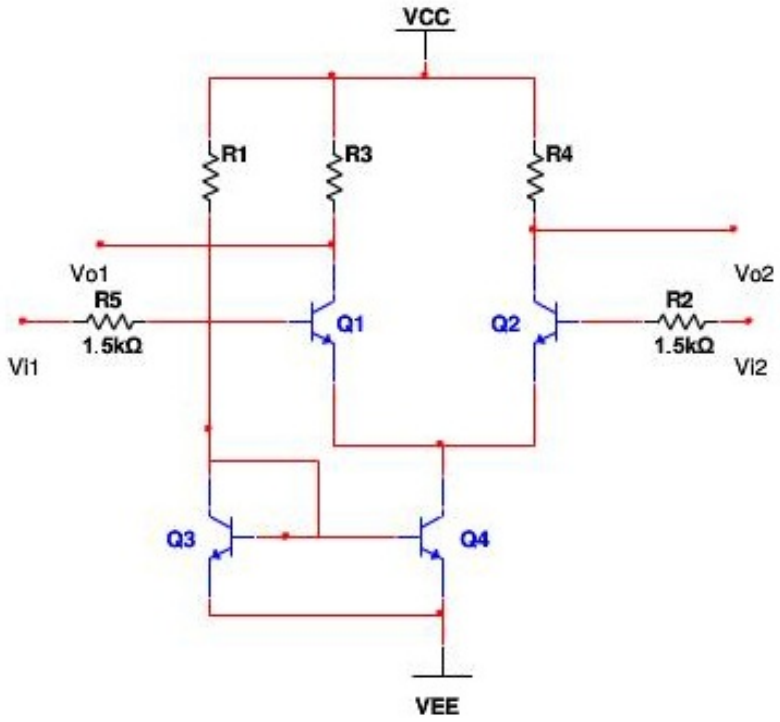
3. Một mạch khuếch đại vi sai có điện áp cách chung là +1.75V. Nếu điện áp cực B của transistor 2 là -2.2V. Tìm giá trị điện áp tại cực B của transistor 1.

4. Cho mạch khuếch đại vi sai như hình sau, có $\beta = 100$. Mạch khuếch đại có $A_D = 90$ và $A_{CM} = 50x10^{-3}$. Nếu điện áp nguồn cung cấp là $\pm 12V$ và điện trở $R_B = 1.5k$:

a. Tính tất cả các điện trở còn lại.

b. Khi điện áp sin có biên độ 2V được đưa vào đồng thời 2 ngõ vào. Biên độ điện áp ac trên cực C của transistor 2 bằng bao nhiêu?

c. Khi điện áp $v_{i2} = 0$ và $v_{i1(p)} = 10m\,V$ có dạng sin, điện áp ra tại mỗi cực C của 2 transistor bằng bao nhiêu?



10.6.2. Ứng dụng Op-Amp trong mạch tuyến tính:

5. Một Op-Amp có độ lợi vòng hở là $|A_V|_{(dB)} = 20\log_{10}\frac{v_o}{v_{id}} = 75dB$. Ngõ vào cộng được kết nối với mass $(V_+ = 0V)$, tìm điện áp ngõ vào đảo $(V_- = ?)$ để điện áp ngõ ra là $V_o = 5{,}5V$.

6. Tìm điện áp ngõ ra của Op-Amp, nếu điện áp ngõ vào không đảo là $V_+ = -1.00005V$ DC và điện áp ngõ vào đảo là $V_- = -1.00010V$ DC. Biết opamp có độ lợi vòng hở là $A_V = 75500$.

7. Một Op-Amp có độ lợi vòng hở là $|A_V|_{(dB)} = 20\log_{10}\frac{v_o}{v_{id}} = 94dB$ có điện áp ngõ vào không đảo là $V_+ = 7.99997V$ và điện áp ngõ vào đảo là $V_- = 8.00002V$. Tìm điện áp ngõ ra.

8. Một mạch khuếch đại không đảo có A_V = 200000, $R_{id} = R_i = 500k\Omega$, $r_o = 200\Omega$, $R_L = 1k\Omega$, $R_I = 10k\Omega$, $R_F = 30k\Omega$.

a. Tìm độ lợi vòng kín chính xác A_{VCL}.

b. Tìm độ lợi vòng kín gần đúng A_{VCL} và tính sai số.

c. Tìm tổng trở vào và ra của mạch khuếch đại có hồi tiếp.

9. Một mạch khuếch đại đảo có $A_V = 20{,}000$, $R_{id} = R_i = 1{,}5M\Omega$, $r_o = 100\Omega$, $R_L = 5k\Omega$, $R_I = 5k\Omega$, $R_F = 10k\Omega$.

a. Tìm độ lợi vòng kín chính xác A_{VCL}.

b. Tìm độ lợi vòng kín gần đúng A_{VCL} và tính sai số.

c. Tìm tổng trở vào và ra của mạch khuếch đại có hồi tiếp.**10.10.** Một mạch khuếch đại đảo có $R_I = 1k\Omega$ và $R_F = 10k\Omega$, nguồn $\pm V_{CC} = \pm 15V$. Điện áp ngõ vào là $v_i = -0.32V$ DC. Tìm điện áp ngõ ra.

10. Một mạch khuếch đại đảo có $R_I = 2k\Omega$ và $R_F = 5k\Omega$, nguồn $\pm V_{CC} = \pm 15V$, điện áp ngõ vào là $v_i = 3.2V$ DC.

a. Tìm biên độ và chiều dòng điện chạy trên R_F.

b. Tìm điện áp ngõ ra.

12. Một mạch khuếch đại thuật toán với độ lợi vòng hở là $A_V = 5{,}000$ được kết nối thành mạch khuếch đại đảo với $R_I = 2k\Omega$ và $R_F = 150k\Omega$.

a. Tìm độ lợi vòng kín chính xác A_{VCL}.

b. Tìm độ lợi vòng kín gần đúng A_{VCL} và tính sai số.

13. Một mạch khuếch đại thuật toán có hệ số khuếch đại là $A_V = 100{,}000$ được kết nối thành mạh khuếch đại đảo với $R_I = 1k\Omega$ và $R_F = 75k\Omega$.

a. Tìm độ lợi vòng kín chính xác A_{VCL}.

b. Tìm độ lợi vòng kín gần đúng A_{VCL} và tính sai số.

14. Một điện áp dc 3V được đưa vào ngõ vào của một mạch khuếch đại không đảo có $R_I = 1k\Omega$ và $R_F = 5k\Omega$. Biết $\pm V_{CC} = \pm 15V$.

a. Tìm độ lợi vòng kín A_{VCL}.

b. Tìm điện áp ngõ ra.

15. Một mạch khuếch đại thuật toán với độ lợi vòng hở là $A_V = 2{,}000$ được kết nối thành mạch khuếch đại không đảo với $R_I = 3k\Omega$ và $R_F = 21k\Omega$. Cho $v_i = 0.01V$

a. Tìm điện áp ngõ ra trong trường hợp lý tưởng.

b. Tìm điện áp chính xác ở ngõ ra.

c. Tìm sai số.

16. Một mạch khuếch đại không đảo có tín hiệu vào $v_i = -200mV$ và tín hiệu ra $v_o = -5V$ với sai số độ lợi không vượt quá 1%.

a. Chọn và tính điện trở R_I và R_F nằm trong giới từ $1k\Omega$ đến $50k\Omega$.

b. Tìm độ lợi vòng hở A_V tối thiểu của Op-Amp để thoả yêu cầu của sai số.

17. Một mạch trừ có $R_I = 1k\Omega$, $R_F = 4k\Omega$, $R_2 = 3k\Omega$, $R_3 = 6k\Omega$. Điện áp vào là $v_1 = -2.2V$ DC và $v_2 = 1.5\sin 3\pi t(V)$. Biết $\pm V_{CC} = \pm 15V$.

a. Tìm công thức cho điện áp ngõ ra.

b. Tính điện áp ngõ ra.

c. Thay đổi giá trị R_2 để mạch trừ trở thành mạch khuếch đại vi sai.

18. Một mạch cộng đảo có ba ngõ vào, hệ số khuếch đại của ngõ vào 1 là $A_{V1} = -10$, ngõ vào 2 là $A_{V2} = -7$ và ngõ vào 3 là $A_{V3} = -5$. Nếu $R_F = 100k\Omega$, tìm các giá trị điện trở R_1, R_2, R_3. Biết $\pm V_{CC} = \pm 15V$.

19. Một mạch cộng đảo có các thông số: $R_1 = 2k\Omega$, $R_2 = 4k\Omega$, $R_3 = 6k\Omega$, $R_F = 30k\Omega$ và nguồn cung cấp $\pm V_{CC} = \pm 15V$. Cho ba tín hiệu vào: $v_1 = -0.5 + 1.5\sin 2\pi t(V)$, $v_2 = -1.3(V)$, $v_3 = 2 - 3.2\sin 2\pi t(V)$. Hãy

a. Tìm công thức của điện áp ngõ ra.

b. Vẽ dạng sóng điện áp ra.

20. Một mạch cộng không đảo trung bình đệm có sáu ngõ vào với điện trở ở mỗi ngõ vào là $R_1 = R_2 = R_3 = R_4 = R_5 = R_6 = R = 16k\Omega$ và $\pm V_{CC} = \pm 15V$. Điện áp các ngõ vào lần lượt là: $v_1 = 2(V)$, $v_2 = 6(V)$, $v_3 = 0.5(V)$, $v_4 = -3.5(V)$, $v_5 = -5(V)$, $v_6 = 10.2(V)$. Tìm điện áp ra.

21. Một mạch khuếch đại vi sai có điện trở ngõ vào cách chung là 15K ở mỗi ngõ vào và có độ lợi bằng 4. Tìm các giá trị điện trở trong mạch.

22. Vẽ mạch điện dùng bộ khuếch đại thuật toán thực hiện phép tính sau: $X = -a - 4b + \frac{c}{2}$ và tính toán các giá trị linh kiện trong mạch.

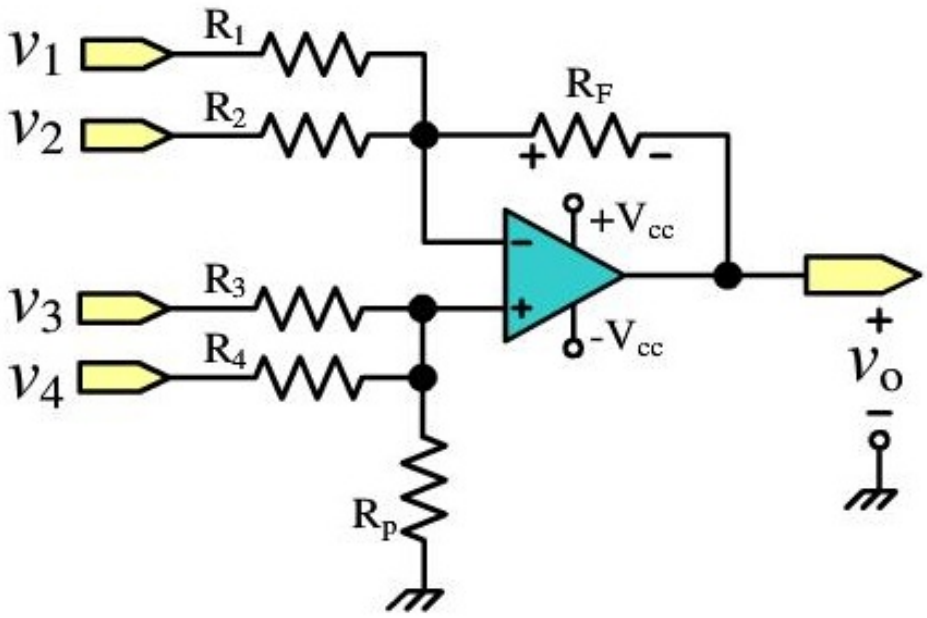
23. Cho mạch như hình sau, cho $R_1 = 2k\Omega$, $R_2 = 6k\Omega$, $R_3 = 2k\Omega$, $R_4 = 4k\Omega$, $R_F = 12k\Omega$, $R_P = 4k\Omega$ và cho $\pm V_{CC} = \pm 15V$.

a. Xác định điện áp ra theo V_1, V_2, V_3, V_4.

b. Tìm áp ra trong trường hợp $V_1 = 2mV$, $V_1 = 6mV$, $V_3 = 0.5mV$, $V_4 = -3.5mV$.

c. Tìm áp ra trong trường hợp $V_1 = 2mV$, $V_1 = 6mV$, $V_3 = 0.5\sin 1000t(mV)$, $V_4 = -3.5\sin 100t(mV)$.

d. Tìm áp ra trong trường hợp $V_1 = 2V$, $V_1 = 6V$, $V_3 = 0.5\sin 1000t(V)$, $V_4 = -3.5\sin 100t(V)$.



24. Mạch khuếch đại đo lường có điện trở ngõ vào lớn (mạch khuếch đại vi sai dùng 3 Op-Amp) có $R_F = 50k\Omega$ và độ lợi bằng 1. Tìm giá trị của các điện trở.

25. Mạch khuếch đại đo lường dùng 2 Op-Amp có độ lợi bằng 8 và $R_f = 4k\Omega$. Tìm các điện trở còn lại.

26. Một mạch khuếch đại có độ lợi lớn (dùng mạch hai cửa) có $R_f = 2.2k\Omega$, $R_1 = R_2 = 12k\Omega$. $R_3 = 275\Omega$. Tìm độ lợi vòng kín của mạch.

27. Một mạch khuếch đại vi sai đo lường có độ lợi thay đổi với mạng hình T như hình trong sách ĐTCB2 có $R_f = 2k\Omega$, $R_1 = 150k\Omega$, $R_2 = 250\Omega$. Tìm giá trị của các điện trở khác và độ lợi của mạch.

28. Một mạch khuếch đại vi sai đo lường với mạng hình T như hình trong sách ĐTCB2 có $R_f = 18k\Omega$, $R_1 = 175k\Omega$, $R_A = 2.2k\Omega$.

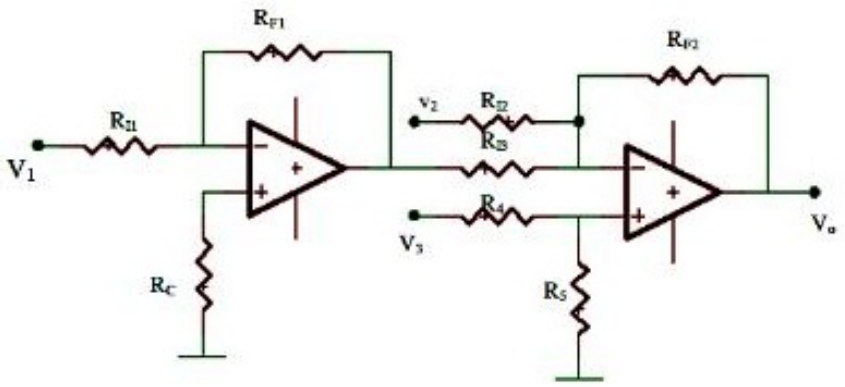
a. Tìm giá trị của các điện trở trong mạch để độ lợi bằng 35.

b. Tìm R_3 để độ lợi thay đổi từ 10 đến 25.

29. Cho mạch khuếch đại như hình bên.

a. Xác định công thức điện áp ra.

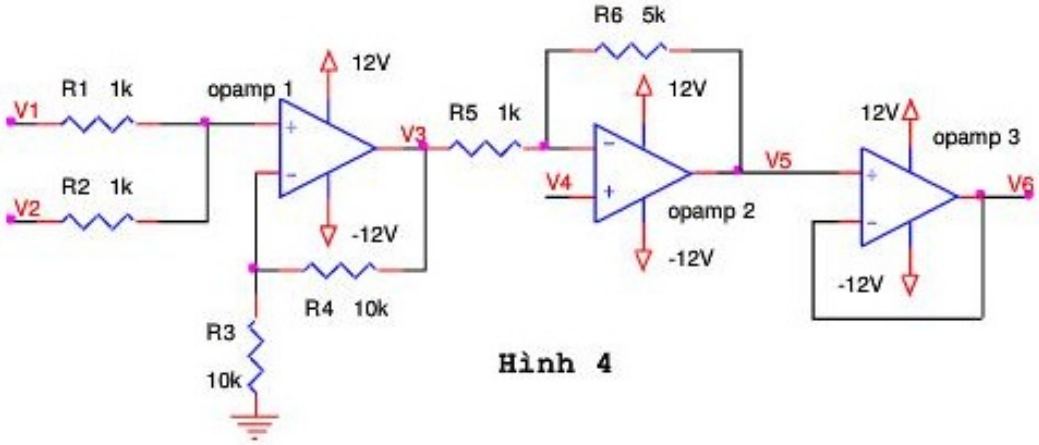
b. Tính điện áp ra.



30. Cho mạch như hình bên, giả sử các Op-Amp lý tưởng.

a. Viết biểu thức V_3, V_5, V_6 theo V_1, V_2 và V_4

b. Cho $V_1 = -V_4 = 1(V)$, $V_2 = \sin(100\pi t)(V)$. Hãy vẽ dạng sóng V_2, V_3, V_5 và V_6 trên cùng một hệ trục. Nhận xét các dạng sóng này.



Hình 4

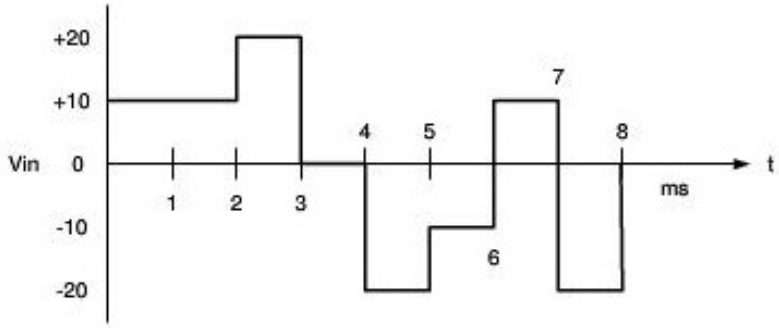
31. Hãy dùng Op-Amp để thiết kế một hàm như sau: $V_o = 2V_1 + 4V_2 + 8V_3 + 16V_4$, ***Với*** V_o: ngõ ra V_1, V_2, V_3, V_4: ngõ vào. Giả sử Op-Amp lý tưởng.Cho nguồn cung cấp cho Op-Amp $\pm V_{cc} = \pm 15V$, $V_1 = 0.2V$, $V_2 = 0.4V$, $V_3 = 0.8V$ và $V_4 = 4\sin\omega t$ V. Hãy vẽ dạng sóng V_o và V_4 trên cùng một hệ trục.

32. Hãy dùng Op-Amp để thiết kế một hàm như sau: $V_o = V_1 - 3V_2 + 5V_3 - 7V_4$ ***Với*** V_o: ngõ ra, V_1, V_2, V_3, V_4: ngõ vào, giả sử Op-Amp lý tưởng.Cho nguồn cung cấp cho Op-Amp $\pm V_{cc} = \pm 12V$, $V_1 = -0.1V$, $V_2 = -0.3V$, $V_3 = 0.7V$ và $V_4 = 1{,}5\sin\omega t$ (V). Hãy vẽ dạng sóng V_o và V_4 trên cùng một hệ trục.

33. Một mạch tích phân có $R_I = 2M\Omega$ và $C_I = 1\mu F$. Điện áp ngõ vào là điện áp dc có hai cực tính thay đổi từ -250mV đến 250mV theo trình tự như sau: 250 mV trong 10s; -250mV trong 20s, 250 mV cho 30s, -250mV cho 20s và sau đó lập lại.

Vẽ dạng sóng ra với điện áp bắt đầu bằng 0.

34. Một mạch tích phân với $R_I = 10k\Omega$, $C_I = 0.1\mu F$. Tính và vẽ dạng sóng ra với dạng sóng vào như hình sau

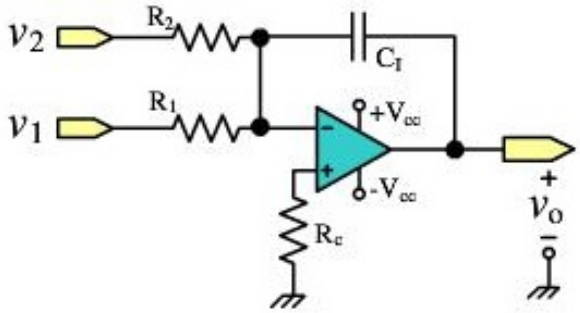


35. Một mạch tích phân với $R_I = 20k\Omega$, $C_I = 0.022\mu F$ có điện áp ngõ vào là sóng sin tần số 150Hz và biên độ 5 V. Tìm biên độ và sóng ra.

36. Cho mạch tích phân như hình bên.

a. Tìm quan hệ áp ra theo áp vào V_1 và V_2.

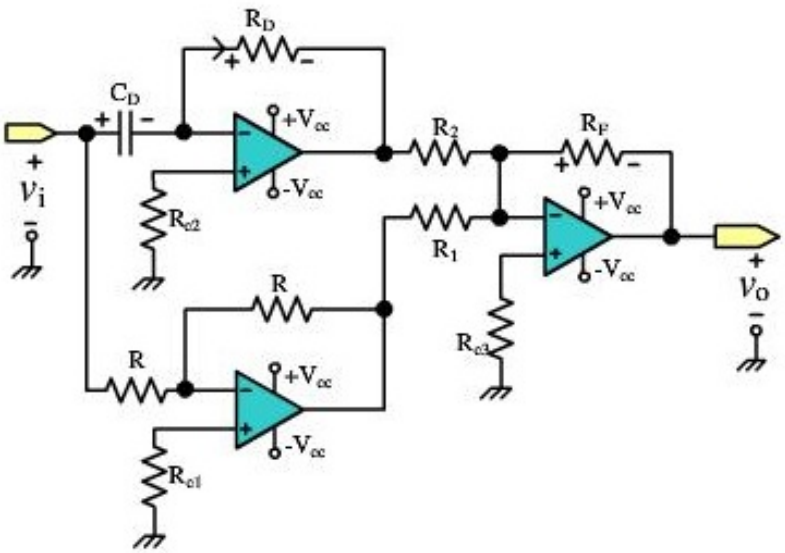
b. Cho $V_1 = (1 + 10\sin\omega t)(V)$, $V_2 = -1V$, $R_1 = R_2 = 100k\Omega$, $C_I = 1\mu F$. Xác định biểu thức của điện áp ra.



37. Một mạch vi phân có $R_D = 200k\Omega$, $C_D = 2\mu F$. Điện áp ngõ vào là một hàm dốc với độ dốc +10.5V/s. Hãy tìm biên độ và cực tính của điện áp ngõ ra.

38. Một mạch vi phân phải tạo điện áp ra bằng -2V với điện áp vào là một hàm dốc có độ dốc 20mV/s. Tìm C_D.

39. Hãy xác định biểu thức điện áp ra của mạch sau:



10.6.3. Ứng dụng Op-Amp trong mạch phi tuyến

40. Một tín hiệu xoay chiều có điện áp ac đỉnh bằng 35mV và điện áp dc trung bình bằng 0V được đưa vào ngõ vào của mạch chỉnh lưu bán kì và khuếch đại thành 570mV đỉnh. Điện áp ra phải là điện áp dương. Điện trở ngõ vào là 15K.

a. Tìm giá trị R_F

b. Vẽ lại mạch.

41. Chọn điện trở R_1 cho mạch chỉnh lưu toàn kì như hình 6.36. có R = 21K để độ lợi bằng 2.

42. Một tín hiệu sin có biên độ bằng 100mV được đưa vào ngõ vào mạch chỉnh lưu toàn kì và biên độ tín hiệu ra bằng 1V. Hãy thiết kế mạch chỉnh lưu này.

43. Một mạch chỉnh lưu toàn kì được dùng để chỉnh lưu một xung tam giác có biên độ 10V. Điện áp ra phải có -20 V đỉnh.

a. Nếu R_F = 3.4K, chọn giá trị cho R_I.

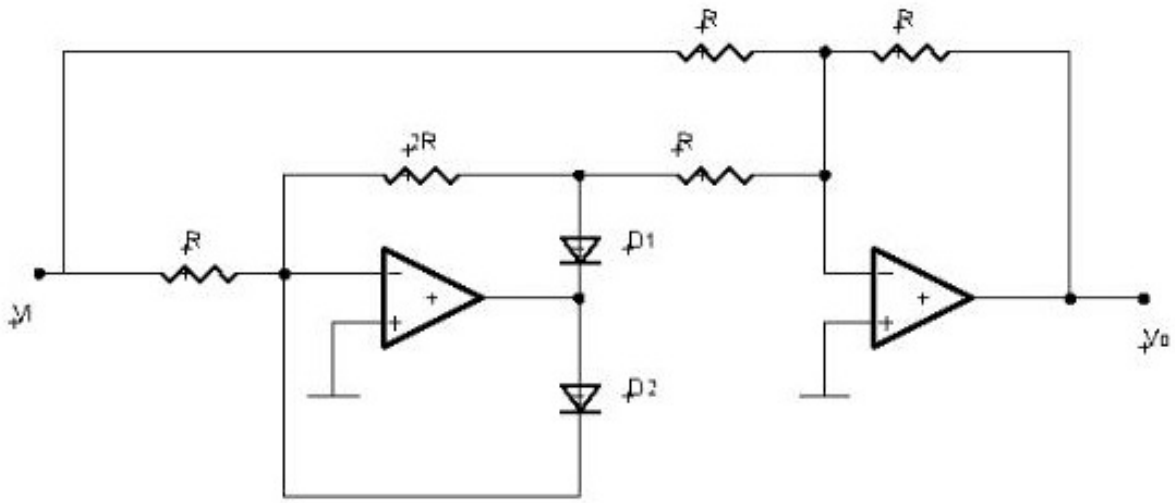
b. Vẽ lại sơ đồ mạch.

c. Vẽ dạng sóng ra theo dạng sóng vào

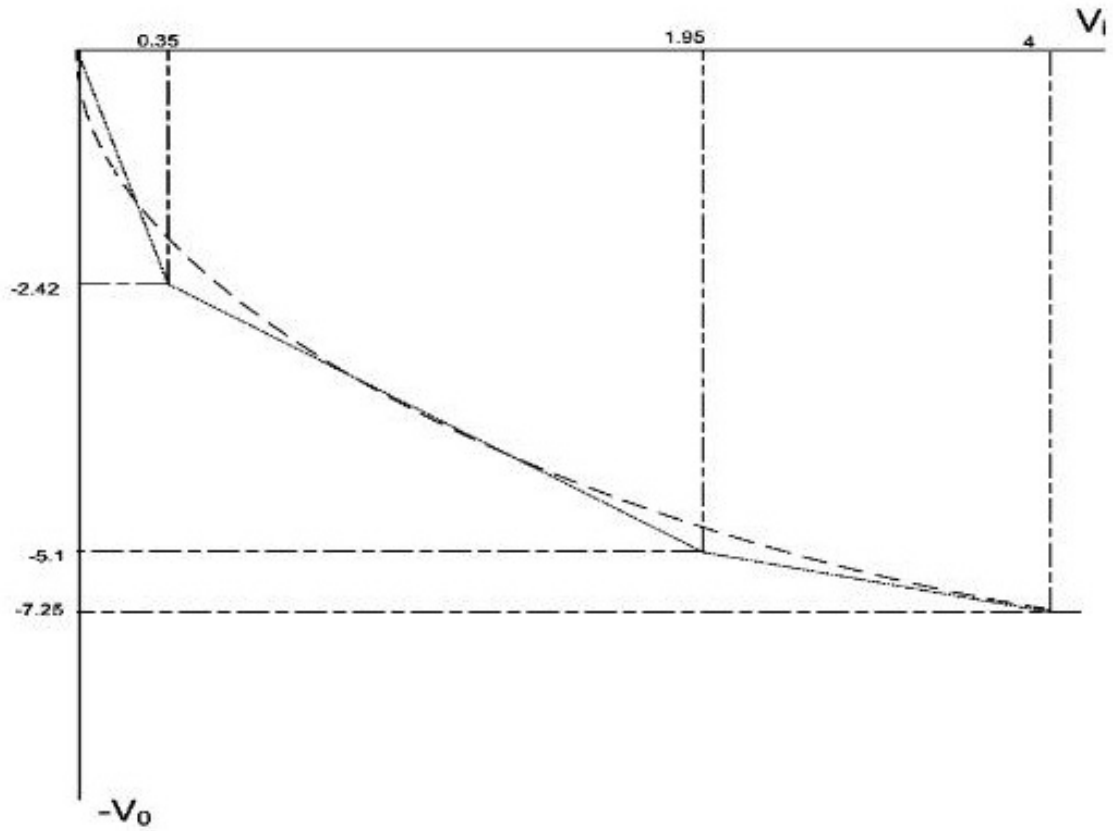
44. Một mạch chỉnh lưu toàn kì như hình bên, được dùng để chỉnh lưu một tín hiệu sin có biên độ bằng 2V. Điện áp ngõ ra là 2V biên độ; R=7.5K.

a. Hãy xác định công thức điện áp ngõ ra.

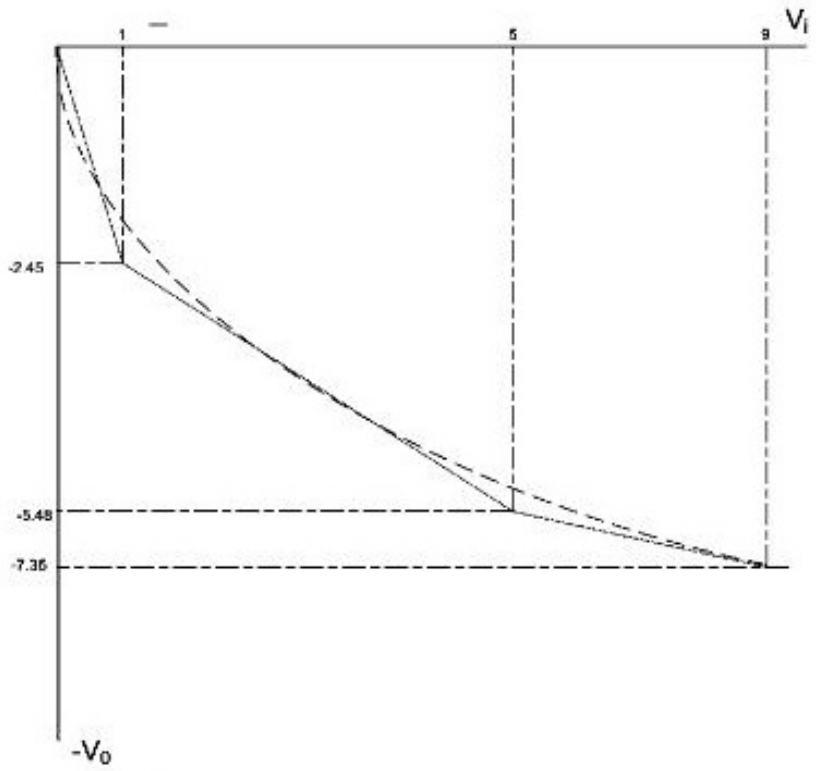
b. Tìm các giá trị điện trở trong mạch



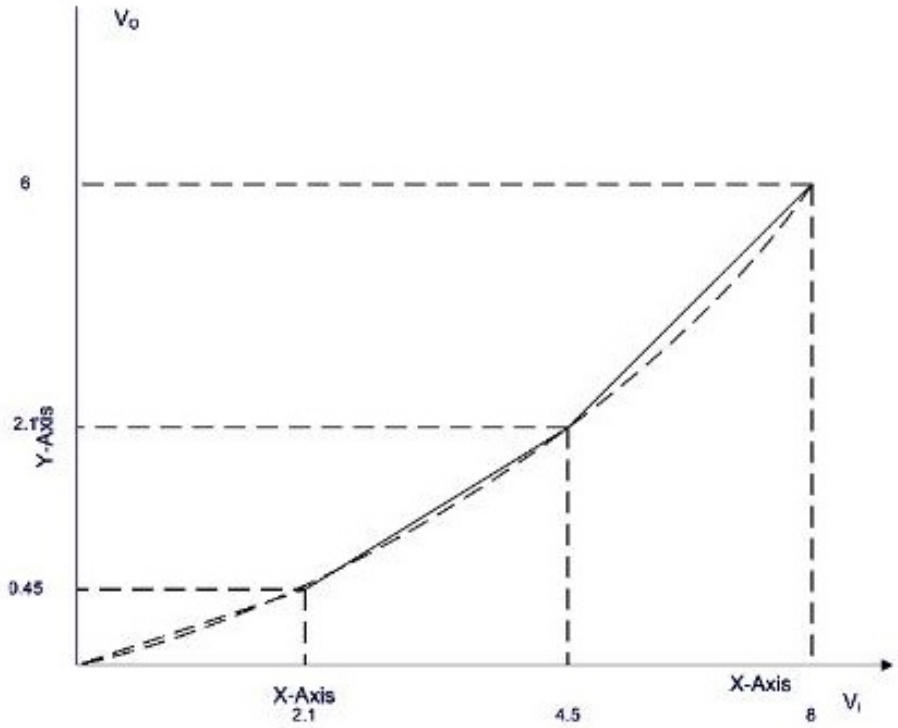
45. Xây dựng một mạch tạo hàm rời rạc có quan hệ $v_i = \frac{1}{13} v_o^2$. Dạng sóng của mạch được vẽ xấp xỉ như hình sau.



46. Đường cong trong hình sau có quan hệ $v_o = -\sqrt{6v_i}$. Tính các giá trị của các linh kiện trong mạch nếu $R_I = 5.49K$.



47. Hãy thiết kế một mạch điện để tái tạo mô hình một dạng đường cong có công thức $v_o = 6 - 6\cos[(\pi/16)v_i]$. Trong hình sau, $((\pi/16)v_i$ được tìm từ công thức $(2\pi/T)t$ trong đó $T=4v_{imax}$ và $t=v_i$, nó thay đổi từ 0 đến +8V.



48. Một mạch so sánh điểm 0V không đảo dùng một Op-Amp có nguồn cung cấp ±15V. Điện áp ngõ vào là một tín hiệu sin có biên độ 5V.

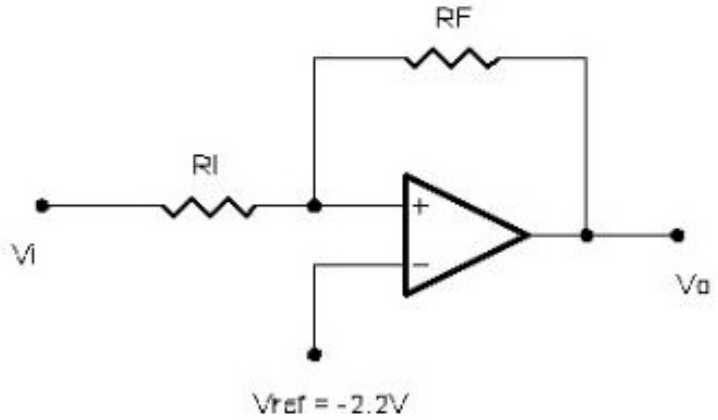
a. Hãy vẽ dạng sóng ra.

b. Nếu bị tín hiệu nhiễu có v_{p-p} = 200mV cộng lên nó, hãy thiết kế lại mạch để nó không bị nảy tại điểm 0V. Nếu R_I = 1K.

49. Một mạch so sánh điểm 0V đảo dùng Op-Amp 741 với độ lợi vòng hở 92dB. Nếu điện áp nguồn cung cấp ±15V. Nếu điện áp vào là sóng sin có biên độ 1mV, vẽ dạng sóng ra.

50. Một mạch so sánh dùng một Op-Amp có nguồn cung cấp ±15V. mạch so sánh cùng pha và chuyển mạch tại 5V±50mV; R_I =1K. Tìm giá trị của R_F.

51. Một mạch so sánh không đảo (Schmitt Trigger) có điện áp nguồn cung cấp ±12V; R_I = 3.3K và R_F = 300K. Tìm điện áp chuyển mạch của mạch, giải thích và vẽ dạng sóng vào và ra với tín hiệu sin có phương trình $v_i = 5\sin\omega t(V)$ đưa đến ngõ vào.



52. Cho mạch Schmitt Trigger không đảo không đối xứng có $R_F = 10k\Omega$, và $R_I = 2k\Omega$, $V_{ref} = 1V$ nguồn cung cấp $\pm V_{CC} = \pm 12V$.

a. Hãy vẽ mạch và tính toán các ngưỡng so sánh UTP và LTP.

b. Cho tín hiệu vào có phương trình $v_i = 5\sin\omega t(V)$. Hãy vẽ dạng sóng vào và ra.

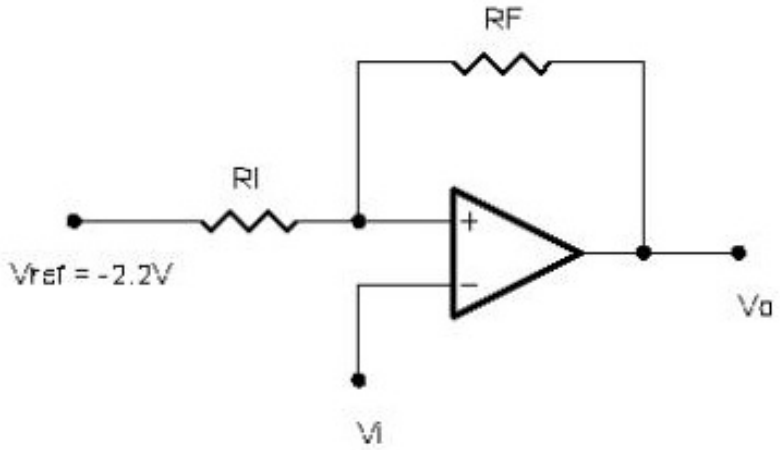
c. Cho tín hiệu vào có phương trình $v_i = 3\sin\omega t(V)$. Hãy vẽ dạng sóng vào và ra.

53. Một mạch so sánh đảo (Schmitt Trigger) có điện áp nguồn cung cấp ±12V; R_I = 3.3K và R_F = 300K.

a. Tìm điện áp chuyển mạch của mạch.

b. Cho tín hiệu vào có phương trình $v_i = 5\sin\omega t(V)$. Hãy vẽ dạng sóng vào và ra.

c. Cho tín hiệu vào có phương trình $v_i = 3\sin\omega t(V)$. Hãy vẽ dạng sóng vào và ra.



54. Một mạch Schmitt Trigger đảo dùng một Op-Amp với điện áp nguồn cung cấp ±12V. R_I = 2K, R_F = 390K. Điện áp chuẩn là -3V.

a. Hãy mạch và tính toán các ngưỡng so sánh UTP và LTP.

b. Cho tín hiệu vào có phương trình $v_i = 5\sin\omega t(V)$. Hãy vẽ dạng sóng vào và ra.

c. Cho tín hiệu vào có phương trình $v_i = 3\sin\omega t(V)$. Hãy vẽ dạng sóng vào và ra.

55. Hãy thiết kế mạch Schmitt Trigger đảo có ngưỡng điện áp chuyển mạch là 3V và -5V.

56. Tìm tỉ lệ điện trở cho mạch Schmitt Trigger không đảo để mạch chuyển mạch tại 6V và -2V. Biết Op-Amp có nguồn cung cấp ±12V.

57. Một mạch Schmitt Trigger phải chuyển mạch tại 4V và -5V. Op-Amp có điện áp bão hoà tại ±15V. Tìm R_F với R_I = 2K.

58. Một mạch Schmitt Trigger không đảo phải chuyển mạch tại 7V và -1V. Op-Amp có điện áp nguồn cung cấp ±12V. Tìm R_F với R_I.

59. Một mạch Schmitt Trigger đảo phải chuyển mạch tại 8V và 2V. Op-Amp có điện áp nguồn cung cấp ±20V. Tìm R_F với R_I =4.75k.

60. Một mạch Schmitt Trigger phải chuyển mạch tại -6V và -1.5V. Op-Amp có điện áp nguồn cung cấp ±10V. Tìm R_F và V_{ref} với R_I =1K.

61. Một mạch tích phân được điều khiển bởi điện áp ngõ vào là xung vuông. Điện áp ngõ ra là xung tam giác có V_{p-p} = 20V đối xứng qua điểm 0V. Phía sau của mạch tích phân là mạch Schmitt Trigger, nếu mạch Schmitt Trigger dùng Op-Apm có điện áp bão hòa±15V. Tính điện trở để mạch có điện áp ngưỡng ±6V.

62. Một mạch tích phân được điều khiển bởi điện áp ngõ vào là xung vuông. Điện áp ngõ ra là xung tam giác có điện áp đỉnh ±1V đối xứng qua điểm 0V. Phía sau của mạch tích phân là mạch Schmitt Trigger, nếu mạch Schmitt Trigger dùng op-apm có điện áp bão hòa±15V và điện áp chuyển mạch là ±1V.

a. Tính tỉ số R_F và R_I

b. Nếu R_I = 15 K thì R_F bằng bao nhiêu.

63. Chọn giá trị linh kiện cho mạch xén bán kì có độ lợi bằng -2 và xén tại mức 2.08V cho tín hiệu vào là sóng sin có biên độ 5.2V. R_F = 2K.

64. Một mạch xén hai bán kì dùng hai diode Zener 8.2V phải xén một tín hiệu sin giữa khoảng thời gian 30^0 đến 150^0 và 210^0 đến 330^0. Nếu điện áp phân cực thuận của mỗi diode là 0.7V.

a. Tìm điện áp đỉnh của tín hiệu sin khi chưa bị xén.

b. Tìm R_F nếu R_I = 2K và tín hiệu sin vào là 500mV đỉnh.

10.6.4. Đặc tính thực tế của Op-Amp

65. Một mạch khuếch đại không đảo có độ lợi bằng 5, dùng Op-Amp có $V_{IO} = 1.5mV$. Điện áp ngõ ra sẽ bị ảnh hưởng thế nào?

66. Một mạch khuếch đại đảo, dùng Op-Amp có $V_{IO} = 2.5mV$, $R_I = 3.3k$ và $R_F = 10k$, điện áp ngõ vào là -1.500V dc. Tìm giới hạn điện áp ra với 5 số lẻ.

67. Một mạch khuếch đại đảo, dùng một Op-Amp có dòng phân cực bằng 80nA, $R_I = 7.5k$ và $R_F = 150k$. Điện áp ngõ vào bằng 0V. Hãy cho tìm biên độ và cực tính của điện áp ngõ ra.

68. Làm lại bài 10.67 nếu $R_I = 7.5k$ và $R_F = 1.5M$. Làm lại bài 10.67 nếu $R_I = 500$ và $R_F = 15k$. Rút ra kết luận về quan hệ của R_F với dòng phân cực trên điện áp ngõ ra.

69. Một mạch khuếch đại có độ lợi bằng -5 và $R_I = 25k$, dùng Op-Amp có điện áp offset là 2.5mV và dòng phân cực là 90nA, dòng offset là ±10nA. Nếu điện áp ngõ vào là +2.25V, tính điện áp ngõ ra của mạch với 3 số lẻ trong trung hợp không có và có R_C.

Chương 11
MẠCH KHUẾCH ĐẠI CÔNG SUẤT

11.1. MẠCH KHUẾCH ĐẠI CÔNG SUẤT LÝ TƯỞNG

Mạch khuếch đại (KĐ) công suất thường được sử dụng để nâng công suất tín hiệu lên cao trước khi đưa ra tải, thường sử dụng cho tải có điện trở thấp. Thông số để đánh giá mạch KĐ công suất chính là hiệu suất, η :

$$\eta = \frac{P_{out(ac)}}{P_{in(dc)}} x100\% \qquad (11.1)$$

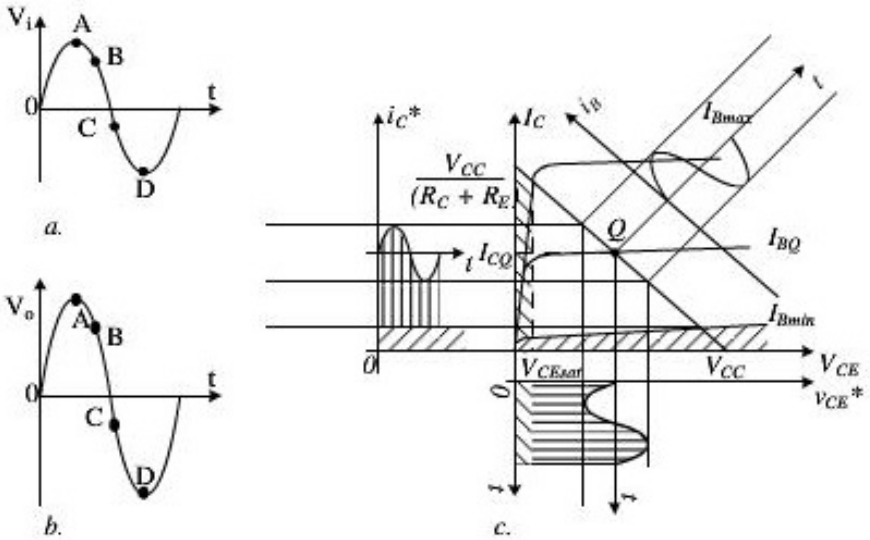
Hiệu suất được định nghĩa là tỷ số công suất tín hiệu ngõ ra trên tải với công suất nguồn cung cấp cho mạch.

Một mạch KĐ công suất lí tưởng khi hiệu suất bằng 100%, có nghĩa là toàn bộ năng lượng nguồn cung cấp cho mạch được chuyển đổi thành năng lượng tín hiệu ra tải.

Trên thực tế, do năng lượng một phần bị tiêu tán trên các linh kiện hoạt động trong mạch nên hiệu suất của mạch luôn luôn nhỏ hơn 100%.

11.2. ĐẶC ĐIỂM CỦA CÁC MẠCH KHUẾCH ĐẠI CÔNG SUẤT

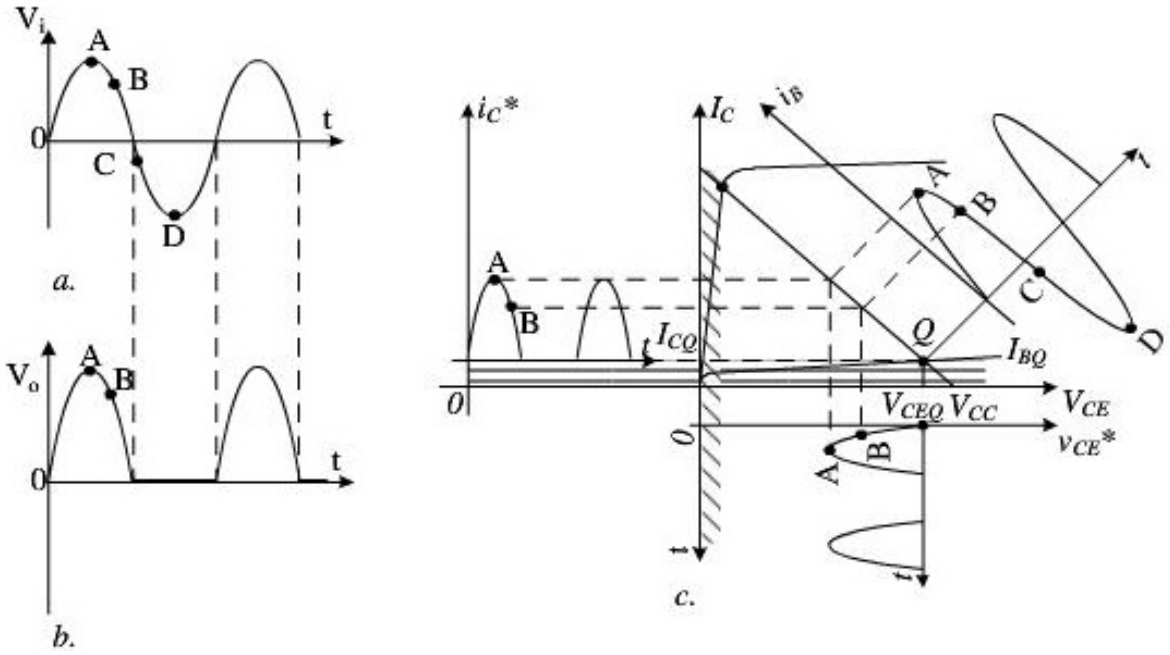
11.2.1 Phân loại mạch khuếch đại công suất



Hình 11.1. *Phân tích tín hiệu xoay chiều mạch khuếch đại lớp A; a. Tín hiệu ngõ vào;*
b. Tín hiệu ngõ ra; c. Phân tích tín hiệu ngõ vào và ra trên cùng một trục tọa độ.

a. Mạch KĐ công suất lớp A là mạch có thể KĐ tín hiệu xoay chiều và có hiệu suất thấp η=25% đến 50%. Điểm Q nằm ở vùng khuếch đại và ở giữa đường tải tĩnh, dòng $i_{cmax}=I_{cm}=\beta I_{bm}$, dẫn trong toàn chu kì của tín hiệu ngõ vào.

b. Mạch KĐ công suất lớp B là mạch có hiệu suất 50%-70%, bị méo tín hiệu ra 50%. Điểm Q phân cực vùng ngắt do đó transistor chỉ dẫn trong một bán kì của của tín hiệu ngõ vào. ((Hình 11.2)



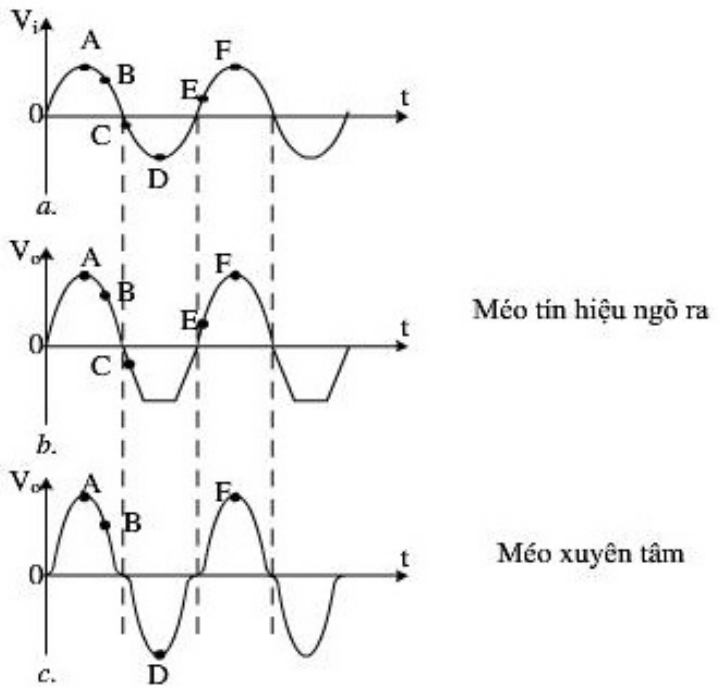
Hình 11.2. *Phân tích tín hiệu mạch khuếch đại công suất lớp B*

a. Tín hiệu ngõ vào; b. Tín hiệu ngõ ra;

c. Phân tích tín hiệu ngõ vào và ra trên cùng một trục tọa độ.

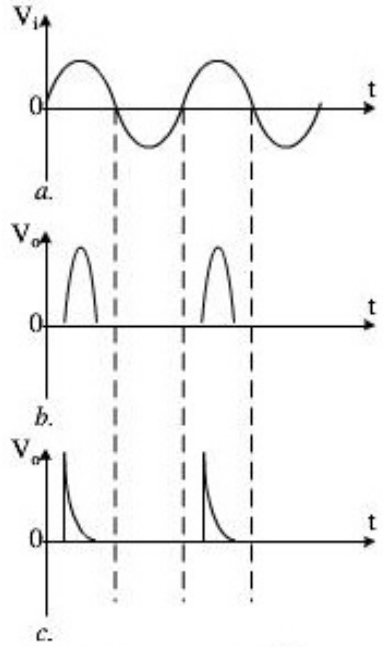
c. Mạch KĐ công suất lớp AB: Hiệu suất cao, méo ít hơn 50%. Điểm làm việc Q nằm trong vùng KĐ gần vùng tắt do đó transistor dẫn nhiều hơn một bán kì và ít hơn một chu kì của của tín hiệu ngõ vào . Trường hợp mạch KĐCS lớp AB có méo xuyên tâm hình 11.3c. Sử dụng 2 transistor chế độ B. (Hình 11.3)

d. Mạch KĐ công suất lớp C, D: Mạch KĐ công suất lớp C là mạch KĐ mà transistor có điểm làm việc Q nằm sâu trong vùng tắt, do đó transistor dẫn ít hơn một bán kì của của tín hiệu ngõ vào. Tín hiệu biến dạng hoàn toàn ở ngõ ra. Hiệu suất lớn, méo nhiều. Mạch KĐ công suất chế độ D là mạch có hiệu suất rất cao transistor chủ yếu hoạt động ở chế độ xung (chế độ ngắt, bão hòa). ((Hình 11.4)



Hình 11.3. *Phân tích tín hiệu xoay chiều mạch khuếch đại lớp AB.*

a. Tín hiệu ngõ vào;
b. Biểu diễn điểm Q nằm ở vùng KĐ, thông tin A,B,C,E,F lấy được ở ngõ ra, mất thông tin D;
c. Q nằm ở vùng ngắt của mạch KĐCS AB, thông tin A, B, D, F được KĐ ở ngõ ra, mất thông tin C, E



Hình 11.4. *Phân tích tín hiệu xoay chiều mạch khuếch đại lớp C, D*

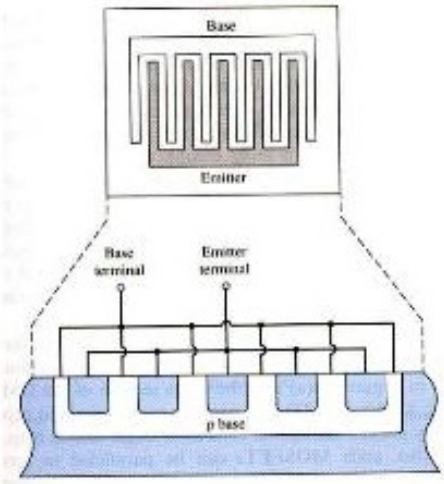
a. Tín hiệu ngõ vào; b. Tín hiệu ngõ ra của lớp C; c. Tín hiệu ngõ vào của lớp D.

Ngoài ra, các mạch KĐ công suất khác: có nhiều mạch KĐ công suất khác như G, H, S…Hầu hết chúng là biến thể của mạch KĐ công suất chế độ AB, tuy nhiên chúng cho hiệu suất rất cao được sử dụng cho những thiết kế có công suất ngõ ra lớn. Trong chương này, chúng ta chủ yếu chỉ khảo sát ba dạng cơ bản dùng trong mạch KĐ công suất tín hiệu âm tần là A, B và AB.

11.2.2 Transistor công suất

a. BJT công suất

Transistor công suất là linh kiện có kích thước lớn do yêu cầu phải hoạt động với công suất và dòng lớn. Cấu trúc xem hình 11.5.

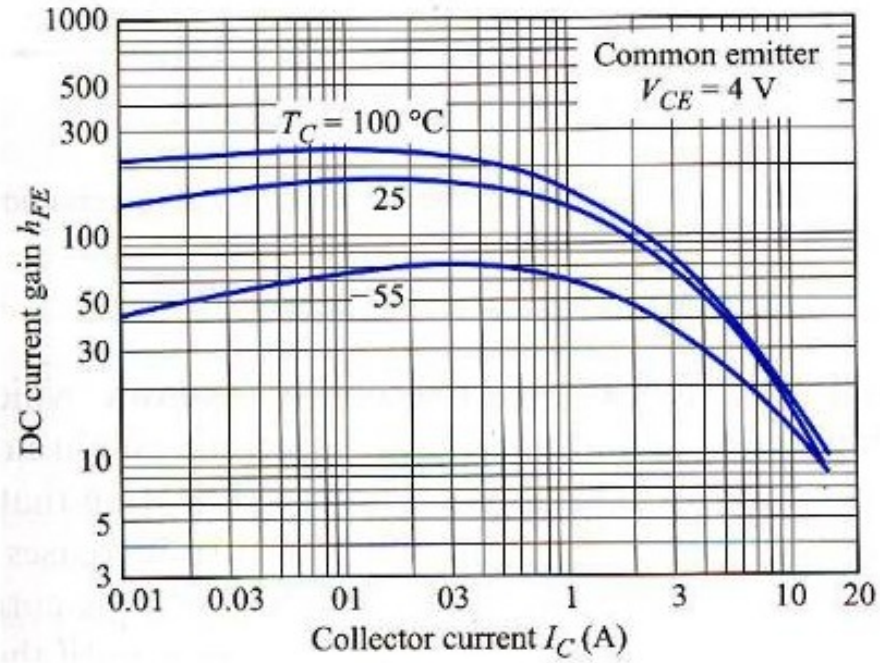


Hình 11.5. *Cấu trúc của BJT công suất*

Do sự khác nhau trong kích thước vật lý và mật độ tạp chất trong chất bán dẫn nên các thông số của nó khác so với những transistor hoạt động với tín hiệu nhỏ, ví dụ xem bảng 11.1.

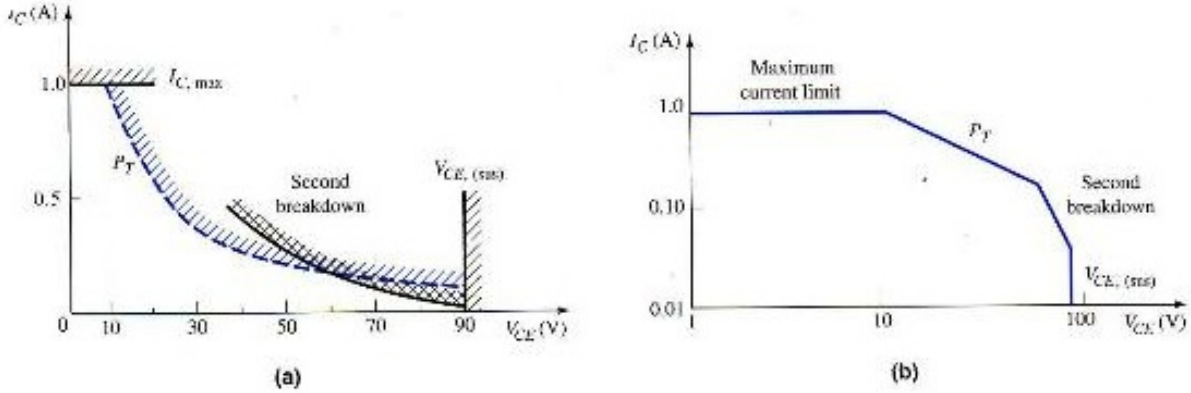
Bảng 11.1: *Bảng so sánh các thông số của BJT công suất và BJT tín hiệu nhỏ:*

Các thông số	BJT tín hiệu nhỏ (2N2222A)	BJT công suất (2N3055)	BJT công suất (2N6078)
$V_{CE(max)}$ (V)	40	60	250
$I_{C(max)}$ (A)	0.8	15	7
$P_{D(max)}$ (W) (tại t=25^{0}C)	1.2	115	45
β	35-100	5-20	12-70
f_T (MHz)	300	0.8	1



Hình 11.6. *Đường đặc tuyến h_{FE} theo I_C*

Khi sử dụng transistor công suất phải chú ý các đường giới hạn dòng, áp và công suất, trong hình 11.7.a trình bày vùng hoạt động an toàn của transistor là vùng nằm dưới các đường giới hạn I_{Cmax}, $V_{CE(sus)}$, P_T, hình 11.7.b trình bày đường giới hạn tương tự nhưng sử dụng tỷ lệ logarithmic, chính vì vậy điểm làm việc của transistor phải nằm trong vùng cho phép.



Hình 11.7. *Vùng hoạt động an toàn của BJT: a. Theo tỷ lệ tuyến tính ; b. Theo tỷ lệ logarithm.*

Công suất tiêu tán trên BJT là: $P_Q = v_{CE}i_C + v_{BE}i_B$ (11.2)

Do dòng tại cực B bé hơn nhiều so với dòng tại cực C, nên có thể viết lại công thức (11.2) gần đúng như sau: $P_Q \cong v_{CE}i_C$ (11.3)

Từ công thức (11.3) suy ra công suất tiêu tán trung bình của BJT trong một chu kì của tín hiệu là: $$\overline{P_Q} = \frac{1}{T}\int_0^T v_{CE} i_C dt \qquad (11.4)$$

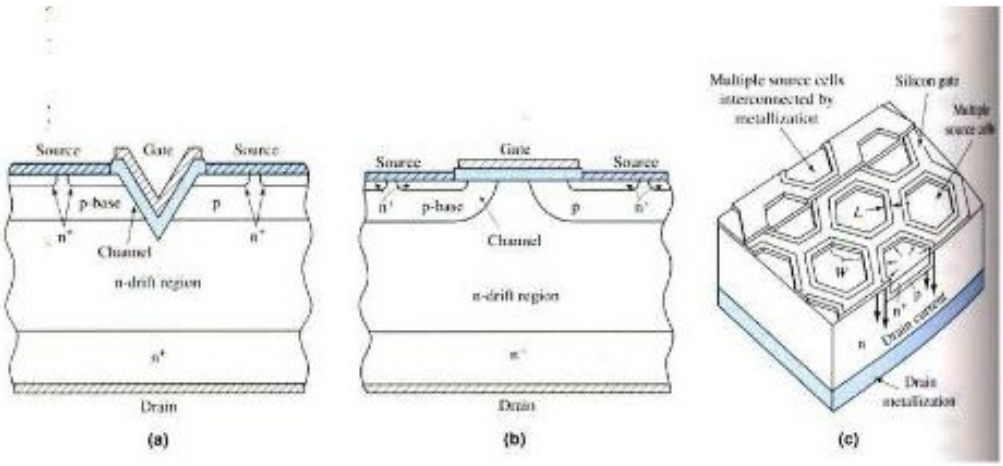
Công suất này phải luôn luôn nhỏ hơn giá trị công suất giới hạn của BJT để bảo đảm nhiệt độ của transistor nhỏ hơn nhiệt độ cho phép cực đại.

b. MOSFET công suất

Bảng 11.2: Bảng liệt kê các thông số cơ bản của hai MOSFET công suất kênh N.

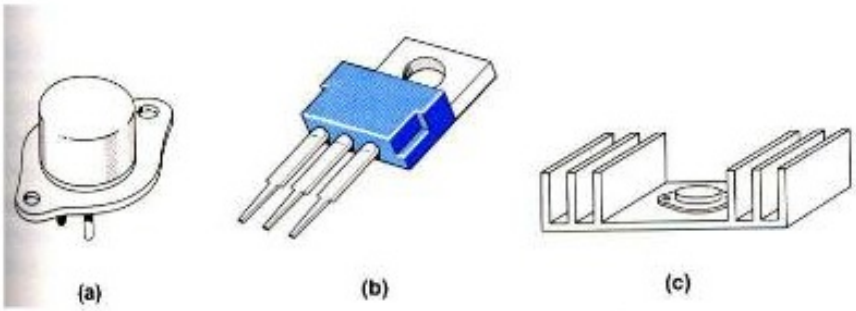
Các thông số	2N6757	2N6792
$V_{DS(max)}$ (V)	150	400
$I_{D(max)}$ (tai T=25^{0}C)	8	2
P_D (W)	75	20

Cấu trúc của transistor FET công suất như hình 11.8.



Hình 11.8. *a. VMOS; b. DMOS; c. HEXFET.*

c. Heat Sinks



Hình 11.9. *Hai dạng vỏ transistor công suất thường gặp a và b; c. Hình dạng của cánh tản nhiệt.*

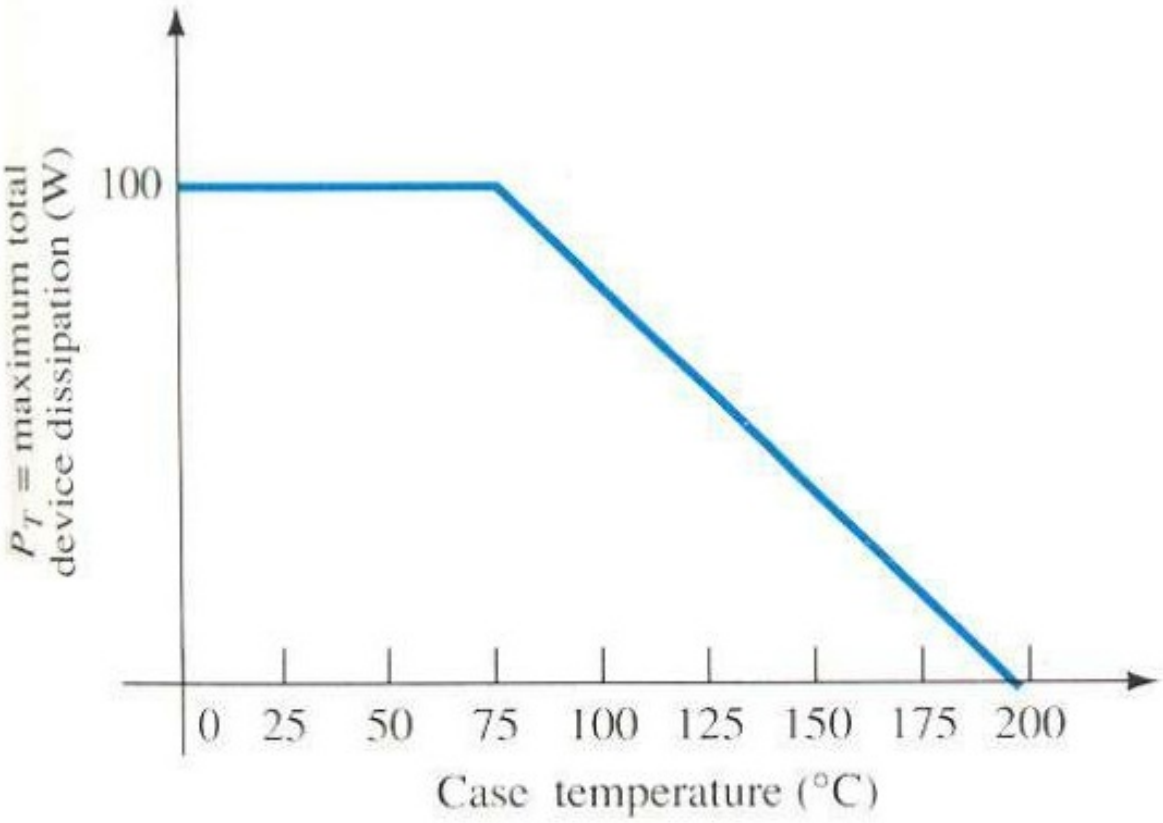
Trong khi những mạch tích hợp thường sử dụng cho những ứng dụng tín hiệu nhỏ và công suất bé thì hầu hết những ứng dụng dùng cho công suất cao vẫn đòi hỏi transistor công suất rời.

Để cải tiến kỹ thuật sản xuất với yêu cầu cung cấp các linh kiện bán dẫn có kích thước nhỏ nhưng hoạt động được với điện áp, công suất lớn và tốc độ chuyển mạch nhanh (các thông số này bị giới hạn bởi nhiệt độ hoạt động cho phép của linh kiện), do đó vấn đề đặt gia là phải tản nhiệt cho linh kiện.

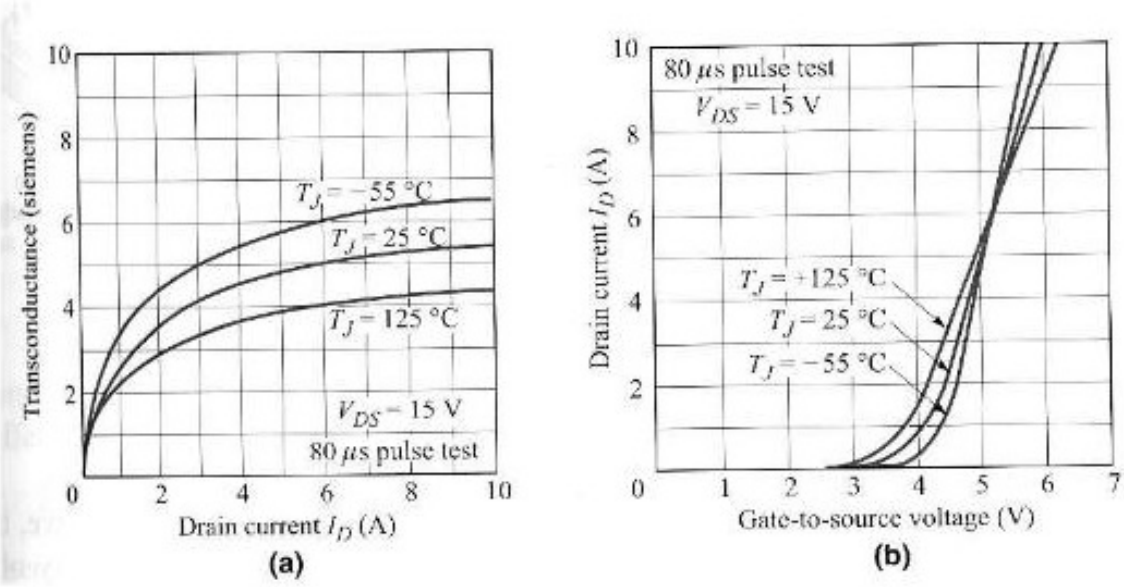
Công suất tiêu tán trên transistor làm gia tăng nhiệt độ mối nối bên trong của nó và nhiệt độ này được truyền ra vỏ.

Nếu nhiệt độ bên trong hay nhiệt độ mối nối T_J của nó vượt quá nhiệt độ cho phép transistor sẽ bị quá nhiệt. Để bảo vệ transistor trong trường hợp này phải dùng một tấm tản nhiệt (heat sink) để tản nhiệt cho transistor và tấm tản nhiệt này được gắn với vỏ.

Đường đặc tuyến quan hệ giữa công suất tiêu tán và nhiệt độ vỏ xem hình 11.10



Hình 11.10. *Đường đặc tuyến của công suất tiêu tán trên transistor với nhiệt độ vỏ.*



Hình 11.11. *Đặc tuyến của MOSFET công suất cao:*
a. Quan hệ giữa điện dẫn và dòng cực máng; b. Đặc tuyến truyền đạt.

Từ hình 11.11, ta có thể thấy rằng khi nhiệt độ vỏ (hay nhiệt độ mối nối) gia tăng, công suất tiêu tán giới hạn của transistor giảm theo hệ số suy giảm:

$$P_D(T_1) = P_D(T_0) - (T_1 - T_0) * \text{hệ số suy giảm} \qquad (11.5)$$

Khi đó, nếu sử dụng một tấm tản nhiệt tốt có thể cho phép transistor hoạt động được với công suất tiêu tán cực đại. Để thiết kế chọn tấm tản nhiệt phù hợp với transistor, chúng ta phải xét đến thông số nhiệt trở θ (^{0}C/W). Nhiệt độ trên một phần tử có nhiệt trở θ là:

$$T_2 - T_1 = P\theta$$

Trong đó P là công suất nhiệt trên phần tử.

Để chọn được tấm tản nhiệt đúng yêu cầu, chúng ta phải biết được các thông số nhiệt của transistor và sự liên quan của các thông số này với công suất tiêu tán. Hình 11.12 trình bày mối liên hệ của điện trở nhiệt với nhiệt độ của transistor.

Điện trở nhiệt cho biết sức nóng ảnh hưởng đến giới hạn về điện, trong hình 11.12 các nhiệt trở được định nghĩa như sau:

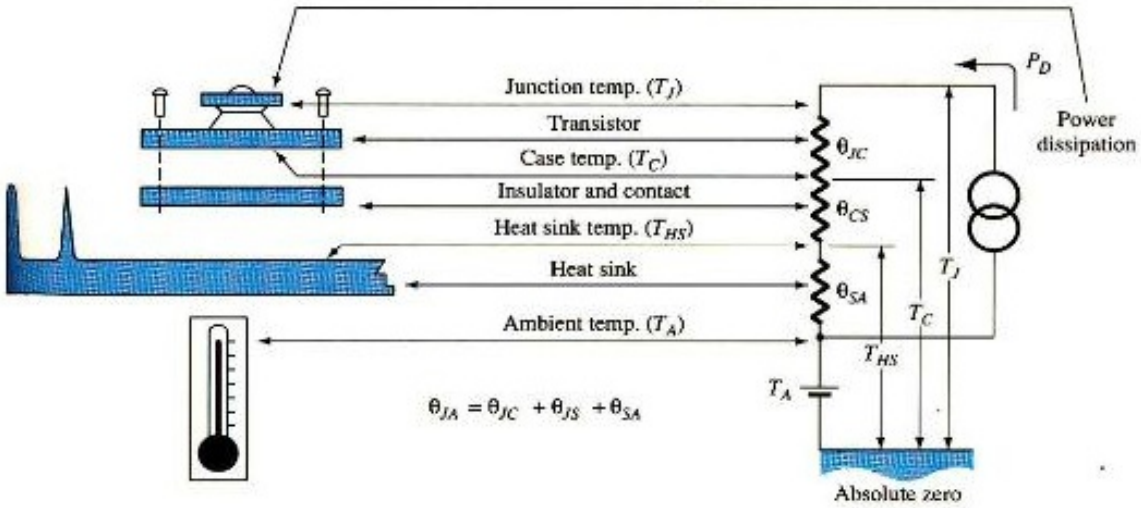
θ_{JA} : nhiệt trở nhiệt từ mối nối đến môi trường (nhiệt trở tổng).

θ_{JC} : nhiệt trở nhiệt từ mối nối đến vỏ (nhiệt trở của transistor).

θ_{CS} : nhiệt trở nhiệt từ vỏ đến tấm tản nhiệt.

θ_{SA} : nhiệt trở từ tấm tản nhiệt đến môi trường (nhiệt trở của tấm tản nhiệt).

Vậy: $\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$ (11.6)



Hình 11.12. *Mối liên hệ của điện trở nhiệt với nhiệt độ của transistor*

Theo định luật Kirchhoff ta có:

$$T_J = P_D\theta_{JA} + T_A \qquad (11.7)$$

Từ công thức (11.6) có thể thấy hệ số θ cung cấp thông tin về nhiệt độ mối nối liên quan đến công suất tiêu tán trên transistor. Ví dụ: một transistor có θ_{JC} bằng 0.5^0C/W, điều này có nghĩa là nếu transistor hoạt động với công suất tiêu tán 50W thì nhiệt độ chênh lệch giữa vỏ và mối nối bên trong là:

$$T_J - T_C = P_D\theta_{JC} = (0.5^0 C/W)(50W) = 25^0 C$$

Như vậy nếu tấm tản nhiệt có thể giữ nhiệt độ vỏ tại 50^0C thì nhiệt độ mối nối của transistor sẽ là 75^0C.

11.2.3 Các ký hiệu chính được sử dụng trong chương

- V_{CC}, V_{EE}: điện áp nguồn cung cấp.
- I_B, I_C, I_{BQ}, I_{CQ}, V_{CE}, V_{CEQ}: dòng điện và điện áp phân cực DC của transistor.
- I_c, v_{ce}: dòng điện và điện áp AC trên transistor của mạch.
- I_p, V_P: dòng điện và điện áp AC một đỉnh trên transistor của mạch.

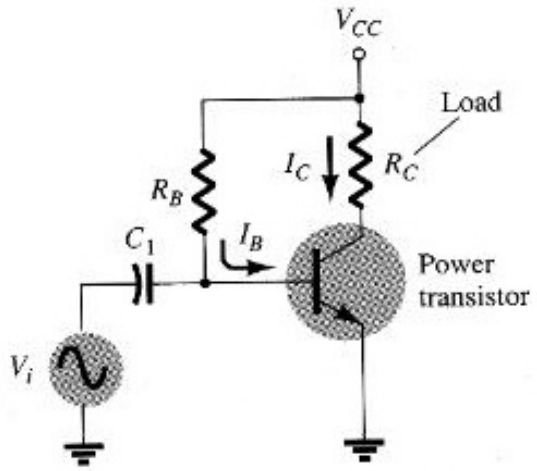
- I_L, I_{pL}, I_{ppL} : dòng điện hiệu dụng, một đỉnh, đỉnh đỉnh ở ngõ ra trên tải.
- I_{SAV} : dòng điện trung bình của nguồn.
- V_L, V_{pL}, V_{ppL}: điện áp hiệu dụng, một đỉnh, đỉnh đỉnh ở ngõ ra trên tải.
- P_S(dc): công suất nguồn cung cấp ngõ vào của mạch.
- P_L(ac): công suất ngõ ra của mạch.
- P_C(Collector), P_d(dssipation): công suất tiêu tán trên transistor.
- η: hiệu suất của mạch.

11.3. MẠCH KHUẾCH ĐẠI CÔNG SUẤT CHẾ ĐỘ A

Transistor làm việc trong cả chu kỳ của tín hiệu ngõ vào, phải phân cực DC trước cho transistor nằm trong vùng khuếch đại.

11.3.1 Mạch khuếch đại ghép trực tiếp

a. Phân tích mạch ở chế độ DC



Hình 11.13. *Mạch khuếch đại công suất chế độ A ghép trực tiếp.*

- Phân cực DC:

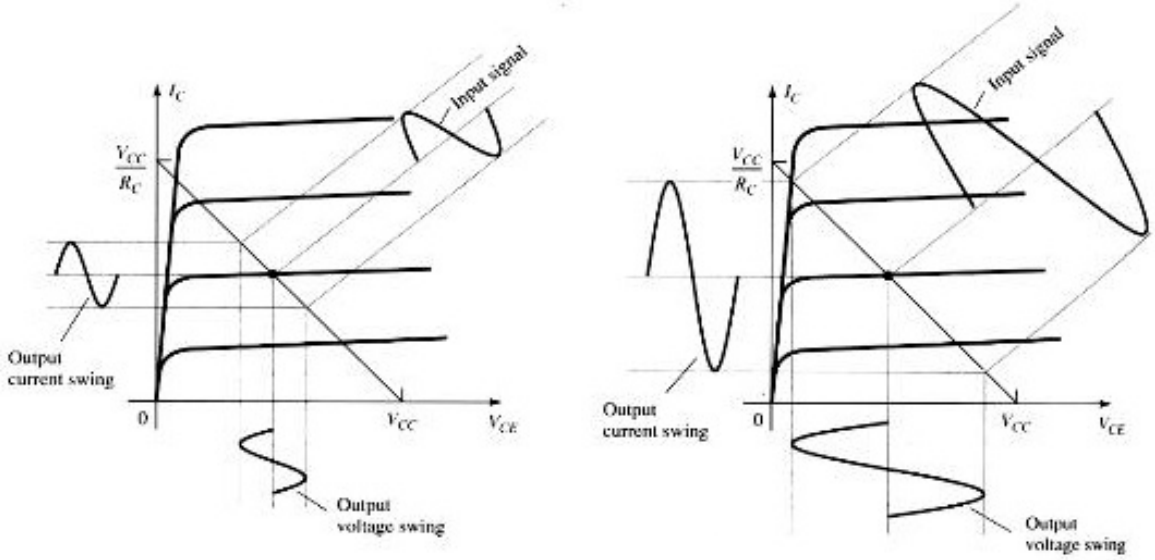
$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

- Dòng phân cực IB là: (11.8)
- Dòng phân cực IC và điện áp V_{CE}: $I_C = \beta I_B$ (11.9)

$$V_{CE} = V_{CC} - I_C R_C \qquad (11.10)$$

b. Phân tích mạch ở chế độ AC

– Khi có tín hiệu AC: ở ngõ vào, tín hiệu ra sẽ biến thiên theo tín hiệu ngõ vào từ giá trị dòng và áp phân cực DC như hình 11.14.



Hình 11.14. *Sự biến thiên tín hiệu ra theo tín hiệu vào có dạng sin.*

– Công suất ngõ ra: $P_L(ac) = v_{ce} i_c$ (11.11)

$$P_L(ac) = \frac{v_{ce(\max)} i_{c(\max)}}{2} = \frac{v_{ce(p-p)} i_{c(p-p)}}{8} \quad (11.12)$$

– Công suất nguồn cung cấp: $P_S(dc) = V_{CC} I_{CQ} = const$ (11.13)

– Hiệu suất của mạch: $\eta\% = \frac{P_L(ac)}{P_S(dc)} \times 100\%$ (11.14)

– Công suất tiêu tán trên transistor: $P_C = P_S(dc) - P_L(ac)$ (11.15)

Từ công thức (11.15), chúng ta thấy rằng đối với mạch khuếch đại công suất chế độ A, công suất tiêu tán trên transistor lớn nhất khi không có tín hiệu ra tải và nhỏ nhất khi tín hiệu ra tải là lớn nhất.

➢ **Hiệu suất cực đại của mạch**

Đối với mạch khuếch đại công suất chế độ A, hiệu suất của mạch đạt cực đại khi điện áp và dòng điện trên tải đạt cực đại (biến thiên cực đại), khi đó nếu điểm làm việc tĩnh Q của transistor nằm giữa đường tải ac thì:

$$V_{CEQ} = \frac{V_{CC}}{2} \quad (11.16)$$

Và:
$$I_{CQ} = \frac{V_{CC}}{2R_C} \quad (11.17)$$

$$\max(v_{ce(p-p)}) = V_{CC} \quad (11.18)$$

$$\max(i_{C(p-p)}) = \frac{V_{CC}}{R_C} \quad (11.19)$$

$$\max(P_L(ac)) = \frac{V_{CC}^2}{8R_C} \quad (11.20)$$

Công suất nguồn cung cấp khi đó:

$$\max(P_S(dc)) = V_{CC}I_{CQ} = \frac{V_{CC}^2}{2R_C} \quad (11.21)$$

Vậy hiệu suất cực đại của mạch là:

$$\eta\% = \frac{\max(P_L(ac))}{\max(P_S(dc))} \times 100\% = 25\% \quad (11.22)$$

Kết luận: Hiệu suất cực đại của mạch khuếch đại công suất chế độ A ghép trực tiếp chỉ đạt được tối đa là 25%.

c. Bài tập áp dụng

Cho mạch hình 11.15, với V_{CC} = 20V, R_B = 1kΩ, β = 25, transistor loại Si.

Tín hiệu ngõ vào tạo ra dòng điện tại cực B bằng 10mA đỉnh.

Hãy tính công suất ngõ vào, công suất ngõ ra và hiệu suất của mạch khuếch đại

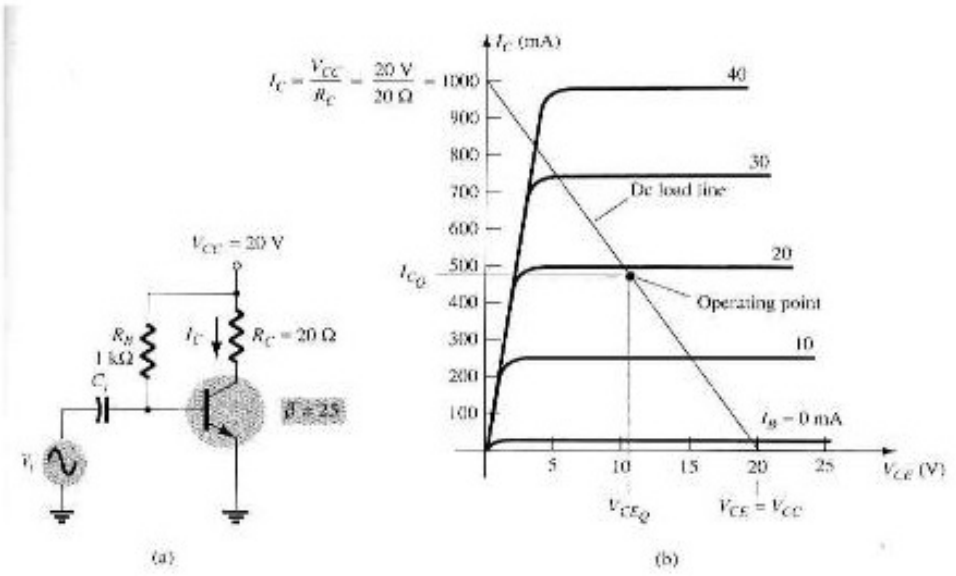
Bài giải:

Xác định điểm tĩnh Q

$$I_B = \frac{V_{CC} - 0.7V}{R_B} = \frac{20V - 0.7V}{1K\Omega} = 19.3mA$$

$$I_C = \beta I_B = 25 \times 19.3mA = 0.48A$$

$$V_{CE} = V_{CC} - I_C R_C = 20V - (0.48A)(20) = 10.4V$$



Hình 11.15

Điểm làm việc được vẽ trên đường đặc tuyến ngõ ra như hình b. Sự biến thiên của tín hiệu AC ngõ ra có thể xác định được bằng hình vẽ dùng đồ thị đường tải DC như trong hình b. Khi dòng điện AC ngõ vào cực B tăng so với điểm phân cực DC thì dòng điện tại cực C tăng lên một lượng như sau: $I_{C(p)} = \beta I_{B(p)} = 25 \times 10mA(p) = 250mA(p)$

Công suất AC ngõ ra

$$P_L(ac) = \frac{I_{C(p)}^2}{2} R_C = \frac{\left(250 \times 10^{-3}\right)^2}{2} \times 20 = 0.625W$$

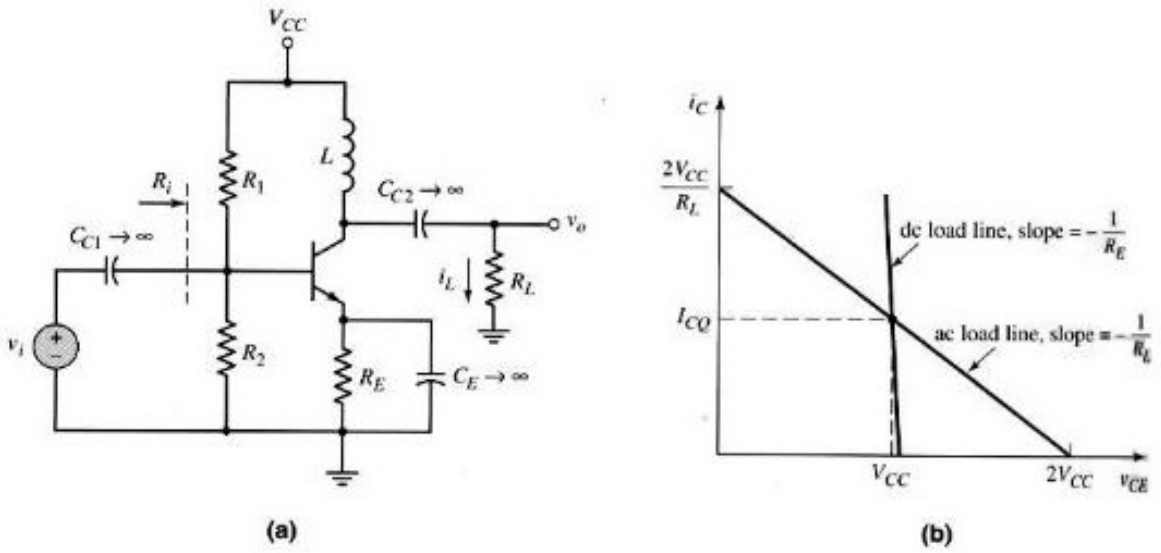
Công suất DC ngõ vào $P_S(dc) = V_{CC} I_{CQ} = (20V) \times (0.48A) = 9.6W$

Hiệu suất của mạch

$$\%\eta = \frac{P_L(ac)}{P_S(dc)} \times 100\% = \frac{0.625W}{9.6W} \times 100\% = 6.5\%$$

11.3.2 Mạch khuếch đại ghép LC

Để cung cấp ra tải một công suất lớn thông thường đòi hỏi dòng và áp lớn. Vì vậy trong mạch CE ta thay R_C bằng một cuộn dây để giảm tiêu hao trên R_C. Cuộn dây này bị ngắn mạch đối với dòng DC nhưng hở mạch với tín hiệu ac tại những tín hiệu có tần số cao.



Hình 11.16. *a. mạch khuếch đại công suất chế độ A ghép LC; b. Đường tải AC và DC của transistor.*

Từ hình 11.16a, ta được các đường tải AC và DC ở hình 11.16b trong đó bỏ qua điện trở của cuộn dây. Nếu điện trở R_E rất nhỏ có thể bỏ qua và để tầm dao động của tín hiệu ngõ ra đạt cực đại, thì điểm làm việc Q có:

$$V_{CEQ} \cong V_{CC} \tag{11.23}$$

$$I_{CQ} \cong \frac{V_{CC}}{R_L} \tag{11.24}$$

Vậy công suất ngõ ra cực đại là:

$$\max(P_L(ac)) = \frac{1}{2} I_{CQ}^2 R_L = \frac{1}{2}\frac{V_{CC}^2}{R_L} \tag{11.25}$$

Công suất nguồn cung cấp lúc này là (bỏ qua sự tiêu tán trên R_1 và R_2):

$$P_S(dc) = V_{CC} I_{CQ} = \frac{V_{CC}^2}{R_L} \tag{11.26}$$

Khi đó hiệu suất cực đại của mạch sẽ là:

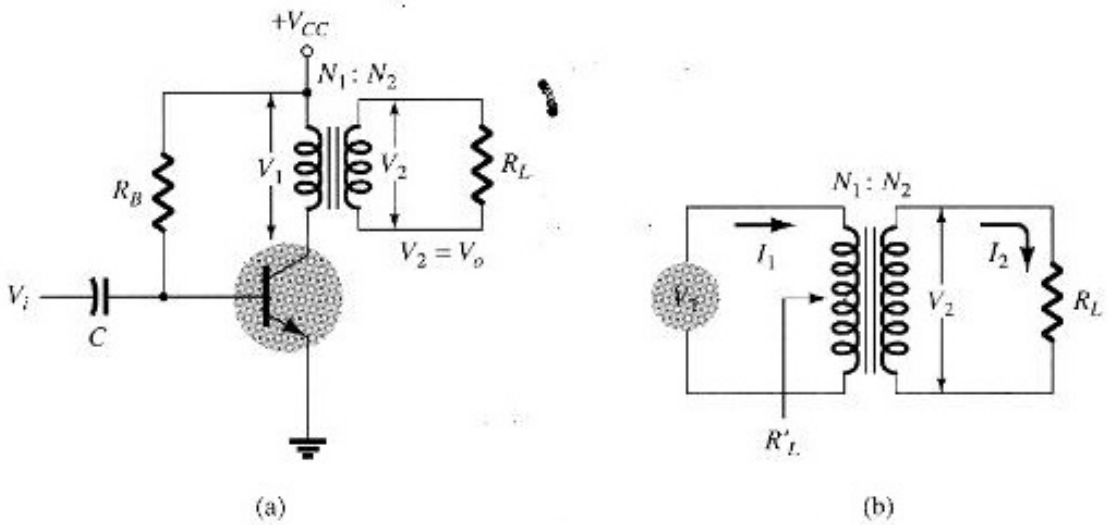
$$\eta\% = \frac{\max(P_L(ac))}{\max(P_S(dc))} \times 100\% = 50\% \tag{11.27}$$

Vậy trong mạch khuếch đại công suất chế độ A nếu thay R_C bằng cuộn dây thì hiệu suất cực đại sẽ tăng lên gấp đôi (50%).

11.3.3 Mạch khuếch đại ghép biến áp

a. Giới thiệu mạch khuếch đại ghép biến áp

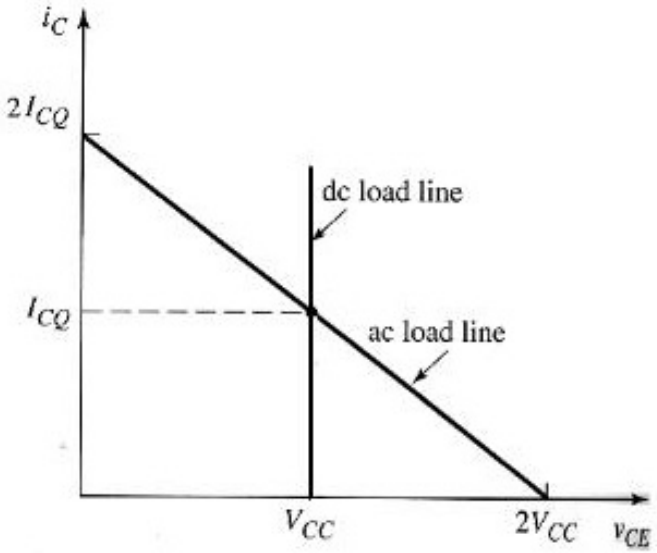
Để thiết kế một mạch khuếch đại ghép LC đạt được hiệu suất cao rất khó khăn vì nó phụ thuộc vào sự liên quan của điện áp nguồn cung cấp V_{CC} và điện trở tải R_L. Vì thế có thể thay điện trở tải bằng cách sử dụng một máy biến áp có tỉ số vòng dây quấn sơ cấp và thứ cấp thích hợp.



Hình 11.17. Mạch khuếch đại ghép biến áp.

b. Phân tích mạch khuếch đại lớp A ghép biến áp

Mạch khuếch đại công suất chế độ A ghép biến áp như trong hình 11.17a, có đường tải AC và DC tương ứng trong hình 11.18.



Hình 11.18. Đường tải AC và DC

Vậy để tầm dao động của tín hiệu ngõ ra đạt cực đại, ta xét điểm làm việc Q phải nằm giữa đường tải AC, khi đó:

$$V_{CEQ} \cong V_{CC} \quad (11.28)$$

$$2I_{CQ} \cong \frac{2V_{CC}}{a^2 R_L} \quad (11.29)$$

Vậy công suất ngõ ra cực đại là:

$$\max(P_L(ac) = i_L^2 R_L = (ai_C)^2 R_L = \frac{1}{2}\frac{V_{CC}^2}{a^4 R_L^2} a^2 R_L = \frac{V_{CC}^2}{2a^2 R_L} \quad (11.30)$$

Công suất nguồn cung cấp lúc này là (bỏ qua sự tiêu tán trên R_1 và R_2):

$$P_S(dc) = V_{CC} I_{CQ} = \frac{V_{CC}^2}{a^2 R_L} \quad (11.31)$$

Khi đó hiệu suất cực đại của mạch sẽ là

$$\eta\% = \frac{\max(P_L(ac))}{\max(P_S(dc))} \times 100\% = 50\% \quad (11.32)$$

Vậy trong mạch khuếch đại công suất chế độ A sử dụng máy biến áp thì hiệu suất cực đại có khả năng đạt được chỉ là 50%.

c. Bài tập áp dụng

Một mạch KĐ lớp A ghép bằng biến áp *hình 11.17a* để thúc một loa có giá trị 16Ω thông qua một biến áp có tỉ lệ 4:1. Mạch sử dụng nguồn cung cấp Vcc = 36V, mạch tạo ra công suất 2W trên tải. Hãy tính:

a. Công suất AC trên cuộn dây sơ cấp của biến áp.

b. Điện áp trên tải $V_L(rms)$

c. Điện áp $V(rms)$ tại cuộn sơ cấp của biến áp.

d. Giá trị dòng điện hiệu dụng trên tải I_L(rms) và trên cuộn dây sơ cấp I_{SC}(rms) của biến áp.

Bài giải:

1. Công suất AC trên cuộn dây sơ cấp của biến áp:

$$P_{SC} = V_1 I_1 = aV_2 \times \frac{I_2}{a} = P_L(ac) = 2(W)$$

2. Điện áp trên tải V_L(rms)

Ta có: $P_L(ac) = \frac{V_2^2}{R_L} = \frac{V_L^2(ac)}{R_L}$

Suy ra $V_L(rms) = \sqrt{P_L(ac) \times R_L} = \sqrt{2 \times 16} = 5.66(V)$

3. Điện áp $V(rms)$ tại cuộn sơ cấp của biến áp:

$V_{SC}(rms) = aV_L(ac) = 4 \times 5.66 = 22.64(V)$

4. Dòng điện hiệu dụng trên tải $I_L(rms)$ và trên cuộn dây sơ cấp $I_{SC}(rms)$ của biến áp

$$I_L(rms) = \frac{P_L(ac)}{V_L(rms)} = \frac{2}{5.66} = 0.35(A)$$

Ta có: $\frac{I_L(rms)}{I_{SC}(rms)} = a = 4$

Suy ra $I_{SC}(rms) = \frac{I_L(rms)}{a} = \frac{0.35}{4} = 0.0875(A)$

11.3.4 Ưu và nhược điểm của mạch khuếch đại lớp A

➢ ***Ưu điểm:***

– Méo phi tuyến ít do chọn được đặc tuyến làm việc của transistor.

➢ ***Nhược điểm:***

– Công suất tín hiệu ra nhỏ do mạch chỉ làm việc với tín hiệu nhỏ.

– Hiệu suất thấp do phải phân cực DC trước cho transistor, gây tiêu tán không mong muốn.

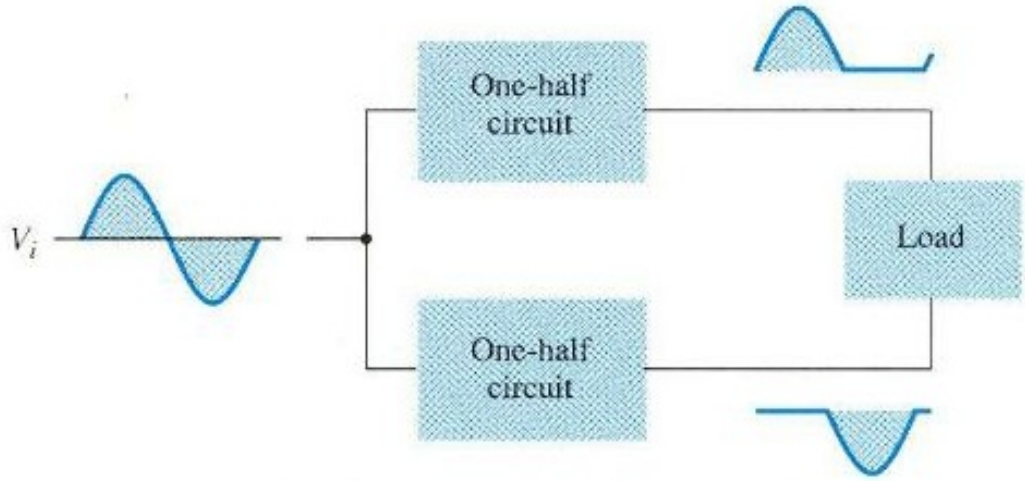
11.4. MẠCH KHUẾCH ĐẠI CÔNG SUẤT CHẾ ĐỘ B

11.4.1 Giới thiệu

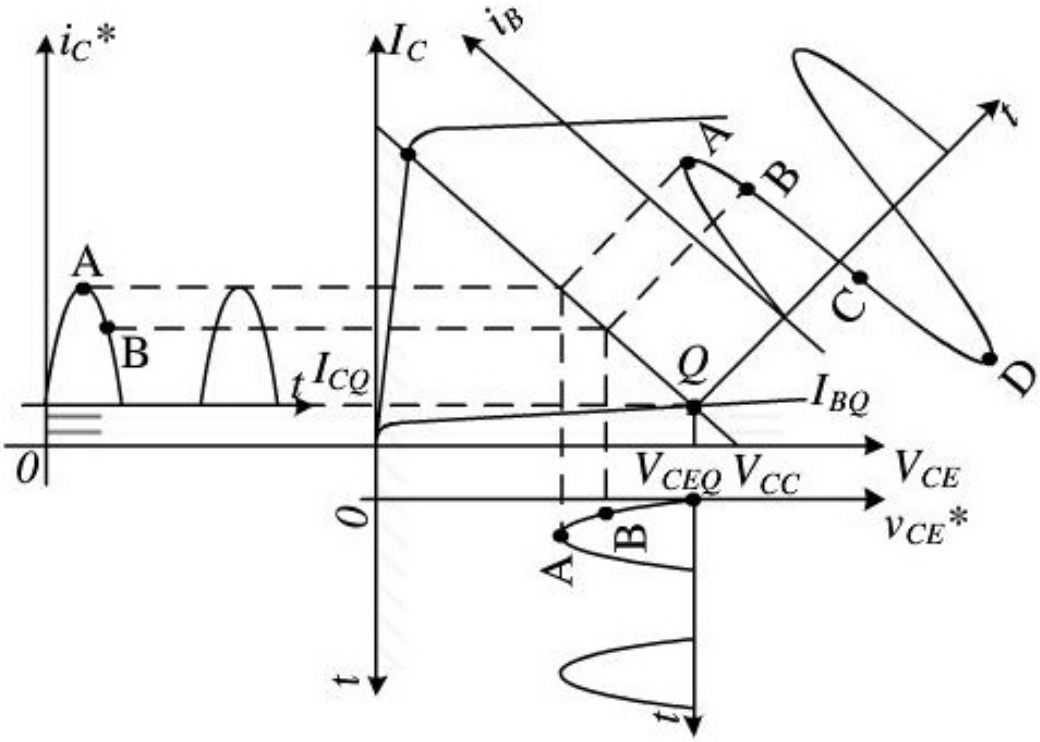
Mạch khuếch đại công suất chế độ B có đặc điểm là transistor có điểm làm việc nằm trong vùng tắt, có nghĩa là transistor chưa được phân cực. Do đó nó chỉ dẫn điện trong một nửa chu kì của tín hiệu, trong nửa chu kì này điện áp tín hiệu vào sẽ phân cực thuận cho transistor.

Vậy để tín hiệu ra không bị méo 50% hay được khuếch đại toàn chu kì của tín hiệu vào thì phải sử dụng hai transistor và mỗi transistor sẽ dẫn trong một bán kì. Khi đó, một transistor có nhiệm vụ đẩy (push) tín hiệu lên cao

trong nửa chu kì đầu và transistor còn lại có nhiệm vụ kéo (pull) tín hiệu xuống thấp trong nửa chu kì còn lại, kết quả ta được tín hiệu toàn kì ở ngõ ra và mạch này gọi là mạch khuếch đại đẩy kéo (push-pull).



Hình 11.19. *Sơ đồ khối của mạch khuếch đại chế độ B push pull*



Hình 11.20. *Đường tải AC*

Hình 11.19 là sơ đồ mạch khuếch đại công suất chế độ B được ghép đẩy kéo. Transistor được phân cực tại vùng ngắt, tín hiệu ở ngõ ra như hình 11.20 sẽ bị mất thông tin ở nửa bán kì âm.

11.4.2 Mạch khuếch đại đẩy kéo công suất chế độ B

a. Nguyên lý hoạt động

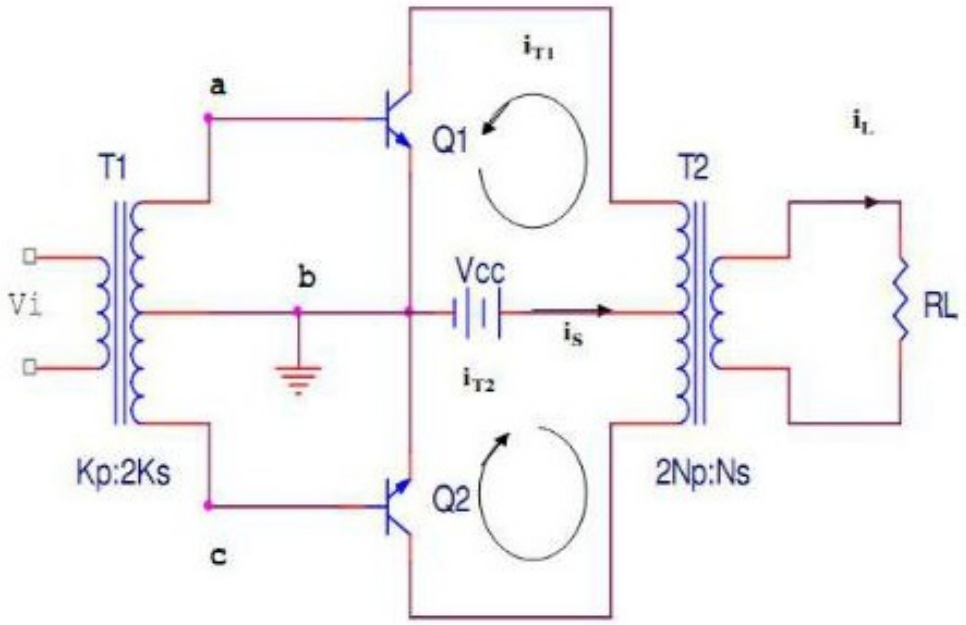
Trên hình 11.21, transistor Q_1 được phân cực ở trạng thái ngắt $I_{B1} \approx 0$ nên $I_{C1} \approx 0$. Transistor Q_1 được phân cực ở trạng thái ngắt $I_{B1} \approx 0$ nên $I_{C1} \approx 0$. Vì mạch phân cực ở chế độ ngắt nên năng lượng DC cung cấp cho toàn mạch rất ít, đây là yếu tố cơ bản làm tăng hiệu suất cho mạch khuếch đại công suất chế độ B.

Ở bán kỳ dương của V_i,ta có $V_a>V_b>V_c$ thì transistor Q_1 dẫn, Q_2 không dẫn. Vì vậy, tồn tại dòng điện i_{T1}, dòng điện i_{T2} bằng không. Ở bán kỳ âm của V_i, ta có $V_a<V_b<V_c$ thì transistor Q_1 không dẫn, Q_2 dẫn. Vì vậy, tồn tại dòng điện i_{T2}, dòng điện i_{T1} bằng không.

Do đó, theo chiều dòng điện trên mạch ta có:

Dòng trên tải: $i_L = i_{T1} - i_{T2}$

Dòng của nguồn cung cấp: $i_s = i_{T1} + i_{T2}$



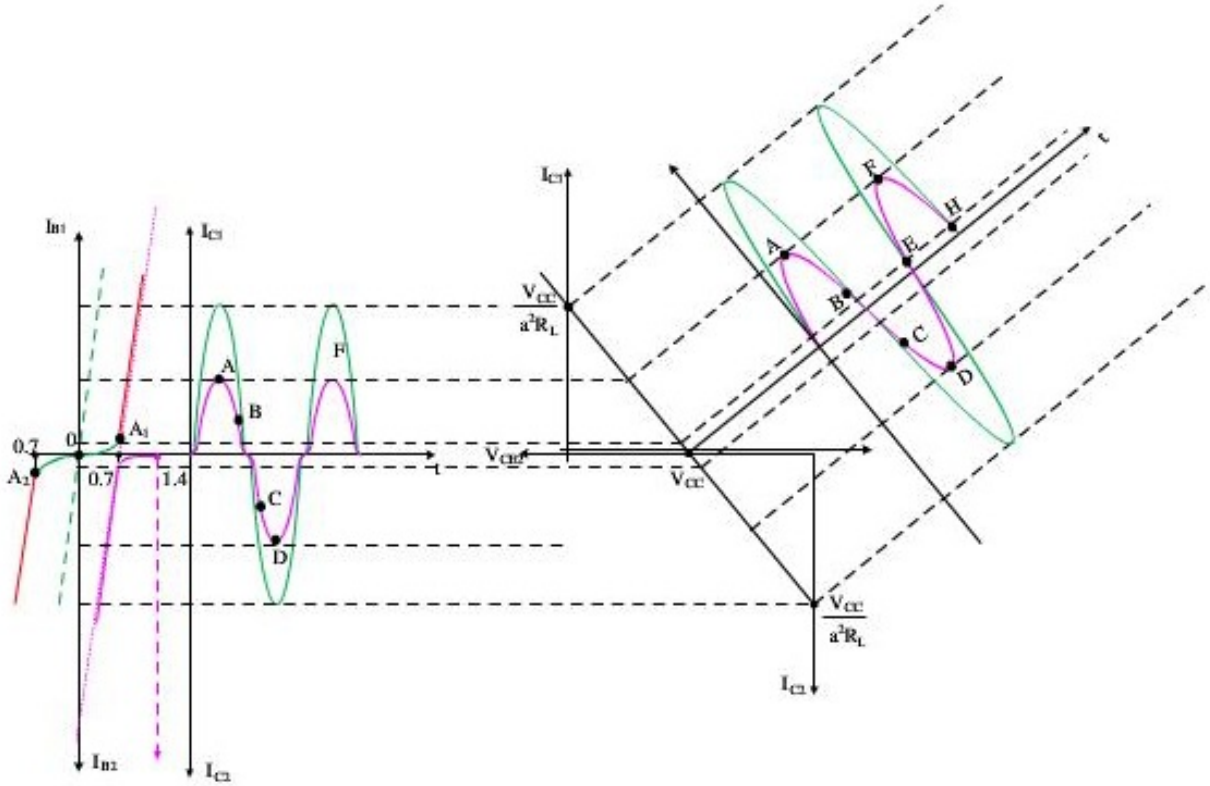
Hình 11.21. *Mạch khuếch đại đẩy kéo công suất chế độ B ghép biến áp.*

b. Phân tích mạch

Để dòng tải không méo thì $I_{p1} = I_{p2} = I_p$, hoạt động của hai transistor phải đối xứng, các biến áp T_1 và T_2 phải có điểm giữa ở cuộn thứ cấp và sơ cấp tương ứng (center – tapped transformer).

Nhìn trên giản đồ của dòng I_S ta có công thức tính dòng điện trung bình của nguồn như sau:

$$I_{SAV} = \frac{2}{\pi}\int_0^{T/2} I_P \sin(wt)dt = \frac{2I_P}{\pi} \qquad (11.33)$$



Hình 11.22. *Giản đồ các tín hiệu dòng và áp ngõ vào và ra theo thời gian*

Công suất trung bình phân phối trên tải:

$$P_L = \frac{1}{2}V_{PL}I_{PL} = \frac{1}{2}\frac{V^2{}_{PL}}{R_L} = \frac{1}{2}I_{PL}^2 R_L \qquad (11.34)$$

Với:

V_{PL}, I_{PL} là biên độ điện áp đỉnh và biên độ dòng đỉnh của tải

V_P, I_P là biên độ điện áp đỉnh và biên độ dòng đỉnh không méo ở ngõ ra các transistor

$$\begin{cases} V_{PL} = \dfrac{N_S}{N_P}V_P \\ I_{PL} = \dfrac{N_P}{N_S}I_P \end{cases} \qquad (11.35)$$

Suy ra: $P_L = \frac{1}{2}V_P I_P = \frac{1}{2}\left(\frac{N_S}{N_P}\right)^2 \frac{V^2{}_P}{R_L} = \frac{1}{2}\left(\frac{N_P}{N_S}\right)^2 I_P^2 R_L$ (11.36)

Công suất trung bình phân phối trên tải cực đại:

$$P_{L\max} = \frac{1}{2}V_{P\max}I_{P\max} = \frac{1}{2}\left(\frac{N_S}{N_P}\right)^2 \frac{V^2{}_{P\max}}{R_L} = \frac{1}{2}\left(\frac{N_P}{N_S}\right)^2 I^2_{P\max}R_L \quad (11.37)$$

Từ đường tải một chiều DCLL, ta có biên độ áp ở ngõ ra của mỗi transistor cực đại: $V_p = V_{cc}$

$$\textit{Suy ra: } P_{L\max} = \frac{1}{2}\left(\frac{N_S}{N_P}\right)^2 \frac{V_{CC}{}^2}{R_L} \quad (11.38)$$

Trường hợp: $N_P = N_S$ thì $P_{L\max} = \frac{1}{2}\frac{V_{CC}{}^2}{R_L}$ (11.39)

Công suất trung bình của nguồn cung cấp P_S:

$$P_S = V_{CC}I_{SAV} = V_{CC}\frac{2I_P}{\pi} = \frac{2}{\Pi}V_{CC}.\left(\frac{N_S}{N_P}\right)^2 \frac{V_P}{R_L} \quad (11.40)$$

Công suất trung bình cực đại của nguồn cung cấp:

$$P_{S\max} = P_{S_{PL\max}} = V_{CC}\frac{2I_{P\max}}{\pi}$$

$$I_{P\max} = \left(\frac{N_S}{N_P}\right)I_{PL\max} = \left(\frac{N_S}{N_P}\right)\frac{V_{PL\max}}{R_L} = \left(\frac{N_S}{N_P}\right)^2 \frac{V_{CC}}{R_L}$$

Suy ra: $P_{S\max} = \frac{2}{\pi}\left(\frac{N_S}{N_P}\right)^2 \frac{V_{CC}{}^2}{R_L}$ (11.41)

Công suất tiêu tán của hai transistor:

$$2P_{C(Collector)} = 2P_{d(dissipation)} = P_S - P_L$$

Công suất tiêu tán của một transistor: $P_d = \frac{P_S - P_L}{2}$ (11.42)

Công suất tiêu tán cực đại của các transistor

$$2P_C = P_S - P_L = \frac{2}{\pi}V_{CC}\left(\frac{N_S}{N_P}\right)^2 \frac{V_P}{R_L} - \frac{1}{2}\left(\frac{N_S}{N_P}\right)^2 \frac{V_P{}^2}{R_L} = f(V_P) \quad (11.43)$$

Lấy đạo hàm, khảo sát cực trị ta suy ra công suất tiêu tán cực đại của các transistor

$$V_P = V_{CC}\frac{2}{\pi} \text{ thì } 2P_{C\max} = \frac{2}{\pi^2}\left(\frac{N_S}{N_P}\right)^2 \frac{V_{CC}{}^2}{R_L} \qquad (11.44)$$

Hiệu suất của mạch: $\eta = \dfrac{P_L}{P_S} = \dfrac{\dfrac{1}{2}\left(\dfrac{N_S}{N_P}\right)^2 \dfrac{V_P{}^2}{R_L}}{\dfrac{2}{\pi}V_{CC}\left(\dfrac{N_S}{N_P}\right)^2 \dfrac{V_P}{R_L}} = \dfrac{\pi}{4}\dfrac{V_P}{V_{CC}}$ (11.45)

Hiệu suất cực đại khi P_{Lmax}, tương đương $V_{pmax} = V_{cc}$

$$\eta_{\max} = \frac{P_{L\max}}{P_{S\max}} = \frac{\pi}{4} = 78.5\% \qquad (11.46)$$

c. Bài tập ứng dụng

Với mạch KĐ công suất lớp B tạo ra điện áp 20V đỉnh cho 1 tải có giá trị 16Ω và nguồn cung cấp $V_{CC} = 30V$,

1. Hãy xác định công suất ngõ vào, công suất ngõ ra và hiệu suất của mạch.
2. Hãy xác định công suất cực đại ngõ vào, công suất cực đại ngõ ra, hiệu suất cực đại của mạch và công suất tiêu tán cực đại trên transistor.

Bài giải:

1. Với điện áp tín hiệu ra 20V đỉnh cung cấp cho tải 16Ω sẽ tạo ra dòng có giá trị:

$$I_L(p) = \frac{V_L(p)}{R_L} = \frac{20V}{16\Omega} = 1.25A$$

Giá trị dòng điện DC của nguồn cung cấp:

$$I_{SAV} = \frac{2}{\pi}I_L(p) = \frac{2}{\pi} \times 1.25A = 0.796A$$

Tính công suất vào: $P_S(dc) = V_{CC}I_{SAV} = 30V \times 0.796A = 23.9W$

Tính công suất ngõ ra: $P_L(ac) = \frac{V_L^2(p)}{2R_L} = \frac{(20V)^2}{2 \times 16\Omega} = 12.5W$

Hiệu suất của mạch:

$$\%\eta = \frac{P_L(ac)}{P_S(dc)} \times 100\% = \frac{12.5W}{23.9W} \times 100\% = 52.3\%$$

2. Công suất cực đại ngõ ra: $P_L(ac) = \frac{V_{CC}^2}{2R_L} = \frac{(30V)^2}{2 \times 16\Omega} = 28.125W$

Tính công suất cực đại ngõ vào:

$$P_S(dc) = \frac{2V_{CC}^2}{\pi R_L} = \frac{2(30V)^2}{\pi \times 16\Omega} = 35.81W$$

Hiệu suất cực đại của mạch:

$$\eta\% = \frac{P_L(ac)}{P_S(dc)} \times 100\% = \frac{28.125W}{35.81W} \times 100\% = 78.54\%$$

Công suất tiêu tán cực đại của mỗi transistor là

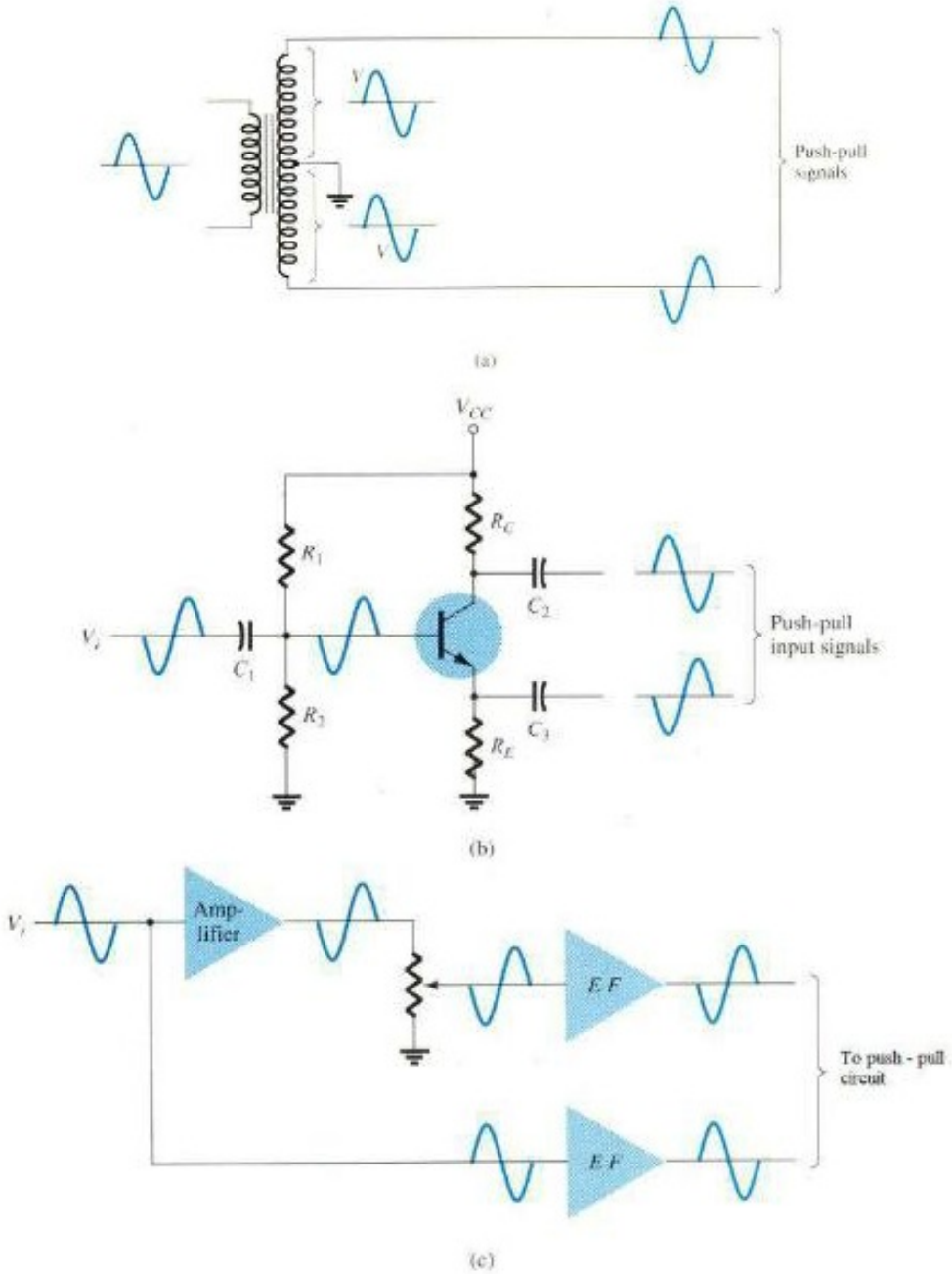
$$P_{d\max} = \frac{2P_{d\max}}{2} = 0.5\left(\frac{2V_{CC}^2}{\pi^2 R_L}\right) = \frac{2(30V)^2}{\pi^2 \times 16\Omega} = 5.7W$$

Ở điều kiện cực đại, cặp transistor tiêu thụ 5.7W thì có thể cung cấp cho tải 28.125W cho tải 16Ω và tiêu thụ nguồn cung cấp là 35.81W.

11.4.3 Mạch đảo pha tín hiệu

Trong mạch KĐ công suất đẩy kéo, do hai transistor phải dẫn luân phiên nhau trong một chu kỳ của tín hiệu, mỗi transistor dẫn trong một bán kì vì vậy phải sử dụng thêm một mạch đảo pha để đảo pha tín hiệu trước khi cung cấp tín hiệu cho mạch KĐ công suất đẩy kéo.

Các dạng mạch đảo pha thường được sử dụng trong hình 11.23.

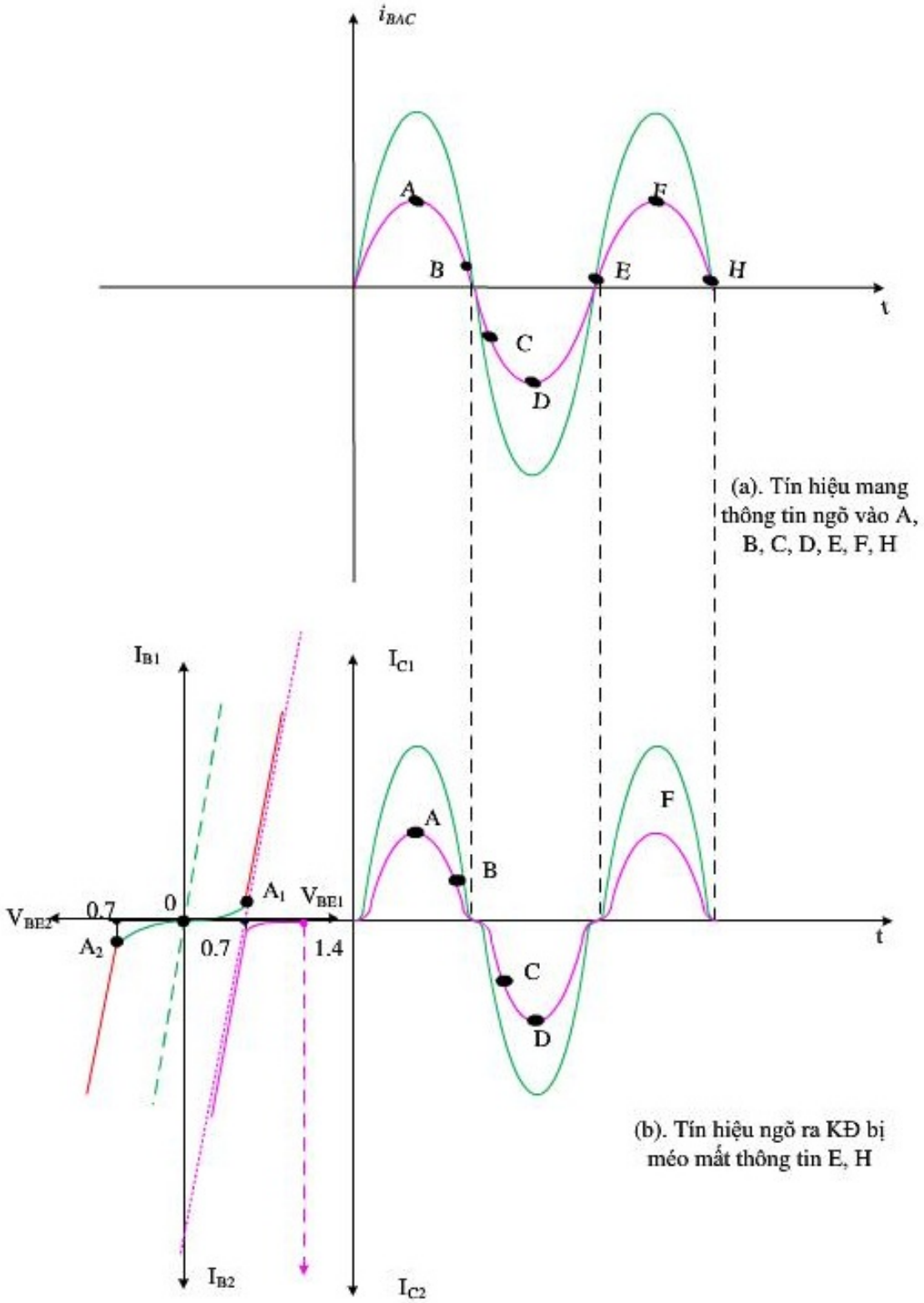


Hình 11.23. *Các dạng mạch đảo pha*

11.4.4 Hiện tượng méo xuyên tâm trong mạch khuếch đại công suất đẩy kéo chế độ B

Mặc dù mạch KĐ công suất chế độ B cho hiệu suất cao hơn nhiều mạch KĐ công suất chế độ A nhưng tín hiệu ra bị méo, đặc biệt khi mức tín hiệu vào nhỏ tín hiệu ra sẽ bị méo xuyên tâm (crossover distortion) như hình 11.24. Hiện tượng méo xuyên tâm này do đặc tuyến ngõ vào I_{B1} và I_{B2} có vùng phi tuyến với giá trị điện áp từ 0 đến 0.7V. Để khắc phục hiện tượng méo này người ta thường mắc vào cực V_{BE} của hai transistor các Diode để dời dòng vào sang 1.4V như đặc tuyến I_{B1} và I_{B2} trong hình 11.24.

Vì vậy mạch KĐ công suất chế độ B chỉ được sử dụng trong những mạch KĐ công suất không cần các thông tin ở vùng kế cận tâm . Trên hình 11.24 biểu diễn méo xuyên tâm tức là mất tín hiệu vào điểm E , H khi mạch KĐ ở chế độ AB.



Hình 11.24. *Méo xuyên tâm tín hiệu ngõ ra và khắc phục méo.*

11.4.5 Ưu và nhược điểm của mạch khuếch đại lớp B

➢ ***Ưu điểm:***

Do mỗi transistor làm việc ở một bán kỳ tín hiệu vào nên mạch có thể hoạt động với tín hiệu có biên độ lớn, công suất trên tải của mạch lớn.

Về DC: các biến áp T_1, T_2 cách ly nên các transistor Q_1, Q_2 không được phân cực DC trước, do đó tổn hao DC không đáng kể, hiệu suất cao.

➢ ***Nhược điểm:***

- Méo xuyên tâm do ngưỡng dẫn của transistor có thể khác nhau.
- Biến áp cồng kềnh, giá thành cao.
- Để tín hiệu ngõ ra không méo thì các biến áp trong mạch phải có cuộn sơ cấp (T2) và thứ cấp (T1) đối xứng.
- Méo tín hiệu ở cuộn thứ cấp biến áp khi tín hiệu vào cuộn sơ cấp lớn do hiện tượng từ trễ.

11.4.6 Bài tập ứng dụng

Bài 1: Một mạch khuếch đại công suất âm tần lớp B transistor ghép biến đẩy kéo dùng biến áp có dòng collector đỉnh và điện áp ở ngõ ra mỗi transistor là 4 (A) và 12 (V). Nguồn cung cấp 24 (V), tỷ số biến áp N_p:N_s = 1:1. Giả sử bỏ qua các tổn hao dây quấn của các biến áp. Hãy tìm:

1. Công suất trung bình phân phối trên tải.
2. Công suất trung bình được cung cấp từ nguồn DC.
3. Công suất tiêu tán trên mỗi transistor.
4. Hiệu suất của mạch trong trường hợp này.
5. Giả sử tải 8(Ω), tính công suất cực đại phân phối trên tải.

***Giải*:**

Theo đề bài: $V_p = 12(V)$, $I_p = 4(A)$, $N_p/N_s = 1$

1. Công suất trung bình phân phối trên tải: $P_L = 0.5V_pI_p = 24$ (W)
2. Công suất trung bình được cung cấp từ nguồn DC:

   $P_S = V_{CC}I_{SAV} = V_{CC}(0.636I_P) = 61.115$ (W)
3. Công suất tiêu tán trên mỗi transistor:

   $2P_d = P_S - P_L = 37.115$ (W)

1 transistor: $P_d = 18.5575$ (W)

4. Hiệu suất của mạch:

   $\eta = P_L/P_S = 39.27\%$

5. Công suất cực đại phân phối trên tải nếu $R_L = 8$ (Ω)

   $P_{Lmax} = 0.5(V_{CC}V_{CC})/R_L = 36$ (W)

Bài 2:

Hãy tính hiệu suất của mạch kđ lớp B sử dụng nguồn cung cấp $V_{CC} = 24V$ với tín hiệu điện áp đỉnh ở ngõ ra trong trường hợp $V(p) = 22V$

***Giải*:**

Áp dụng công thức:

$$\%\eta = \frac{P_L(ac)}{P_S(dc)} \times 100\% == 78.54\frac{22V}{24V}\% = 72\%$$

11.5. MẠCH KHUẾCH ĐẠI CÔNG SUẤT CHẾ ĐỘ AB

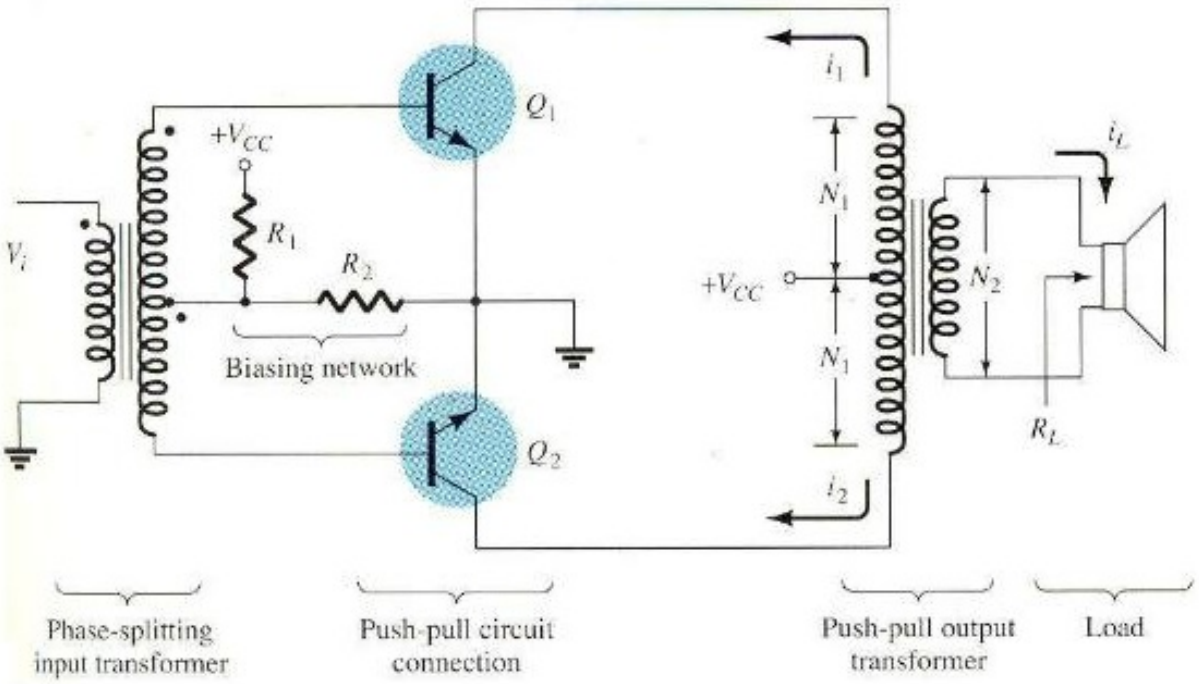
11.5.1 Giới thiệu

Mạch KĐ công suất chế độ AB là mạch KĐ được kết hợp những ưu điểm của mạch KĐ công suất chế độ B và A. Mạch có hiệu suất cao của mạch chế độ B kết hợp tín hiệu ra ít méo của chế độ A.

Mạch KĐ công suất chế độ AB cũng giống mạch KĐ công suất chế độ B chỉ khác là hai transistor của mạch KĐ công suất chế độ AB được phân cực trước có điểm làm việc nằm trong vùng KĐ gần vùng tắt, mỗi transistor được phân cực DC đủ lớn V_{BE} hoặc V_{EB} (0.7V), để khi có tín hiệu xoay chiều ngõ vào thì transistor sẽ dẫn ngay để bảo đảm tín hiệu ra không bị hiện tượng méo xuyên tâm, đồng thời đạt hiệu suất cao.

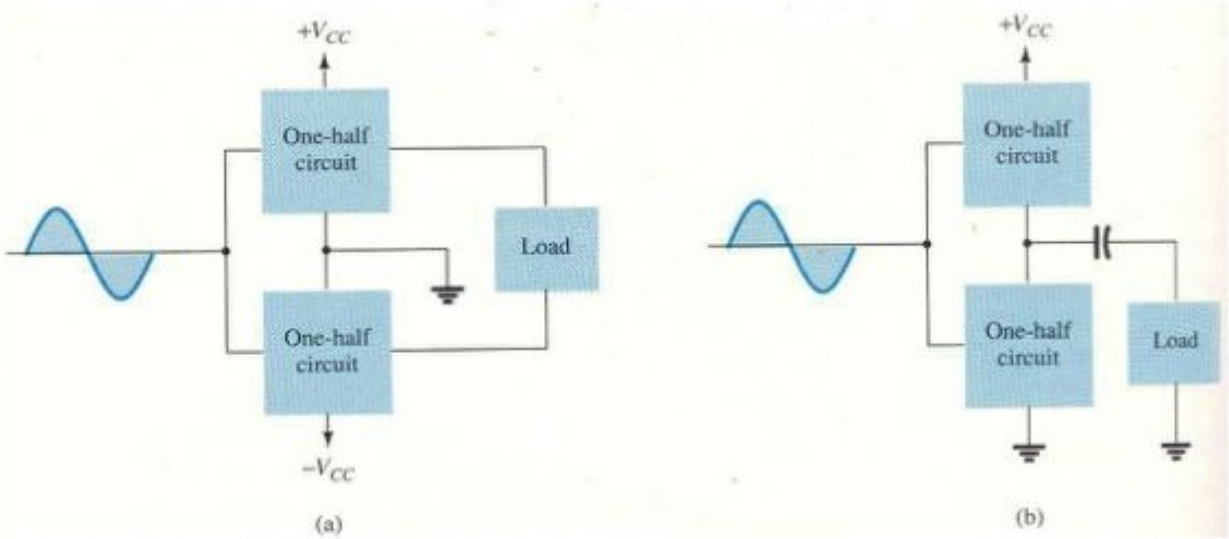
Mạch KĐ đẩy kéo hình 11.25 giống như mạch KĐ đẩy kéo hình 11.21, chỉ khác ở mạch KĐ đẩy kéo hình 11.25 hai điện trở R_1 và R_2 phân cực cho hai transistor Q_1 và Q_2 nằm trong vùng KĐ, vì vậy hai transistor này hoạt động ở chế độ AB.

Do hạn chế của mạch khuếch đại công suất âm tần dùng biến áp xuất âm ở ngõ ra, nên để tránh các hạn chế đó thì ta không dùng biến áp trong các mạch khuếch đại công suất âm tần nữa.



Hình 11.25. *Mạch khuếch đại đẩy kéo công suất chế độ AB.*

Trong mạch KĐ công suất đẩy kéo, do mỗi transistor dẫn trong một bán kì nên phải sử dụng một tầng đảo pha, để giảm bớt tầng này, người ta sử dụng hai transistor bổ phụ (là hai transistor có cùng thông số đặc tính nhưng khác loại) và để tránh các hạn chế của các biến áp xuất âm ở ngõ ra, người ta thay thế dùng nguồn đôi (OCL) hình 11.26a, hay dùng nguồn đơn nhưng có thêm tụ xuất âm ở ngõ ra (OTL) hình 11.26b.

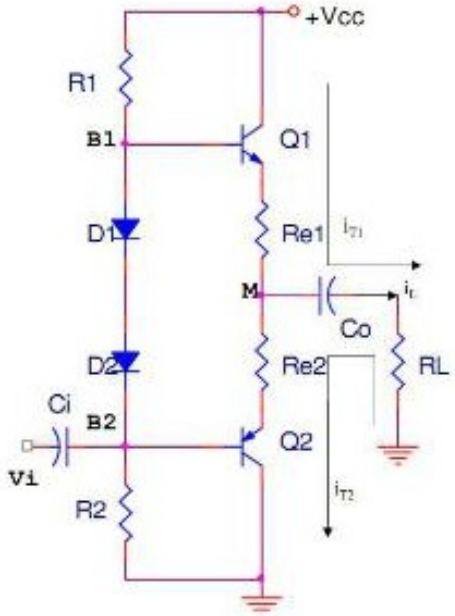


Hình 11.26. *Sơ đồ mạch khuếch đại đẩy kéo a. dùng hai nguồn cung cấp (OCL);*
b. dùng một nguồn cung cấp (OTL).

11.5.2 OTL (Output Transformer Less)

a. Giới thiệu mạch OTL

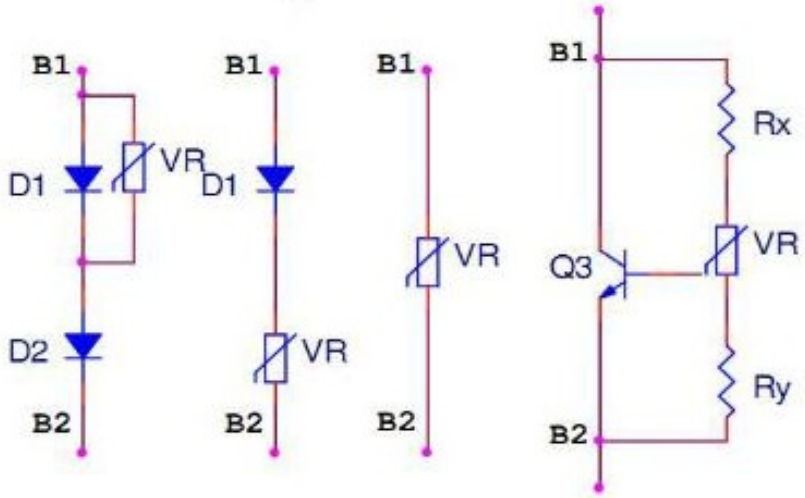
Xét mạch OTL như hình 11.27a:



Hình 11.27.a. Mạch OTL

- Điện trở R_1, R_2, diode D_1, D_2 tạo phân cực trước cho Q_1 và Q_2.
- Các điện trở R_{e1}, R_{e2} là các điện trở ổn định nhiệt cho Q_1 và Q_2.
- Tụ điện C_o cách ly DC tải với ngõ ra công suất (M) và đóng vai trò nguồn cung cấp cho Q_2 hoạt động ở bán kỳ âm của V_i nên gọi là tụ xuất âm.

➢ **Các dạng khác tại B1 và B2:**



Hình 11.27.b. Các dạng mạch khác tại B1 và B2

b. Nguyên lý hoạt động của mạch

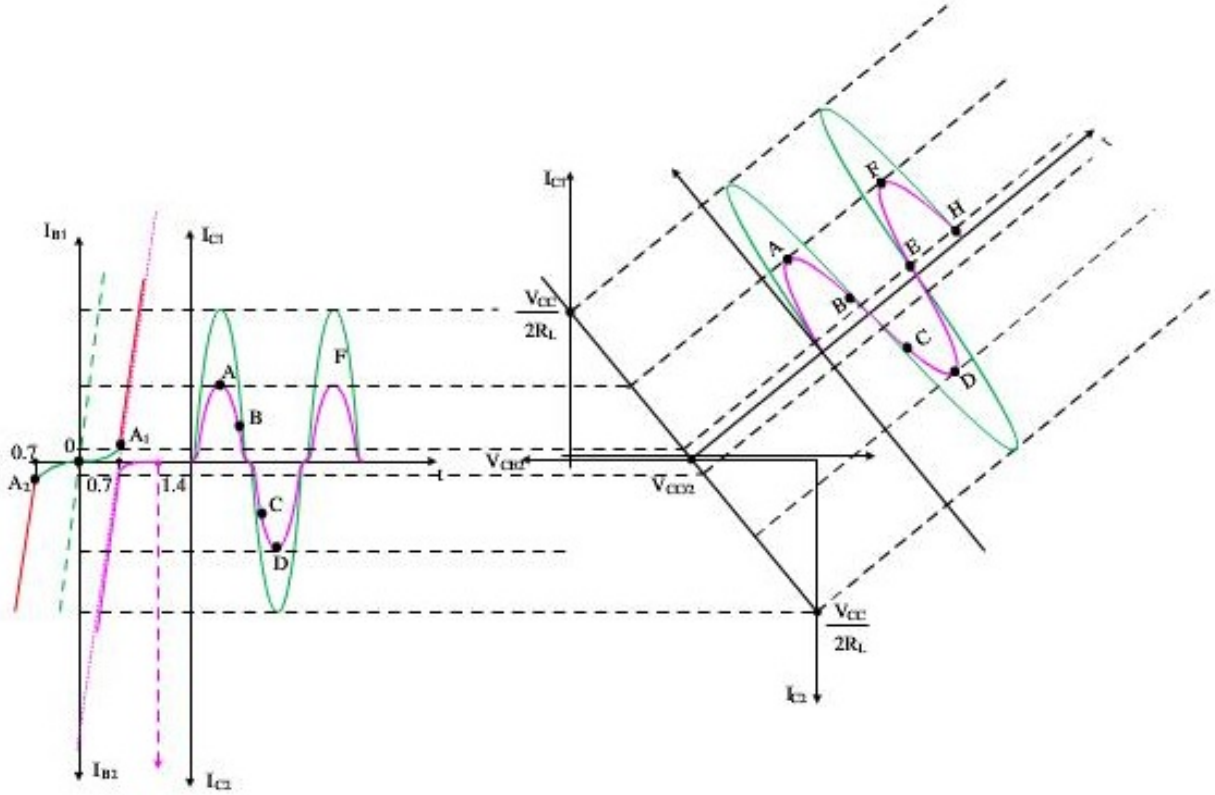
Ở bán kỳ dương của V_i, ta có transistor Q_1 dẫn, Q_2 không dẫn. Vì vậy, tồn tại dòng điện i_{T1}, dòng điện i_{T2} bằng không. Ở bán kỳ âm của V_i, ta có transistor Q_1 không dẫn, Q_2 dẫn. Vì vậy, tồn tại dòng điện i_{T2}, dòng điện i_{T1} bằng không.

Do đó, theo chiều dòng điện trên mạch ta có:

Dòng trên tải: $i_L = i_{T1} - i_{T2}$

Dòng của nguồn cung cấp: $i_s = i_{T1}$

Để dòng tải không méo, $I_{p1} = I_{p2} = I_p$, hoạt động của hai transistor phải đối xứng, $R_1 = R_2$, $R_{e1} = R_{e2}$, điện thế điểm giữa $V_M = Vcc/2$.



Hình 11.28. *Giản đồ các tín hiệu dòng và áp ngõ vào và ra theo thời gian*

Nhìn trên giản đồ của dòng I_S ta có công thức tính dòng điện trung bình của nguồn như sau:

$$I_{SAV} = \frac{1}{\pi}\int_0^{T/2} I_P \sin(wt)dt = \frac{I_P}{\pi} \qquad (11.47)$$

Công suất trung bình phân phối trên tải P_L:

$$P_L = \frac{1}{2} V_{PL} I_{PL} = \frac{1}{2} \frac{V^2{}_{PL}}{R_L} = \frac{1}{2} I_{PL}^2 R_L \qquad (11.48)$$

Với

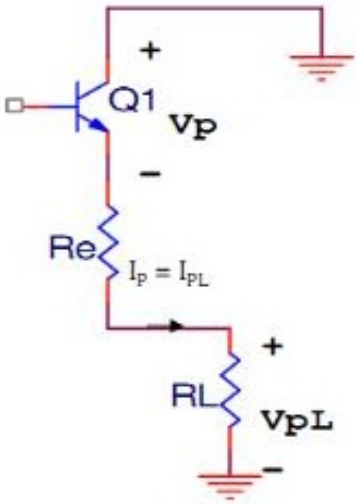
V_{PL}, I_{PL} là biên độ điện áp đỉnh và biên độ dòng đỉnh của tải

V_P, I_P là biên độ điện áp đỉnh và biên độ dòng đỉnh không méo ở ngõ ra của các transistor.

Xét Q_1 dẫn ta có:

$$\begin{cases} V_{PL} = \dfrac{R_L}{R_e + R_L} V_P \\ I_{PL} = I_P = \dfrac{V_P}{R_e + R_L} \end{cases}$$

$$P_L = \frac{1}{2} \left(\frac{R_L}{R_e + R_L} \right)^2 \frac{V_P^2}{R_L} \qquad (11.49)$$



Hình 11.29. *Xét transistor Q1 ở chế độ dẫn AC*

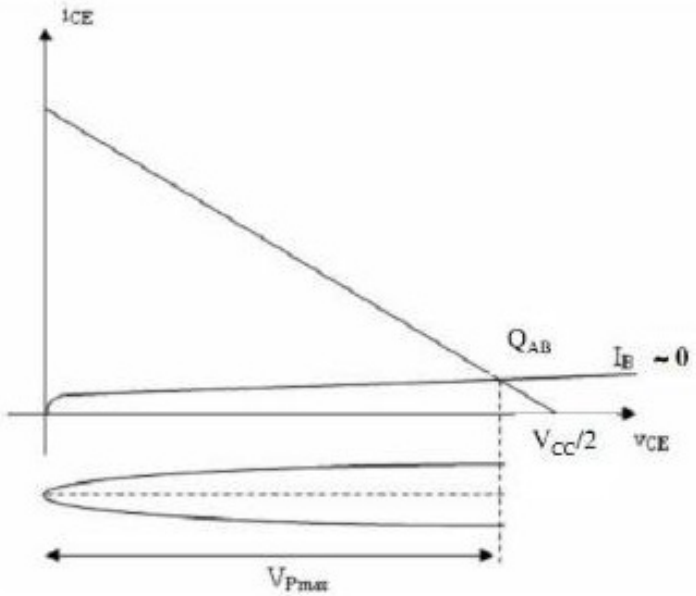
Xét đường tải DCLL: $V_{P\max} = \dfrac{V_{CC}}{2}$

Công suất trung bình phân phối trên tải cực đại khi $V_p = V_{pmax}$

$$P_{L\max} = \frac{1}{8} \left(\frac{R_L}{R_e + R_L} \right)^2 \frac{V_{CC}^2}{R_L} \qquad (11.49)$$

Nếu chọn $R_e << R_L$ (thường chọn $R_e = 0.1R_L$) thì

$$P_{L\max} = \frac{1}{8}\frac{V_{CC}^2}{R_L} \qquad (11.50)$$



Hình 11.30. *Đặc tuyến dòng và áp ngõ ra của mỗi transistor.*

Công suất trung bình của nguồn cung cấp P_S:

$$P_S = V_{CC} I_{SAV} = V_{CC}\frac{I_p}{\pi} \qquad (11.51)$$

Công suất trung bình cực đại của nguồn cung cấp P_{Smax} khi tải tiêu thụ công suất cực đại P_{Lmax}.

$$P_{S\max} = P_{S_{PL\max}} = V_{CC}\frac{I_{p\max}}{\pi}$$

$$I_{P\max} = \frac{V_{P\max}}{R_e + R_L} = \frac{V_{CC}}{2(R_e + R_L)}$$

$$P_{S\max} = P_{S_{PL\max}} = \frac{V_{CC}^{\ 2}}{2\pi(R_e + R_L)} \qquad (11.52)$$

Công suất tiêu tán của hai transistor:

$$2P_C = 2P_{d(dissipation)} = P_S - P_L \qquad (11.53)$$

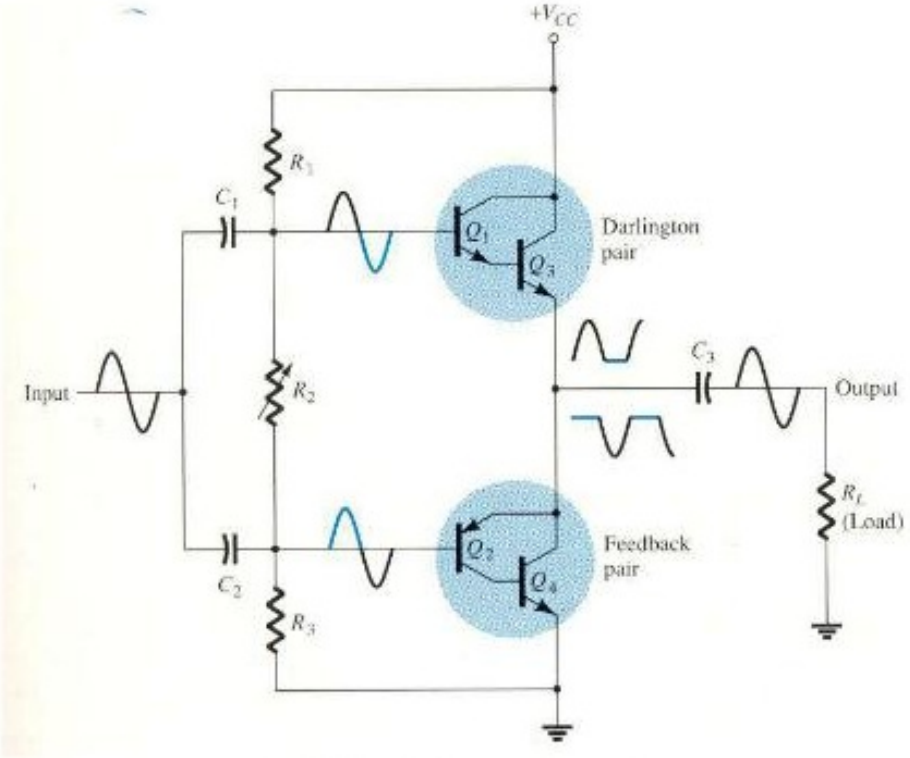
Hiệu suất của mạch:

$$\eta = \frac{P_L}{P_S} = \frac{\frac{1}{2}\left(\frac{R_L}{R_e + R_L}\right)^2 \frac{V_P{}^2}{R_L}}{\frac{1}{\pi} V_{CC} \frac{V_P}{(R_e + R_L)}} = \frac{\pi}{2}\left(\frac{R_L}{R_e + R_L}\right)\frac{V_P}{V_{CC}} \qquad (11.54)$$

Hiệu suất cực đại khi P_{Lmax} và P_{Smax}, tương đương $V_{Pmax} = V_{CC}/2$

$$\eta_{max} = \frac{P_{L\max}}{P_{S\max}} = \frac{\pi}{4}\left(\frac{R_L}{R_e + R_L}\right) < \eta_B \qquad (11.55)$$

Đề nâng cao dòng tải người ta dùng transistor mắc Darlington như hình 11.31.



Hình 11.31. *Mạch OTL.*

Trong đó, biến trở R_2 được chỉnh sao cho tín hiệu ra bị méo thấp nhất.

c. Ưu điểm và nhược điểm của mạch khuếch đại OTL:

➢ ***Ưu điểm:***

- Mạch không dùng biến áp nên khắc phục các nhược điểm của mạch khuếch đại công suất âm tần dùng biến áp.
- Tín hiệu ra không méo xuyên tâm.
- Hiệu suất cao.

➢ ***Nhược điểm:***

– Mạch dùng tụ xuất âm nên làm suy hao tín hiệu.

– Do suy hao của tụ không đồng đều theo tần số nên dùng tụ xuất âm sẽ hạn chế những tín hiệu có tần số thấp do đó mạch hạn chế tín hiệu siêu trầm.

– Tần số cắt thấp của mạch: $f_C = \dfrac{1}{2\pi(R_e + R_L)C_o}$ (11.56)

d. Bài tập ứng dụng

Cho mạch khuếch đại công suất âm tần dạng OTL như hình 11.27 có nguồn cung cấp 20V, các điện trở $R_1 = R_2 = 10k\Omega$, $R_{e1} = R_{e2} = 1\Omega$, $R_L = 8\Omega$. Diode dùng loại Si. Tụ $C_o = 500\mu F$. Gỉa sử mạch được thiết kế đối xứng Hãy tìm:

1. Các dòng điện qua các điện trở R_1, R_2.
2. Các điện thế tại các nút B_1, B_2.
3. Các biên độ áp đỉnh ngõ ra của mỗi transistor là 8V, hãy tính công suất trung bình phân phối trên tải trong trường hợp này.
4. Công suất trung bình của nguồn cung cấp ở câu 3.
5. Hiệu suất ở câu 3.
6. Công suất trung bình cực đại phân phối trên tải.
7. Nếu V_i có giá trị 5 (Vrms), tính công suất trung bình phân phối trên tải.
8. Tần số cắt thấp của mạch.

Bài giải:

1. Về DC, các transistor được phân cực điện áp B-E đủ lớn nên ta có thể xem $I_{B1}, I_{B2} << I_{R1}, I_{R2}, I_{D1}, I_{D2}$; $I_{R1} = I_{R2} = I_{D1} = I_{D2}$.;

$$I_{R1} = I_{R2} = \frac{V_{CC} - 2V_\gamma}{R_1 + R_2} = 0.93(mA)$$

2. Các điện thế tại các điểm B_1, B_2:

$$V_{B2} = R_2 I_{R2} = 9.3\ (V);\ V_{B1} = V_{B2} + 2V\gamma = 10.7\ (V)$$

3. Cho $V_P = 8V$, ta có công suất trung bình trên tải:

$$P_L = \frac{1}{2}\left(\frac{R_L}{R_e + R_L}\right)^2 \frac{V_P^2}{R_L} = 3.16(W)$$

4. Công suất trung bình của nguồn cung cấp:

$$P_S = V_{CC} I_{SAV} = V_{CC} \frac{I_P}{\pi} = V_{CC} \frac{V_P}{\pi(R_e + R_L)} = 5.66(W)$$

5. Hiệu suất của mạch: $\eta = \dfrac{P_L}{P_S} = 55.84\%$

6. Công suất trung bình trên tải cực đại khi $V_P = \dfrac{V_{CC}}{2} = 10(V)$

$$P_{L\max} = \frac{1}{8}\left(\frac{R_L}{R_e + R_L}\right)^2 \frac{V_{CC}^2}{R_L} = 4.94(W)$$

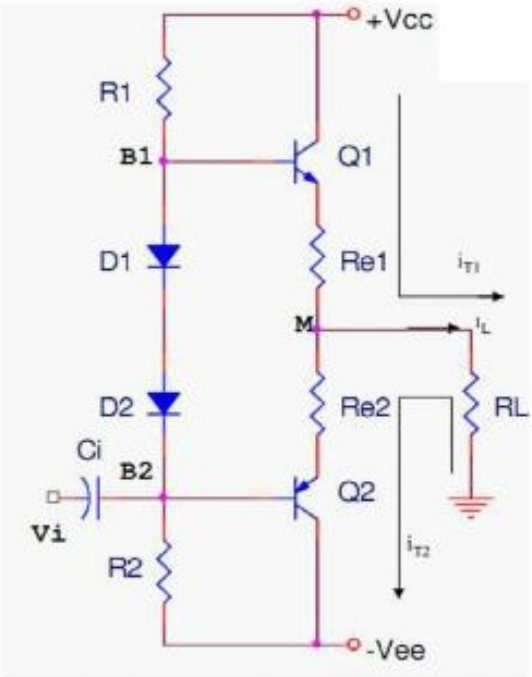
7. Công suất trung bình trên tải:

$$P_L = \frac{V^2{}_L}{R_L} = \frac{5^2}{8} = 3.125(W) \text{ (do } V_i = 5\ (V_{rms}) = V_L)$$

8. Tần số cắt thấp: $f_C = \dfrac{1}{2\pi(R_e + R_L)C_o} = 35.37(Hz)$

11.5.3 OCL (Output Capacitor - Less)

a. Giới thiệu mạch OCL



Hình 11.32. *Mạch khuếch đại đẩy kéo công suất chế độ AB (OCL).*

So sánh với mạch OTL và nguyên lý hoạt động:

Mạch OCL sử dụng:

- Nguồn đôi: $+V_{CC}/-V_{EE}$.
- Tải R_L được ghép trực tiếp với ngõ ra của tầng công suất (M).

Xét mạch OCL như ở hình 11.32

b. Nguyên lý hoạt động của mạch

Ở bán kỳ dương của V_i, ta có transistor Q_1 dẫn, Q_2 không dẫn. Vì vậy, tồn tại dòng điện i_{T1}, dòng điện i_{T2} bằng không. Ở bán kỳ âm của V_i ta có transistor Q_1 không dẫn, Q_2 dẫn. Vì vậy, tồn tại dòng điện i_{T2}, dòng điện i_{T1} bằng không.

Do đó, theo chiều dòng điện trên mạch ta có:

Dòng trên tải: $i_L = i_{T1} - i_{T2}$

Dòng của nguồn cung cấp: $i_s = i_{T1} + i_{T2}$

Để dòng tải không méo, $I_{p1} = I_{p2} = I_p$, hoạt động của hai transistor phải đối xứng, $R_1 = R_2$, $R_{e1} = R_{e2}$, $V_{CC} = V_{EE}$ (nguồn đôi đối xứng), điện thế điểm giữa $V_M = 0$.

Nhìn trên giản đồ của dòng I_S, ta có công thức tính dòng điện trung bình của nguồn như sau:

$$I_{SAV} = \frac{2}{\pi}\int_0^{T/2} I_P \sin(wt)dt = \frac{2I_P}{\pi} \qquad (11.57)$$

Công suất trung bình phân phối trên tải P_L:

$$P_L = \frac{1}{2}V_{PL}I_{PL} = \frac{1}{2}\frac{V^2{}_{PL}}{R_L} = \frac{1}{2}I_{PL}^2 R_L \qquad (11.58)$$

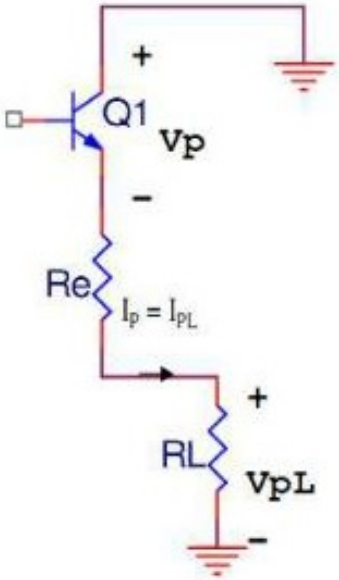
Với V_{PL}, I_{PL} là biên độ điện áp đỉnh và biên độ dòng đỉnh của tải

V_P, I_P là biên độ điện áp đỉnh và biên độ dòng đỉnh không méo ở ngõ ra của các transistor.

Xét Q_1 ở trạng thái dẫn ta có:

$$\begin{cases} V_{PL} = \dfrac{R_L}{R_e + R_L}V_P \\ I_{PL} = I_P = \dfrac{V_P}{R_e + R_L} \end{cases}$$

$$P_L = \frac{1}{2}\left(\frac{R_L}{R_e + R_L}\right)^2 \frac{V_P^2}{R_L} \qquad (11.59)$$



Hình 11.33. *Xét transistor Q1 ở chế độ dẫn AC*

Xét đường tải DCLL: $V_{Pmax} = V_{CC}$

Công suất trung bình phân phối trên tải cực đại khi $V_p = V_{pmax}$

$$P_{L\max} = \frac{1}{2}\left(\frac{R_L}{R_e + R_L}\right)^2 \frac{V_{CC}^2}{R_L}$$

Nếu chọn $R_e << R_L$ (thường chọn $R_e = 0.1R_L$) thì

$$P_{L\max} = \frac{1}{2}\frac{V_{CC}^2}{R_L} \qquad (11.60)$$

Công suất trung bình của nguồn cung cấp P_S:

$$P_S = V_{CC} I_{SAV} = V_{CC}\frac{2I_p}{\pi} \qquad (11.61)$$

Công suất trung bình cực đại của nguồn cung cấp P_{Smax}:

$$P_{S\max} = P_{S_{PL\max}} = V_{CC}\frac{2I_{p\max}}{\pi}$$

$$I_{P\max} = \frac{V_{P\max}}{R_e + R_L} = \frac{V_{CC}}{(R_e + R_L)}$$

$$P_{S\max} = P_{S_{PL\max}} = \frac{2V_{CC}^{\ 2}}{\pi(R_e + R_L)} \qquad (11.62)$$

Công suất tiêu tán của hai transistor:

$$2P_C = 2P_{d(dissipation)} = P_S - P_L \qquad (11.63)$$

Hiệu suất của mạch:

$$\eta = \frac{P_L}{P_S} = \frac{\frac{1}{2}\left(\frac{R_L}{R_e + R_L}\right)^2 \frac{V_P^{\ 2}}{R_L}}{\frac{2}{\pi}V_{CC}\frac{V_P}{(R_e + R_L)}} = \frac{\pi}{4}\left(\frac{R_L}{R_e + R_L}\right)\frac{V_P}{V_{CC}} \qquad (11.64)$$

Hiệu suất cực đại khi P_{Lmax} và P_{Smax}, tương đương $V_{Pmax} = V_{CC}$

$$\eta_{\max} = \frac{P_{L\max}}{P_{S\max}} = \frac{\pi}{4}\left(\frac{R_L}{R_e + R_L}\right) < \eta_B \qquad (11.65)$$

c. Ưu và nhược điểm của mạch khuếch đại OCL

➢ ***Ưu điểm:***

- Mạch không dùng tụ xuất âm nên băng thông của mạch được mở rộng ở tần số thấp, tiếng sẽ ấm hơn, khắc phục nhược điểm của OTL.
- Tín hiệu ra không méo xuyên tâm.
- Hiệu suất cao.

➢ ***Nhược điểm:***

- Mạch khó thiết kế.
- Mạch sử dụng nguồn đôi.
- Do tải ghép trực tiếp nên phải có mạch bảo vệ quá công suất, mạch bảo vệ lệch điểm 0V, mạch đóng chậm tải.

d. Bài tập ứng dụng

Cho mạch điện như hình 11.34, hãy tính công suất ngõ vào, công suất ngõ ra, công suất tiêu thụ của hai transistor và hiệu suất của mạch với tín hiệu vào có giá trị là 12V rms.

Bài giải:

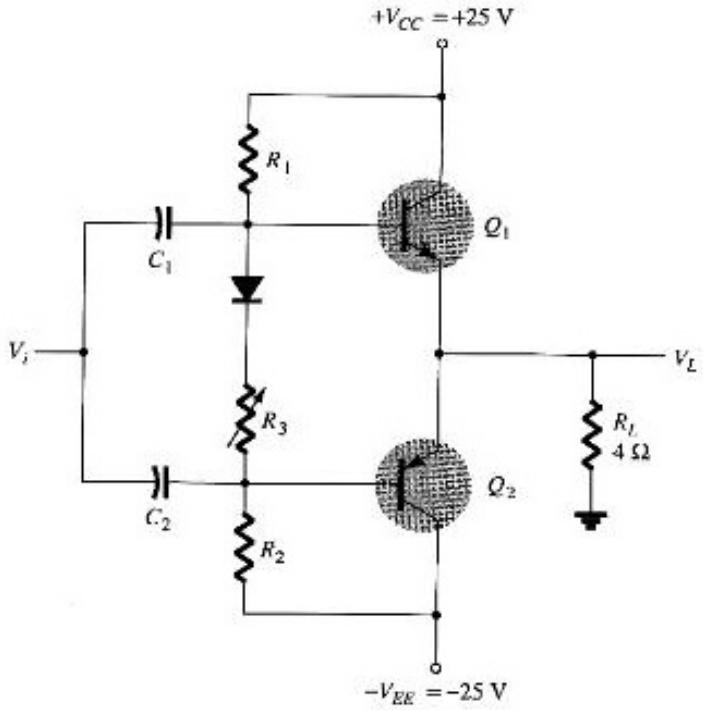
Trường hợp này so với mạch OCL lý thuyết thì $R_{e1} = R_{e2} = 0\Omega$

Điện áp đỉnh của tín hiệu ngõ vào là

$$V_i(p) = \sqrt{2}V_i(rms) = \sqrt{2} \times 12V = 16.69V \cong 17V$$

Ở trường hợp lý tưởng, điện áp cung cấp cho tải bằng điện áp nguồn cung cấp nên

$$V_{PL} = \sqrt{2}V_i(rms) = \sqrt{2} \times 12V = 16.69V \cong 17V$$



Hình 11.34. *Sơ đồ mạch của bài ví dụ mẫu.*

Dòng điện trung bình của nguồn cung cấp

$$I_{SAV} = \frac{2I_P}{\pi} = \frac{2V_{PL}}{\pi R_L} = \frac{2 \times 17}{\pi \times 4} = 2.7(A)$$

Công suất ngõ vào của mạch:

$$P_S(dc) = V_{CC} I_{SAV} = 25 \times 2.7 = 67.5(W)$$

Công suất ngõ ra của mạch:

$$P_L(ac) = \frac{V_{PL}^2}{2R_L} = \frac{17^2}{2 \times 4} = 36.125(W)$$

Công suất tiêu thụ của hai transistor:

$$2P_C = P_S(dc) - P_L(ac) = 67.5 - 36.125 = 31.375(W)$$

Hiệu suất của mạch:

$$\eta\% = \frac{P_L(ac)}{P_S(dc)} = \frac{36.125}{67.5} x100\% = 53.5\%$$

11.5.4 Nâng công suất cho mạch khuếch đại công suất âm tần chế độ AB

Chúng ta có công suất trung bình phân phối trên tải phụ thuộc vào các thông số V_{PL} và I_{PL}:

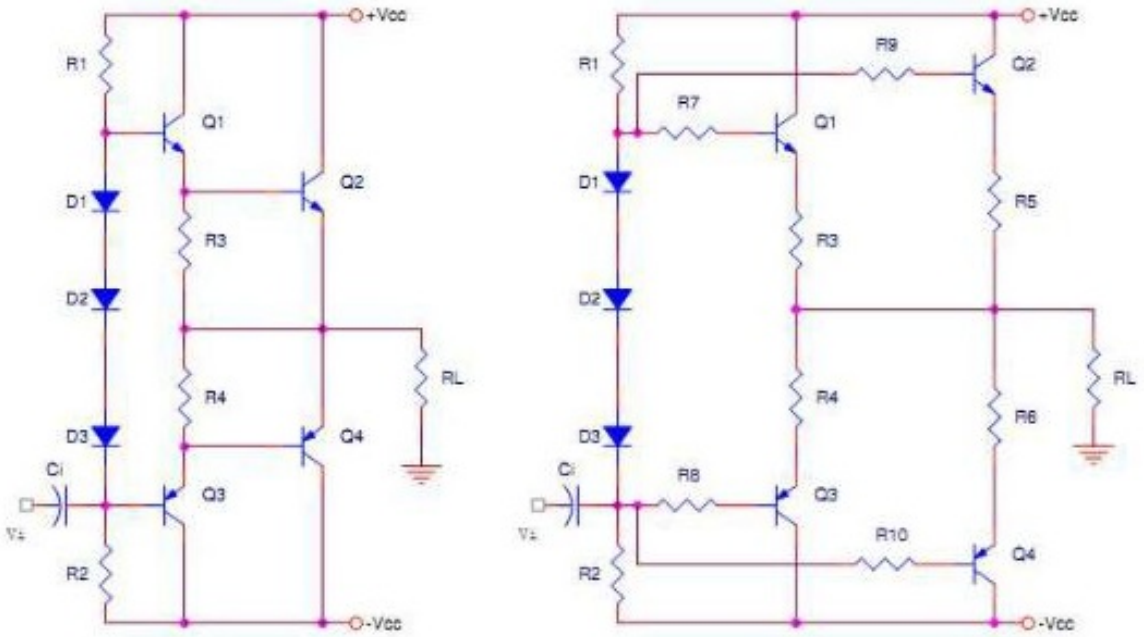
$$P_L = \frac{1}{2} V_{PL} I_{PL} = \frac{1}{2} \frac{V^2{}_{PL}}{R_L} = \frac{1}{2} I_{PL}^2 R_L$$

Do đó nâng công suất trên tải có thể dùng các cách sau:

- Nâng biên độ dòng qua tải.
- Nâng biên độ điện áp trên tải, mạch ghép transistor dạng cầu BTL (Bridge (Balanced) Transistor Lineout).
- Nâng biên độ dòng và biên độ điện áp trên tải.

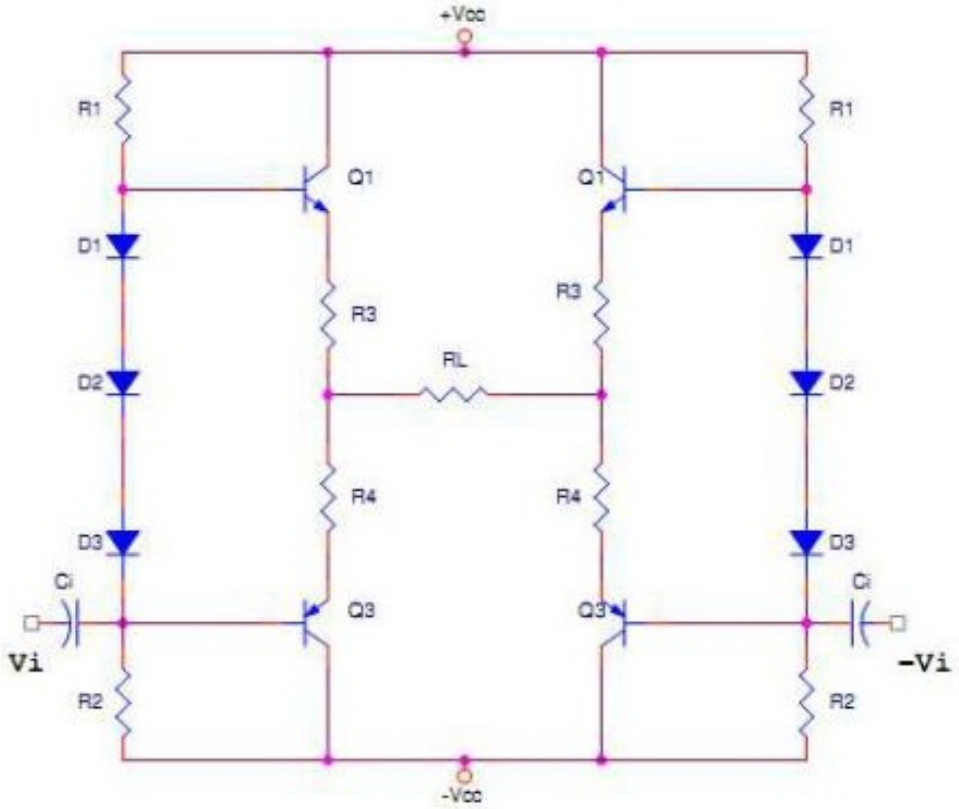
a. Phương pháp nâng biên độ dòng qua tải

- Ghép transistor dạng Darlington.
- Ghép song song transistor: thường sử dụng trên thực tế



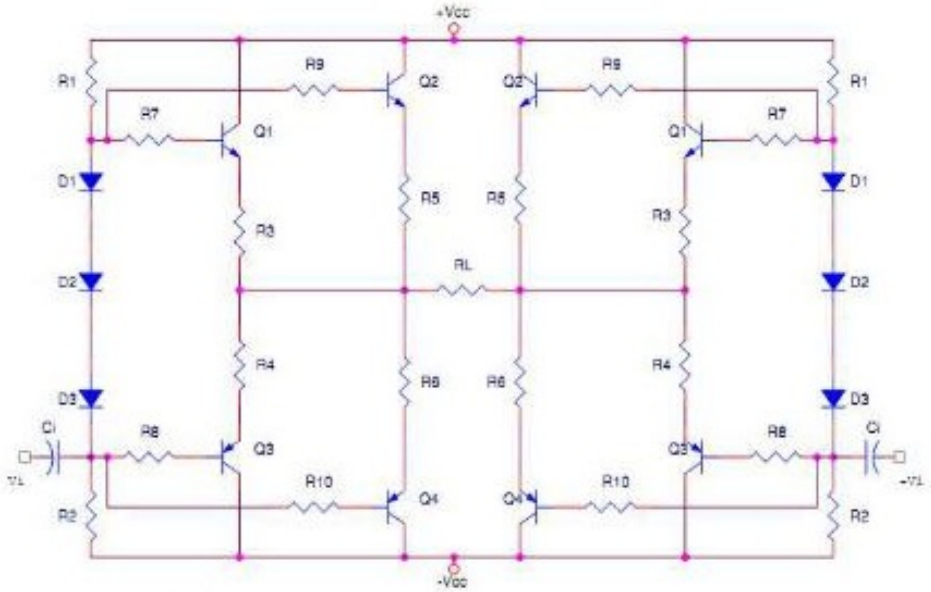
Hình 11.35. Sơ đồ nguyên lý của phương pháp nâng dòng qua tải

b. Phương pháp nâng biên độ điện áp trên tải BTL, phải dùng mạch khuếch đại đệm đảo



Hình 11.36. *Sơ đồ nguyên lý của phương pháp nâng biên độ điện áp trên tải BTL*

c. Phương pháp nâng biên độ điện áp và biên độ dòng tải , đồng thời kết hợp mạch khuếch đại đệm đảo



Hình 11.37. *Sơ đồ nguyên lý của phương pháp nâng biên độ điện áp và biên độ dòng tải.*

11.6. MÉO DO SÓNG HÀI

Tất cả các mạch KĐ có thể bị ảnh hưởng bởi tín hiệu nhiễu và chính tín hiệu này làm méo (sai lệch) tín hiệu ra so với tín hiệu vào, thông thường những mạch KĐ có công suất càng cao thì càng bị ảnh hưởng nhiễu. Tín hiệu nhiễu sinh ra trong các mạch KĐ công suất có nhiều nguyên nhân, nhưng ở đây chúng ta chỉ khảo sát sự méo tín hiệu ngõ ra do sóng hài.

Một tín hiệu sin chỉ có một tần số duy nhất. Một mạch KĐ lý tưởng có khả năng KĐ một tín hiệu sin và chỉ có một tín hiệu sin duy nhất ở ngõ ra có cùng tần số với tín hiệu ở ngõ vào và có biên độ lớn hơn.

Méo tín hiệu xảy ra do đặc tính không tuyến tính của các linh kiện trong mạch và do sự đáp ứng với các tín hiệu ngõ vào khác nhau tại những tần số khác nhau của các mạch điện và linh kiện trong mạch. Điều này xảy ra đối với tất cả các dạng mạch KĐ công suất, vì vậy nó gây ra méo tần số ở tín hiệu ra so với tín hiệu vào, trong các mạch KĐ công suất đã xét ở các phần trước sự méo tín hiệu do sóng hài ở ngõ ra chủ yếu xảy ra trong mạch KĐ công suất chế độ B và AB.

Một phương pháp để phân tích sự méo dạng này là dùng phướng pháp phân tích Fourier.

Méo do sóng hài bậc thứ n là:

$$D_n\% = \frac{A_n}{A_1} x100\% \qquad (11.66)$$

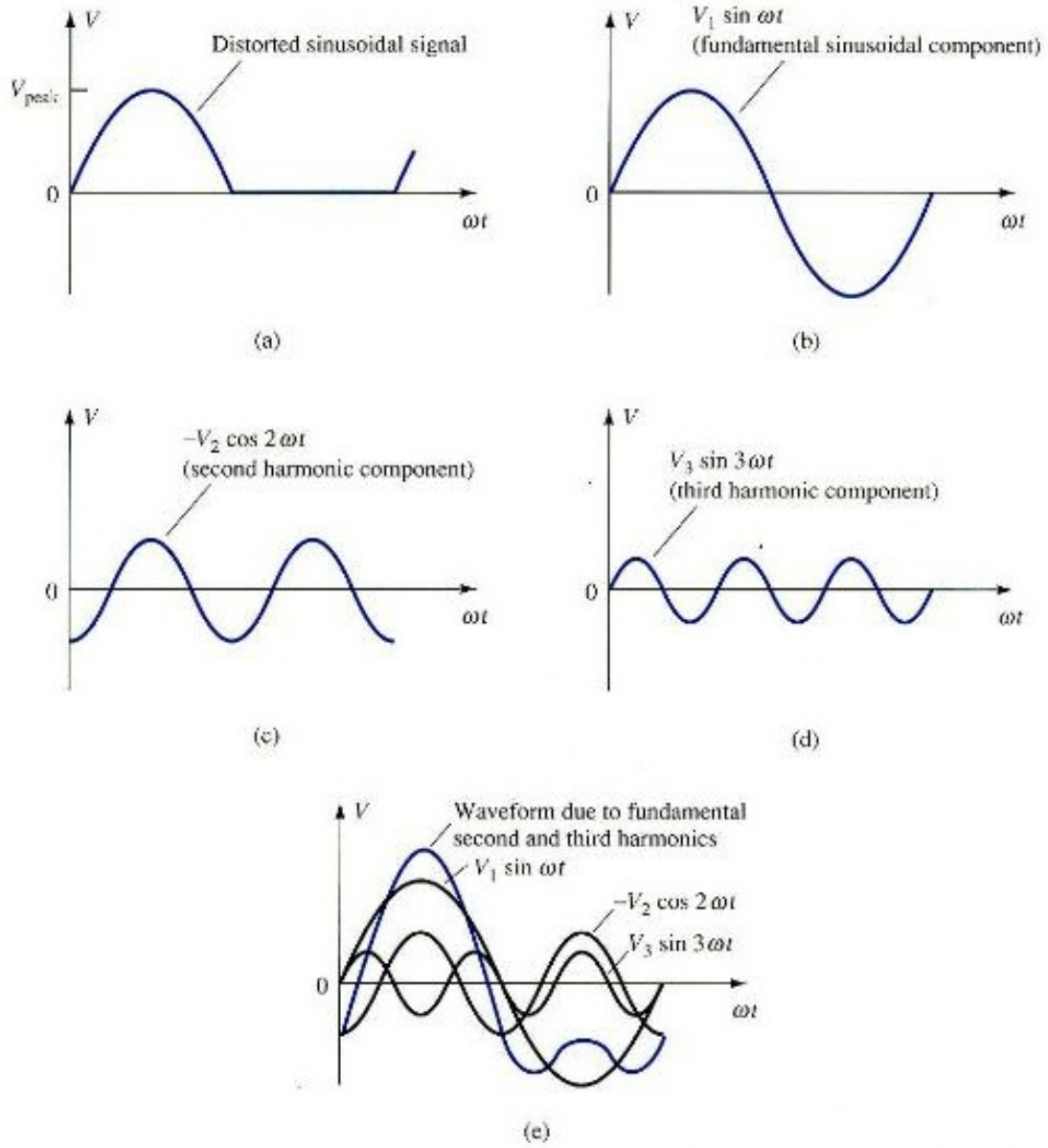
Trong đó A_1: biên độ sóng cơ bản

A_n: biên độ của sóng hài bậc n

Vậy tổng méo tín hiệu do các sóng hài gây ra là:

$$THD\% = \sqrt{D_2^2 + D_3^2 + D_4^2 + \cdots} \times 100\% \qquad (11.67)$$

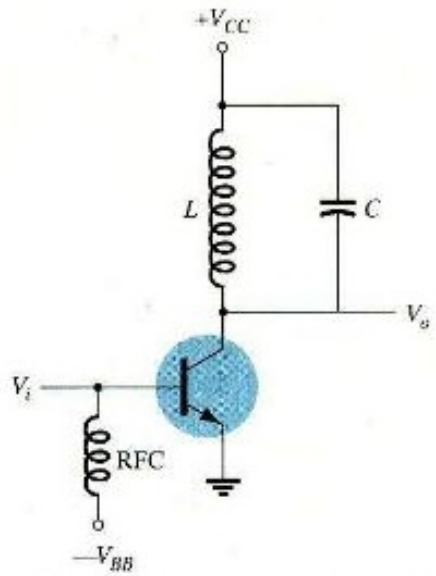
Một mạch KĐ được đánh giá tốt khi tín hiệu ra có biên độ tín hiệu sóng hài bé hơn tín hiệu gốc nhiều lần và THD% càng bé càng tốt.



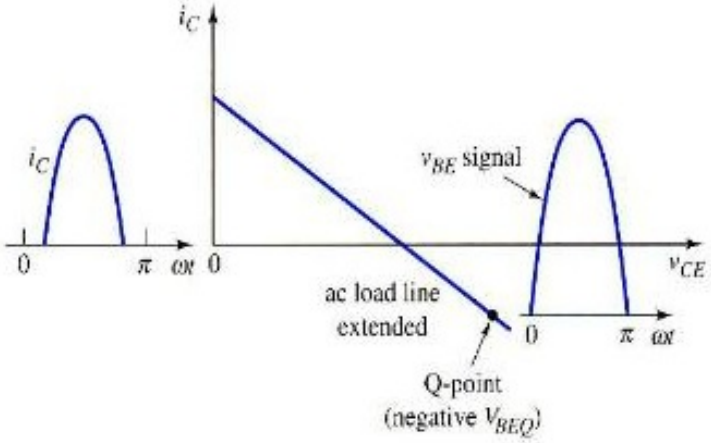
Hình 11.38. *Phân tích dạng sóng trong mạch khuếch đại công suất chế độ B.*

11.7. MẠCH KHUẾCH ĐẠI CÔNG SUẤT CHẾ ĐỘ C

Mạch KĐ công suất chế độ C không sử dụng được trong các mạch KĐ công suất âm tần mà chỉ thường được sử dụng trong truyền thông. Transistor trong mạch KĐ chế độ C có điểm làm việc nằm sâu trong vùng tắt vì vậy hiệu suất của nó cao hơn mạch KĐ chế độ B.



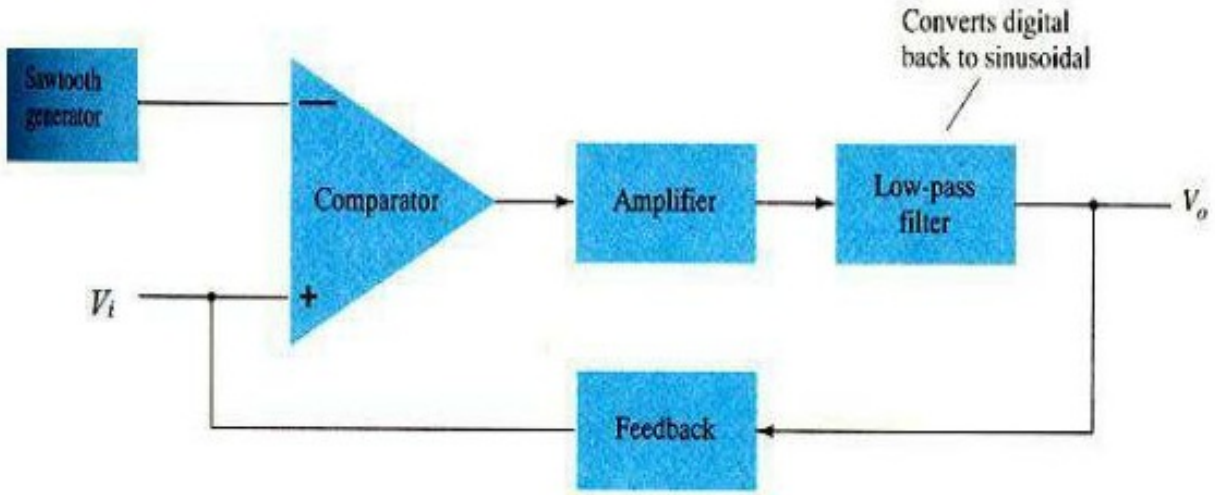
Hình 11.39. Mạch khuếch đại chế độ C



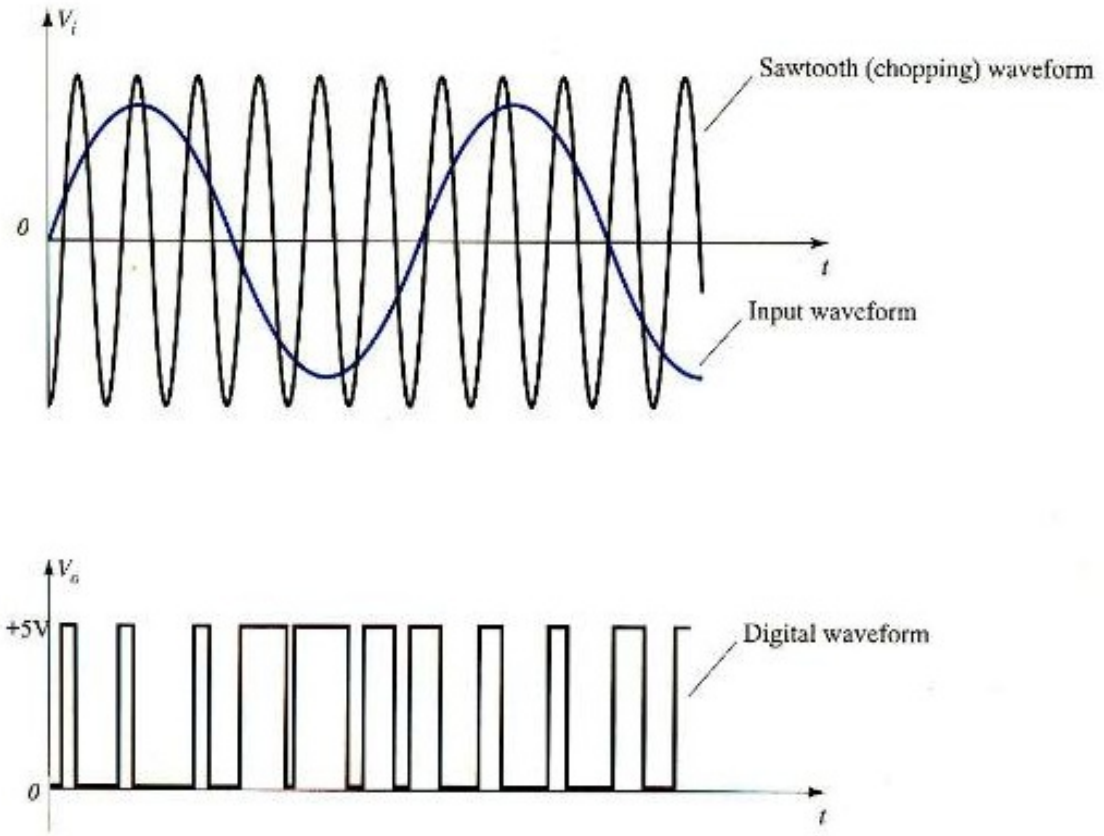
Hình 11.40. Đường tải AC của mạch khuếch đại chế độ C.

11.8. MẠCH KHUẾCH ĐẠI CÔNG SUẤT CHẾ ĐỘ D

Mạch KĐ công suất chế độ D được thiết kế để hoạt động với các tín hiệu số, hiệu suất của nó có để đạt được đến 90%.



Hình 11.41. Sơ đồ khối của mạch khuếch đại chế độ D.



Hình 11.42. *Dạng sóng vào và ra của mạch khuếch đại chế độ D.*

11.9. BÀI TẬP CHƯƠNG 11

11.9.1 Khuếch đại công suất lớp A

a. Bài tập phần mạch khuếch đại lớp A ghép trực tiếp

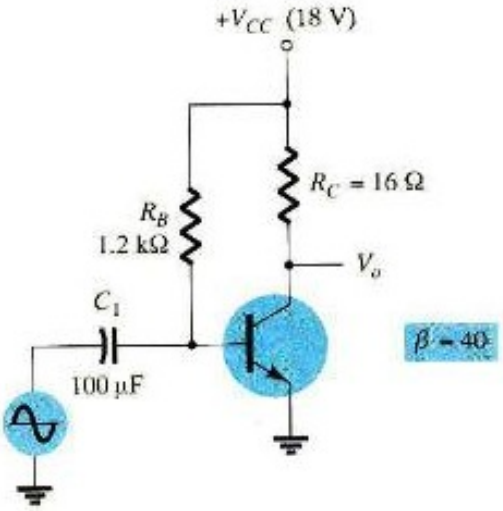
1. Hãy tính:

a. Công suất vào P_i (dc)

b. Công suất ra P_o (ac)

c. Công suất tiêu tán P_T

d. Hiệu suất % của mạch của mạch KĐ như hình BT.1 với tín hiệu ngõ vào tạo ra dòng điện tại cực B là 5mA (rms).



Hình BT.1.

2. Hãy tính công suất tiêu tán của mạch KĐ như hình BT.1 nếu điện trở RB có giá trị là 1.5kΩ. Nếu công suất tiêu tán cực đại cho phép của transistor là 1W thì giá trị cực tiểu của R_C là bao nhiêu?

3. Hãy tính công suất ra cực đại của mạch kđ như hình BT.1 nếu điện trở R_B có giá trị là 1.5kΩ.

4. Nếu mạch điện của hình BT.1 được phân cực tại điểm làm việc trung tâm của điện áp và dòng điện thì công suất ngõ vào bằng bao nhiêu để được công suất ngõ ra bằng 1.5W.

b. Bài tập phần mạch khuếch đại lớp A ghép biến áp

5. Một mạch KĐ lớp A ghép bằng biến áp theo tỉ lệ 25:1 để điều khiển tải có giá trị 4Ω. Hãy tính toán tải ac chuyển đổi.

6. Hãy tính toán tỉ số vòng dây quấn của biến áp để điều khiển tải có giá trị 8Ω để tạo ra tải ac chuyển đổi có giá trị bằng 8kΩ.

7. Một mạch KĐ lớp A ghép bằng biến áp để thúc một loa có giá trị 16Ω thông qua một biến áp có tỉ lệ 3.87:1. Mạch sử dụng nguồn cung cấp V_{cc} = 36V, mạch tạo ra công suất 2W trên tải. Hãy tính:

a. Công suất ac trên cuộn dây sơ cấp của biến áp.

b. $V_L(ac)$

c. $V(ac)$ tại cuôn sơ cấp của biến áp.

d. Giá trị dòng điện hiệu dụng trên tải và trên cuộn dây sơ cấp của biến áp.

8. Hãy tính hiệu suất của bài 8 nếu dòng điện phân cực $I_{CQ} = 150mA.$

9. Một mạch khuếch đại lớp A ghép biến áp có điện trở RE = 100Ω và RL = 4Ω, RB = 40kΩ, tụ CE = 100μF, hệ số dây quấn máy biến áp có tỉ lệ 2:1. Mạch sử dụng nguồn cung cấp V_{CC} = 20V và transistor có β = 40. Hãy tính

a. Công suất ra cực đại trên tải

b. Công suất nguồn cung cấp cho mạch.

c. Hiệu suất tối đa của mạch.

d. Công suất tiêu tán trên transistor.

10. Một mạch khuếch đại lớp A ghép biến áp được phân cực tại I_C = 0,2A. có hệ số dây quấn máy biến áp là 1.58:1 và R_L = 20Ω, nguồn cung cấp là 20V. Hãy tìm

a. Độ dốc của đường tải ac bằng bao nhiêu?

b. Đường tải ac cắt trục V_{CE} tại giá trị nào?

c. Giá trị đỉnh cực đại của điện áp collector không bị méo?

d. Công suất cực đại trên tải?

e. Hiệu suất cực đại?

11. Một transistor trong bài 11 có β = 40. Hãy tìm:

a. Giá trị dòng base cần thiết để thiết lập điểm Q mới cho phép dòng ra cực đại.

b. Giá trị R_B tương ứng cho câu a.

c. Công suất tải là bao nhiêu nếu trong điều kiện câu a.

d. Hiệu suất

11.9.2 Mạch khuếch đại lớp B

12. Hãy vẽ sơ đồ mạch KĐ công suất push pull lớp B sử dụng transistor npn ghép biến áp. Hãy vẽ sơ đồ mạch KĐ công suất push pull lớp B sử dụng transistor pnp ghép biến áp. Hãy vẽ một vòng để hiển thị chiều dòng điện đi qua cuộn sơ cấp khi dòng ngõ vào là dương và âm.

13. Dòng i_c đỉnh và điện áp V_{ce} đỉnh trong mỗi transistor của mạch khuếch đại đẩy kéo ghép biến áp dùng transistor npn kéo tải 8Ω là 4A và 12V. Hãy tìm:

a. Công suất tải

b. Công suất nguồn cung cấp tương ứng

c. Hiệu suất.

d. Biết hệ số dây quấn máy biến áp là 160:40. và V_{CC}=24V

14. Một mạch mạch khuếch đại đẩy kéo ghép biến áp dùng transistor npn kéo tải 8Ù có hệ số dây quấn máy biến áp là 160:40.Nó phải có khả năng phân bố công suất 40W trên tải theo các điều kiện công suất cực đại. Giá trị nguồn cung cấp cực tiểu có thể là bao nhiêu.

15. Một mạch KĐ lớp B cung cấp tín hiệu có biên độ đỉnh bằng 22V cho một điện trở tải có giá trị 8Ω và nguồn cung cấp V_{cc} = 25V. Hãy xác định:

a. Công suất ngõ vào.

b. Công suất ngõ ra.

c. Hiệu suất của mạch.

16. Một mạch KĐ lớp B nguồn cung cấp V_{cc} = 25V điều khiển tải có gía trị 8Ω. Hãy xác định:

a. Công suất ngõ vào cực đại.

b. Công suất ngõ ra cực đại.

c. Hiệu suất cực đại của mạch.

17. Hãy tính hiệu suất của mạch KĐ lớp B với nguồn cung cấp V_{cc} = 22V điều khiển tải có giá trị 4Ω với giá trị điện áp đỉnh ngõ ra trong hai trường hợp:

a. $V_L(p) = 20V$

b. $V_L(p) = 4V$

11.9.3 Mạch khuếch đại lớp AB (OTL, OCL)

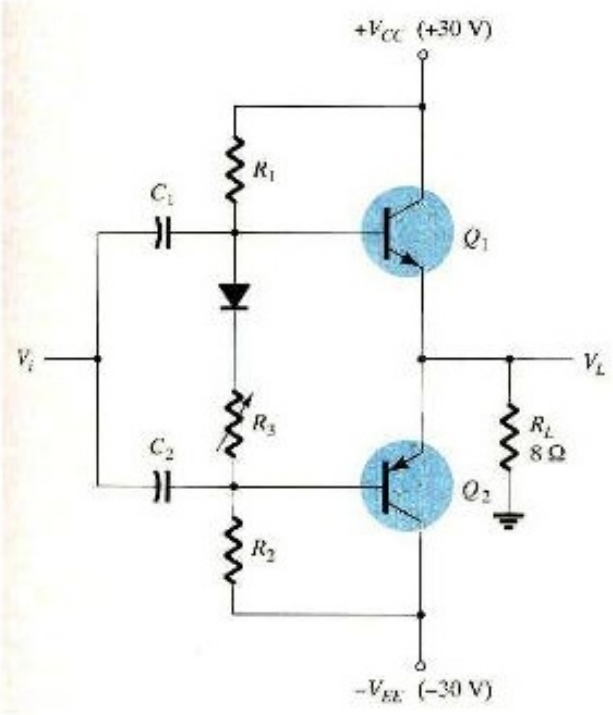
18. Cho mạch kđ công suất lớp B như hình BT.19, hãy tính:

a. Công suất cực đại $P_o(ac)$

b. Công suất cực đại $P_i(dc)$

c. Hiệu suất cực đại $\%\eta$

d. Công suất tiêu tán cực đại trên cả hai transistor.



Hình BT.19.

19. Nếu cho tín hiệu vào mạch KĐ công suất của bài 19 có biên độ 8V hiệu dụng, hãy tính

a. Công suất $P_o(ac)$

b. Công suất $P_i(dc)$

c. Hiệu suất $\%\eta$

d. Công suất tiêu tán cực đại trên cả hai transistor.

20. Cho mạch KĐ công suất như hình BT.21, hãy tính:

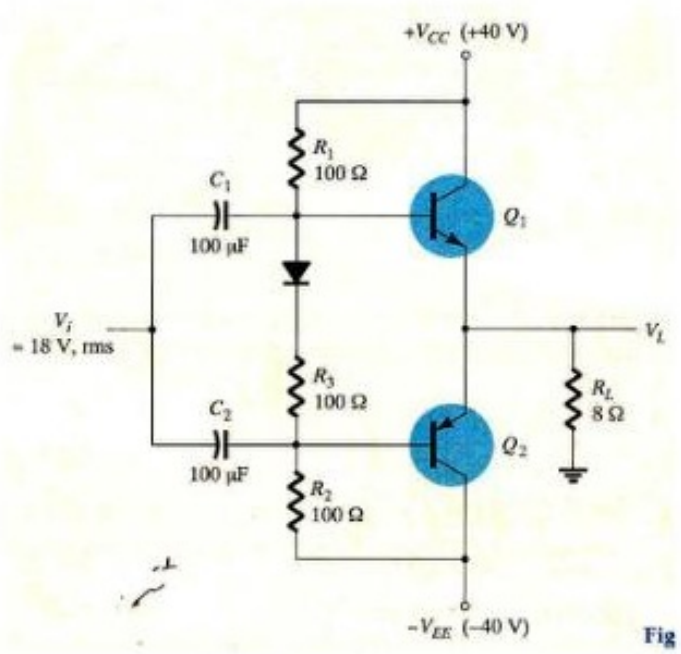
a. Công suất $P_o(ac)$

b. Công suất $P_i(dc)$

c. Hiệu suất $\%\eta$

d. Công suất tiêu tán cực đại trên cả hai transistor.

e. Điện áp đánh thủng cho mỗi transistor



Hình BT.21

21. Cho mạch kđ công suất như hình BT.22, hãy tính:

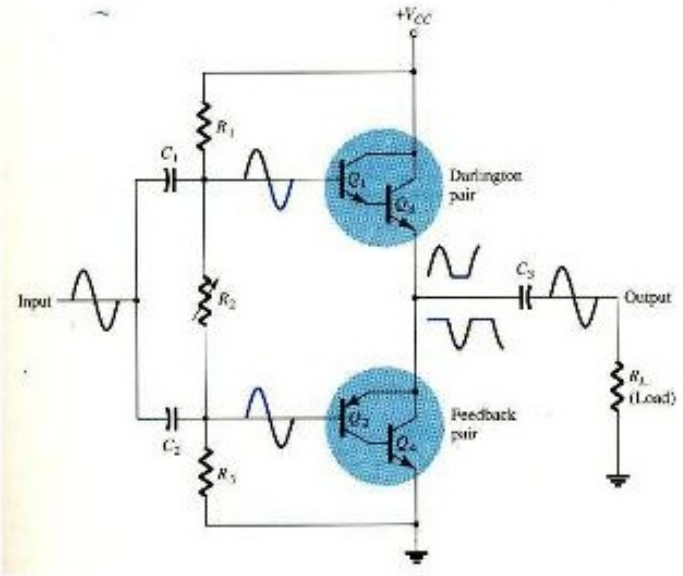
a. Công suất $P_o(ac)$

b. Công suất $P_i(dc)$

c. Hiệu suất $\%\eta$

d. Công suất tiêu tán cực đại trên cả 2 transistor.

Biết $R_L = 8\Omega$ và $V_{CC} = 40V$



Hình BT.22

22. Cho mạch khuếch đại công suất OTL như hình *BT.23*, biết biến trở 10μF được chỉnh sao cho Q_1 và Q_2 có điểm làm việc nằm trên biên giới vùng khuếch đại và vùng tắt ($I_{B1} = I_{B2} = 0$).

a. Dòng điện qua mỗi điện trở 68 Ω

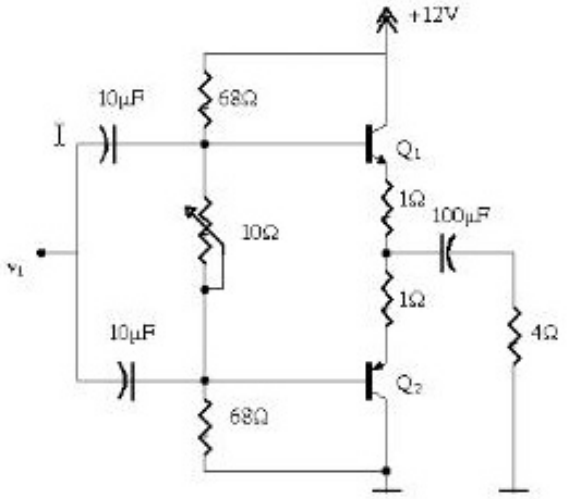
b. Điện áp từ base xuống mass của mỗi transistor

c. Hiệu suất khi điện áp đỉnh là 2V

d. Hãy tìm công suất ngõ ra cực đại

e. Hiệu suất cực đại của mạch

f. Tần số cắt thấp của mạch bằng bao nhiêu?



Hình BT.23

23. Nếu mắc thêm hai điện trở tại cực E của hai transistor công suất trong mạch hình BT.21. Hãy tìm biểu thức quan hệ giữa Po, Pi, η với RL và RE. Rút ra kết luận.

24. Với mạch như bài 23 nếu RE =0.5 Ω. Nếu điện áp vào là 10 V hiệu dụng thì hiệu suất của mạch bằng bao nhiêu?

25. Hãy tính toán các thành phần méo hài đối với một tín hiệu ngõ ra có biên độ sóng cơ bản là 2.1V, biên độ sóng hài bậc 2 là 0.3V, biên độ sóng hài bậc 3 là 0.1V, biên độ sóng hài bậc 4 là 0.05V.

26. Hãy tính độ méo hài tổng cộng THD của bài 26.

27. Hãy tính toán độ méo hài tổng cộng của tín hiệu ngõ ra với dạng sóng có các giá trị đo được như sau $V_{CE\min} = 2.4V$, $V_{CEQ} = 10V$ và $V_{CE\max} = 20V$

Máy đo độ méo hài có các giá trị đo như sau: $D_2 = 0.15$, $D_3 = 0.01$ và $D_4 = 0.05$ với dòng $I_1 = 3.3A$ và $R_C = 4\Omega$, hãy tính toán độ méo hài của thành phần sóng cơ bản và công suất tổng.

Chương 12
MẠCH DAO ĐỘNG

12.1. MẠCH DAO ĐỘNG TẠO SÓNG SIN

12.1.1. Nguyên lý tạo dao động

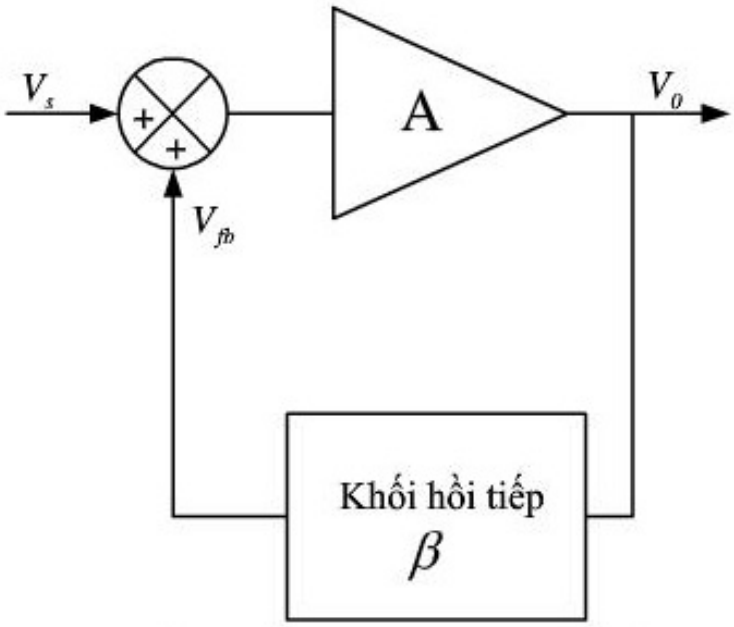
Mạch dao động là mạch có khả năng chuyển đổi năng lượng một chiều (DC) sang dạng xoay chiều (AC). Có nhiều loại mạch dao động tạo ra các dạng sóng tín hiệu khác nhau như: sóng sin, sóng vuông, sóng tam giác..

Trong đó, mạch dao động tạo sóng sin được sử dụng rộng rãi trong các hệ thống thông tin, trong đo lường, kiểm tra, điều khiển, chuyển đổi tần số...

Các mạch dao động tạo tín hiệu sóng vuông, tam giác, xung gai thì thường được dùng trong các bộ chuyển mạch, điều khiển, …

Chất lượng của một dao động phụ thuộc vào sự ổn định của tần số ngõ ra.

Nguyên lý tạo dao động dựa trên cấu trúc của mạch khuếch đại hồi tiếp dương như hình 12.1.



Hình 12.1. *Sơ đồ khối của mạch KĐ có hồi tiếp dương.*

- A : Mạch khuếch đại vòng hở có hệ số khuếch đại là A.
- β : Mạch hồi tiếp, có hệ số hồi tiếp là β.
- V_{fb} : Tín hiệu hồi tiếp.

- V_S: Tín hiệu ngõ vào.
- V_ε: Tín hiệu ngõ vào của mạch khuếch đại khi có hồi tiếp.
- V_o: Tín hiệu ngõ ra.
- A_f: Độ lợi vòng kín của mạch khuếch đại khi có hồi tiếp

Hồi tiếp dương là tín hiệu hồi tiếp cùng pha với tín hiệu vào.

➢ **Ưu và khuyết điểm của hồi tiếp dương:**

– Ưu điểm: Hồi tiếp dương có tín hiệu hồi tiếp cùng pha với tín hiệu ngõ vào nên làm tăng tín hiệu ngõ vào của mạch khuếch đại dẫn đến độ lợi của mạch khuếch đại tăng.

– Khuyết điểm: Hồi tiếp dương làm cho mạch khuếch đại có độ lợi lớn dẫn tới không ổn định dễ bị đánh thủng.

Chính vì những ưu khuyết điểm trên mà mạch hồi tiếp dương chủ yếu sử dụng trong các mạch dao động.

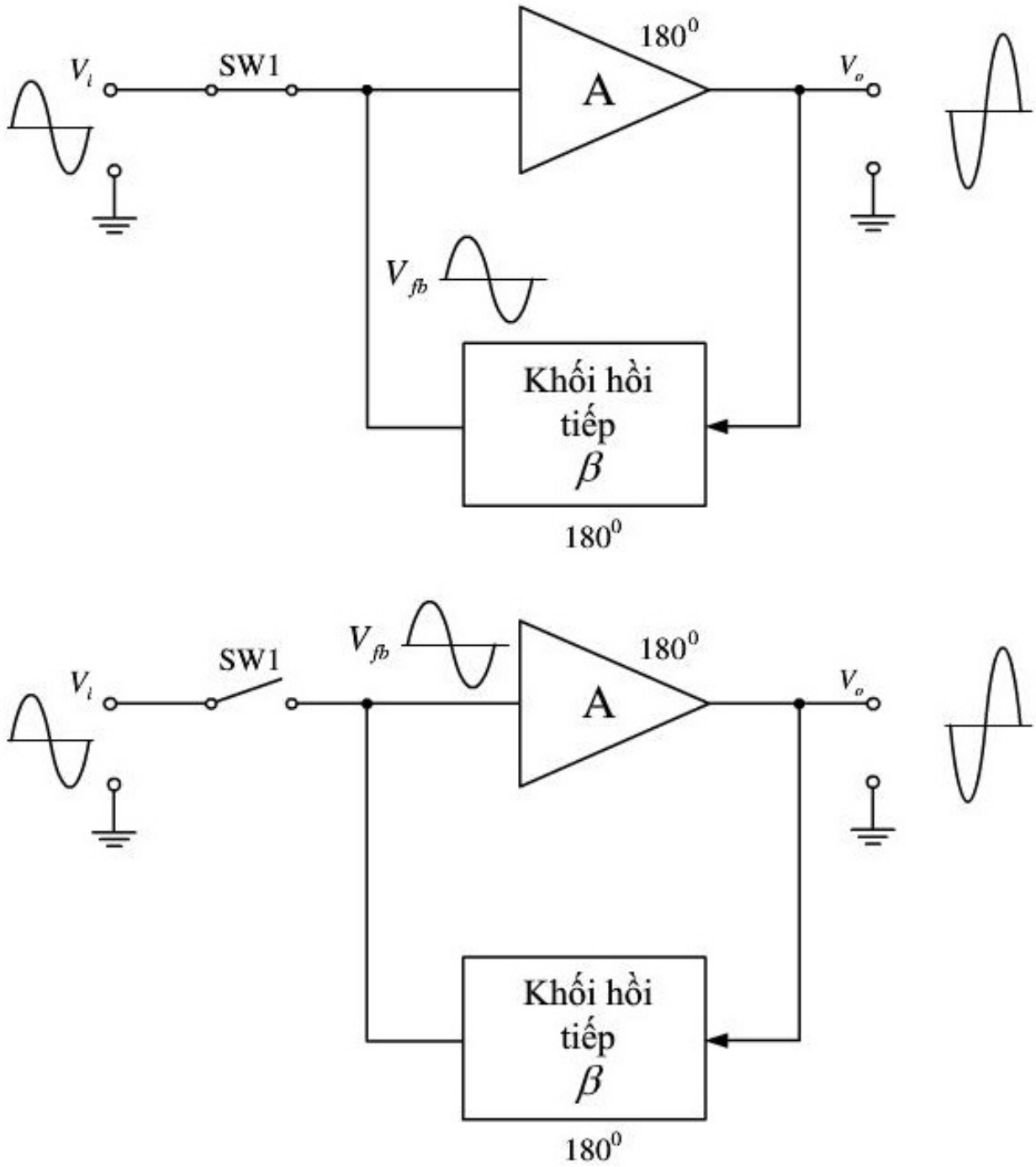
Độ lợi vòng hở của mạch: $A = \dfrac{V_o}{V_\varepsilon}$

Hệ số hồi tiếp: $\beta = \dfrac{V_{fb}}{V_o}$

Độ lợi vòng kín:

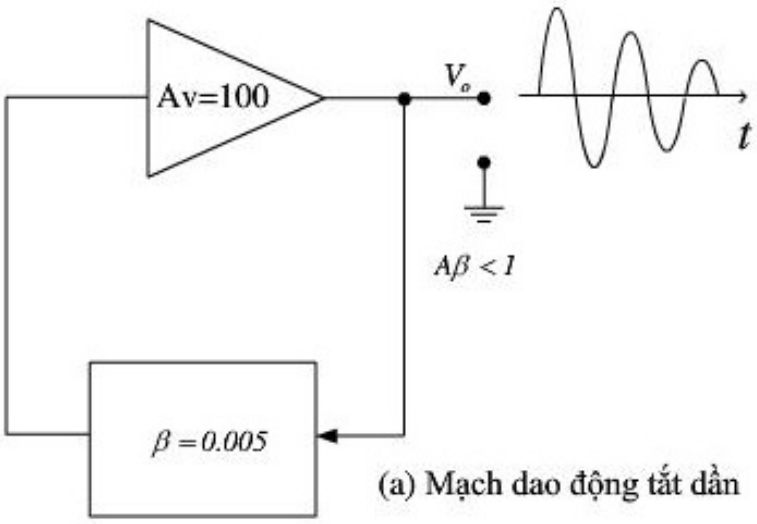
$$A_f = \frac{V_O}{V_i} = \frac{V_O}{V_\varepsilon - V_{fb}} = \frac{V_O / V_\varepsilon}{1 - \dfrac{V_{fb}}{V_O}\dfrac{V_O}{V_\varepsilon}} = \frac{A}{1 - \beta A} \qquad (12.1)$$

Trong biểu thức (12.1), nếu hệ số $A\beta = 1$ thì $A_f \to \infty$, điều này cũng có nghĩa là $\dfrac{V_0}{V_i} \to \infty$, hay nói cách khác là $V_o \neq 0$ khi mà $V_i = 0$. Như vậy khi điều kiện này được thỏa thì khi không có tín hiệu vào mạch vẫn có tín hiệu ở ngõ ra, lúc đó ta gọi một mạch dao động.

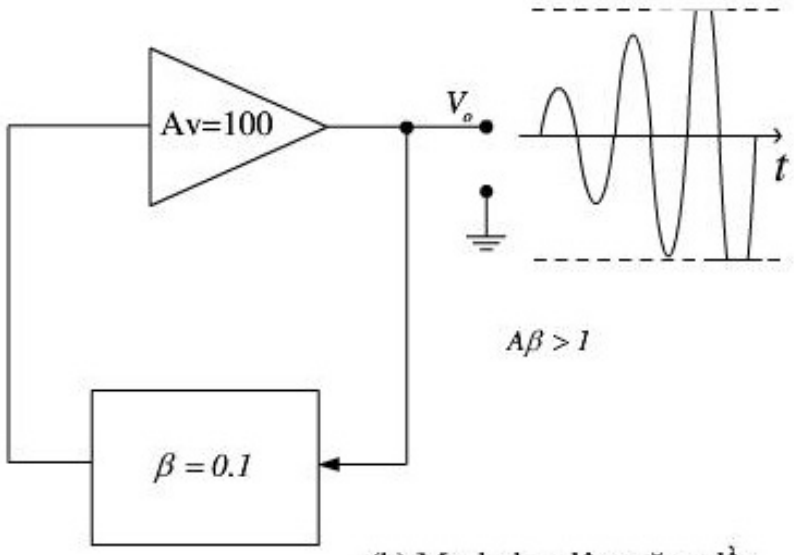


Hình 12.2. *Sơ đồ khối mạch hồi tiếp khi có tín hiệu vào và khi không có tín hiệu vào*

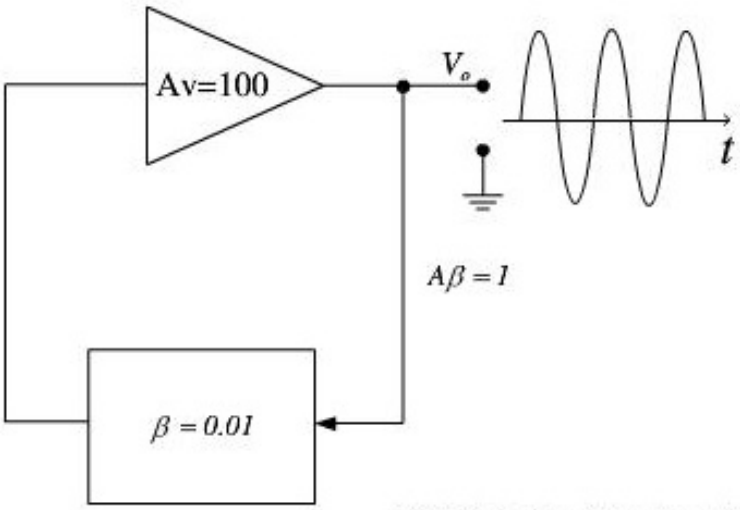
Nếu $A\beta \neq 1$ thì sẽ xảy ra các trường hợp sau:



(a) Mạch dao động tắt dần



(b) Mạch dao động tăng dần



(c) Mạch dao động tạo sóng sin

Hình 12.3. *Mạch tạo dao động song sin, (a) Aβ<1;(b) Aβ>1; (c) Aβ=1*

Kết luận:

Mạch dao động là mạch khuếch đại có hồi tiếp dương và có các phần tử tích cực để nạp xả năng lượng và mạch phải thỏa mãn điều kiện cần và đủ của Barkhausen như sau:

a) Điều kiện cân bằng biên độ: $|A.\beta| = 1$

b) Điều kiện cân bằng pha: $\varphi_{|A\beta|} = 0$

Ta có biểu thức hàm phức như sau:

$$|A.\beta| = \frac{\sqrt{a^2+b^2}}{\sqrt{a1^2+b1^2}} = 1 \qquad (12.1)$$

c) Suy ra $\varphi_{|A\beta|} = \text{arctg}(\frac{b}{a}) - \text{arcg}(\frac{b1}{a1}) = 0$ (12.2)

Từ điều kiện này ta có thể tính được tần số cộng hưởng của các mạch dao động

- Nếu ta có $|A.\beta| = \left|\frac{a}{a1+jb1}\right|$ (12.3)

Để mạch dao động ta phải thỏa mãn điều kiện $\varphi_{|A\beta|} = arctg(\frac{0}{a}) - \text{arctg}(\frac{b1}{a1}) = 0$ (12.4)

Cho b_1=0 ta có điều kiện cân bằng về pha.

- Nếu $|A.\beta| = \left|\frac{jb}{a1+jb1}\right|$ (12.5)

Để mạch dao động ta cho a_1=0, từ đó ta suy ra điều kiện cân bằng về pha và suy ra tần số dao động ω_o.

Trong chương này chúng ta chỉ khảo sát các mạch dao động dùng linh kiện rời dùng transistor (BJT hay FET), do vậy những mạch dao động này phụ thuộc vào các yếu tố bất ổn như sự thay đổi nhiệt độ, điện áp nguồn cung cấp, điện dung kí sinh của transistor… dẫn đến sự bất ổn của biên độ tín hiệu ra và tần số dao động.

Chất lượng của mạch dao động phụ thuộc vào các điều kiện sau:

- Sự ổn định của nguồn cung cấp.
- Thông số ổn định nhiệt của mạch (dùng điện trở R_E).
- Tại tần số dao động của mạch không có sự ảnh hưởng của điện dung kí sinh bên trong của transistor.

Nguyên tắc hoạt động chung của các mạch dao động tạo sóng sin: Khối A đóng vai trò khuếch đại để duy trì dao động, khối β là khối chọn lọc tần số dao động.

Khi vừa mới cấp điện do sự biến thiên điện áp trong các phần tử trong mạch do đó nó sinh ra điện áp tạp âm với phổ tần liên tục, nếu là hồi tiếp âm thì các tạp âm này sẽ bị triệt tiêu, còn nếu là hồi tiếp dương thì tại tần số tín hiệu được chọn lọc sẽ cùng pha với tín hiệu ngõ vào, làm tăng biên độ ngõ vào và ngõ ra xuất hiện tín hiệu dao động.

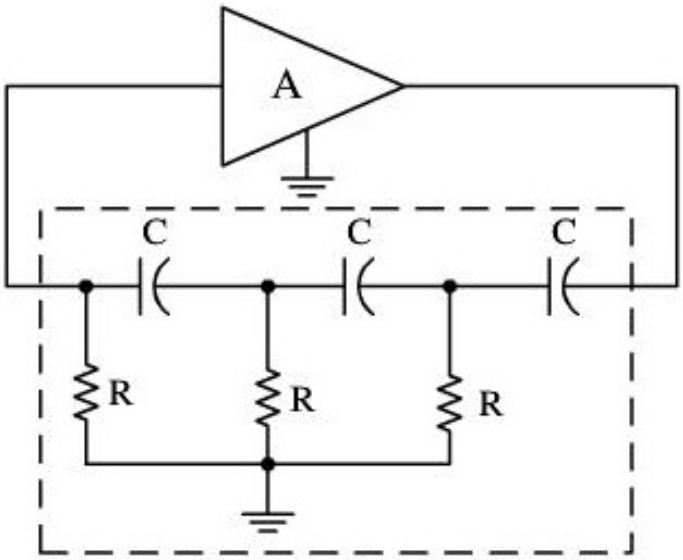
12.1.2. Các mạch dao động tạo sóng sin

Dựa theo đặc tính linh kiện và tần số dao động, có thể phân loại mạch dao động tạo sóng sin thành hai loại:

- Mạch dao động RC: trong đó tần số dao động của mạch phụ thuộc vào thông số của các phần tử R và C, được sử dụng trong những mạch dao động tần số thấp.
- Mạch dao động LC: trong đó tần số dao động của mạch phụ thuộc vào thông số của các phần tử L và C, được sử dụng trong những mạch dao động tần số cao.

a. Mạch dao động RC

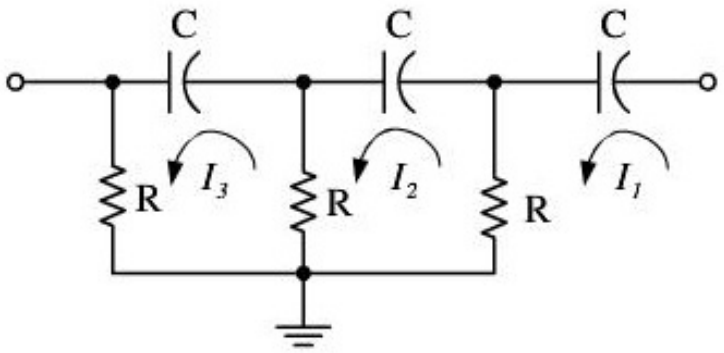
➢ **Mạch dao động dịch pha dùng Op-Amp:**



Hình 12.4. *Sơ đồ khối của mạch dao động dịch pha.*

Trong mạch dao động dịch pha, khối A là mạch khuếch đại đảo và được nối tới ba bộ lọc thông cao RC, nên được gọi là mạch dao động dịch pha.

Các mạch lọc RC dùng để dịch pha tín hiệu đi 180^0 tạo tín hiệu hồi tiếp dương ở ngõ vào. Đối với mạch lọc thông cao RC, tín hiệu sau khi đi qua mạch lọc thông cao sẽ lệch pha đi so với tín hiệu vào từ 0 đến 90^0 tùy thuộc vào tần số của tín hiệu ngõ vào. Như vậy số mạch lọc RC phải thỏa mãn sao cho khi tín hiệu đi qua sẽ tạo được tín hiệu hồi tiếp dương ở ngõ vào hay tổng góc lệch pha của tín hiệu sau khi đi qua khâu hồi tiếp là 180^0, vậy trong trường hợp sử dụng ba mạch lọc RC như hình 12.4 thì mạch sẽ dao động tại tần số tín hiệu có góc lệch pha 60^0 sau khi đi qua một mạch lọc RC.



Hình 12.5. *Khâu hồi tiếp của mạch dao động dịch pha.*

Xét khâu hình 12.5 ta có:

$$V_o = \dot{I}_1(X_C + R) - \dot{I}_2 R$$

$$0 = \dot{I}_2(2R + X_C) - R(\dot{I}_1 + \dot{I}_3)$$

$$0 = \dot{I}_3(2R + X_C) - R\dot{I}_2$$

$$V_{fb} = \dot{I}_3 R$$

Trong đó:

$$X_C = -j\frac{1}{\varpi C}$$

Thay giá trị vào ta được:

$$\beta = \frac{V_{fb}}{V_o} = \frac{R^3}{R^3 + 5RX_C^2 + 6R^2X_C + X_C^3} = \frac{1}{1 + 5\frac{X_C^2}{R^2} + 6\frac{X_C}{R} + \frac{X_C^3}{R^3}}$$

$$\beta = \frac{1}{1 - 5\frac{1}{(\varpi RC)^2} - j(6\frac{1}{(\varpi RC)} - \frac{1}{(\varpi RC)^3})} \qquad (12.6)$$

Mạch dao động tại tần số có hồi tiếp dương hay: $\angle\beta = 180^0$ theo biểu thức 12.3

Theo (12.3) ta có: $b_1 = 6\frac{1}{(\omega RC)} - \frac{1}{(\omega RC)^3} = 0$

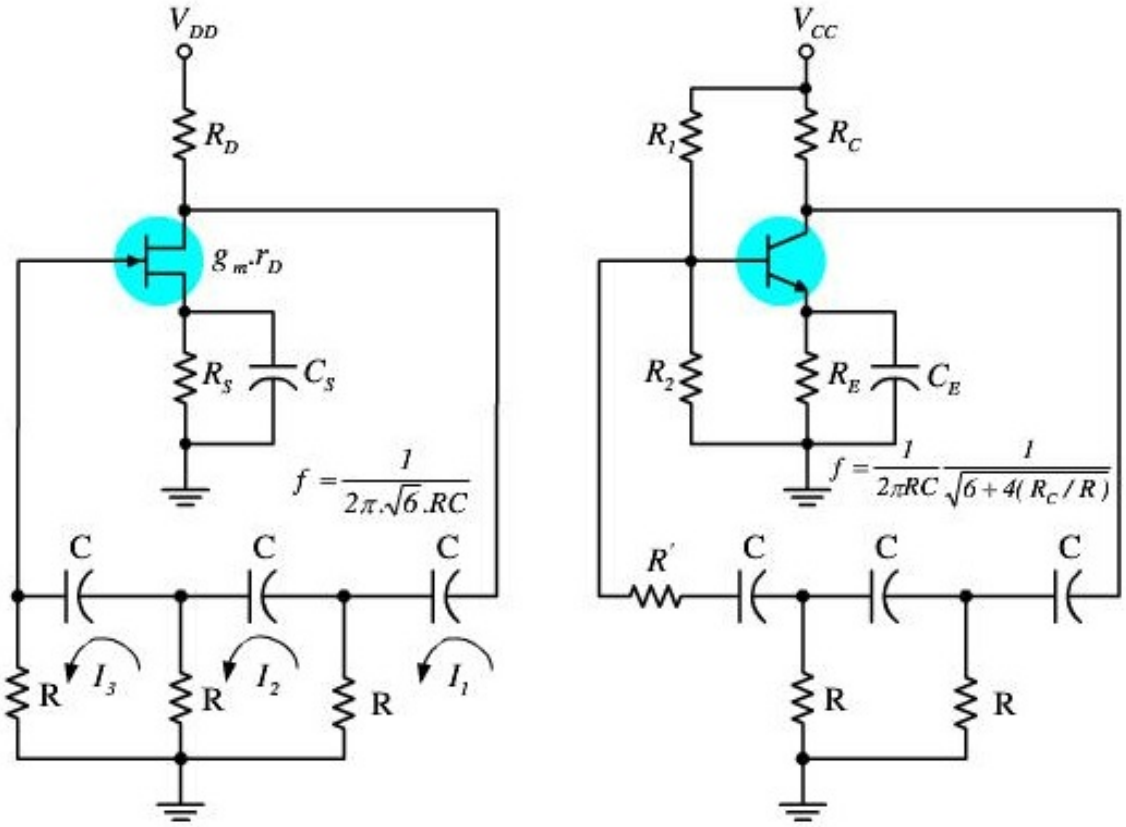
Vậy mạch sẽ dao động tại tần số:

$$\omega_o = \frac{1}{RC\sqrt{6}} \text{ hay } f_o = \frac{1}{2\pi RC\sqrt{6}} \qquad (12.7)$$

Khi phải thỏa điều kiện về biên độ A=1, ta thay giá trị tần số tín hiệu dao động của mạch vào công thức (12.6) ta được: $\beta = -1/29$

Vậy để mạch duy trì dao động, mạch khuếch đại A phải có hệ số khuếch đại A = -29.

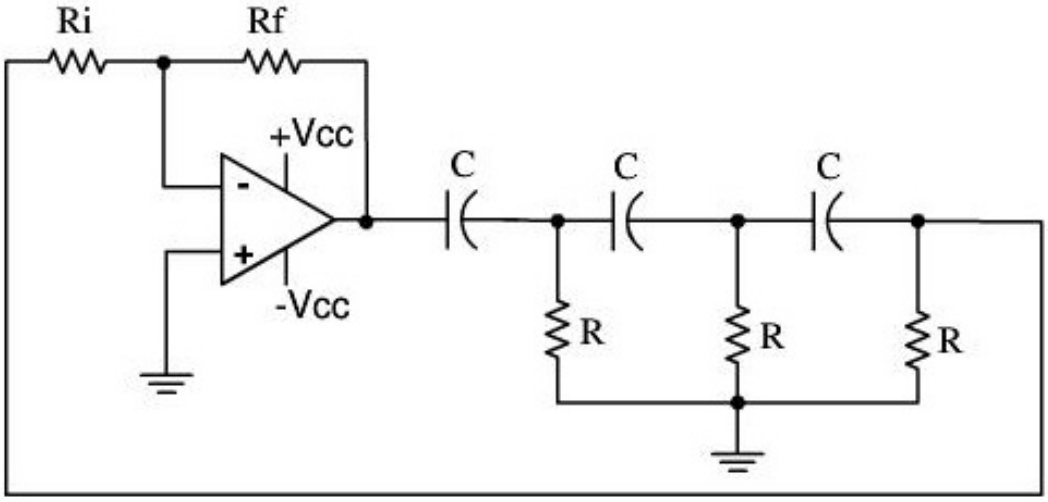
➢ **Mạch dao động dịch pha dùng transistor:**



Hình 12.6. *a. Mạch dao động dùng JFET; b. Mạch dao động dùng BJT.*

- BJT và FET được phân cực ở trạng thái khuếch đại.
- Hồi tiếp là nhánh ba mắc xích RC.
- Tụ C_E và C_S có giá trị lớn cho qua tín hiệu nhiễu và các tín hiệu tần số quá trình dao động tập âm ở tần số cao nảy sinh trong quá trình dao động và tạp âm có tần số cao.

Mạch dao động dịch pha RC dùng OP-AMP có sơ đồ như hình 12.7.



Hình 12.7. *Mạch dao động dịch pha RC.*

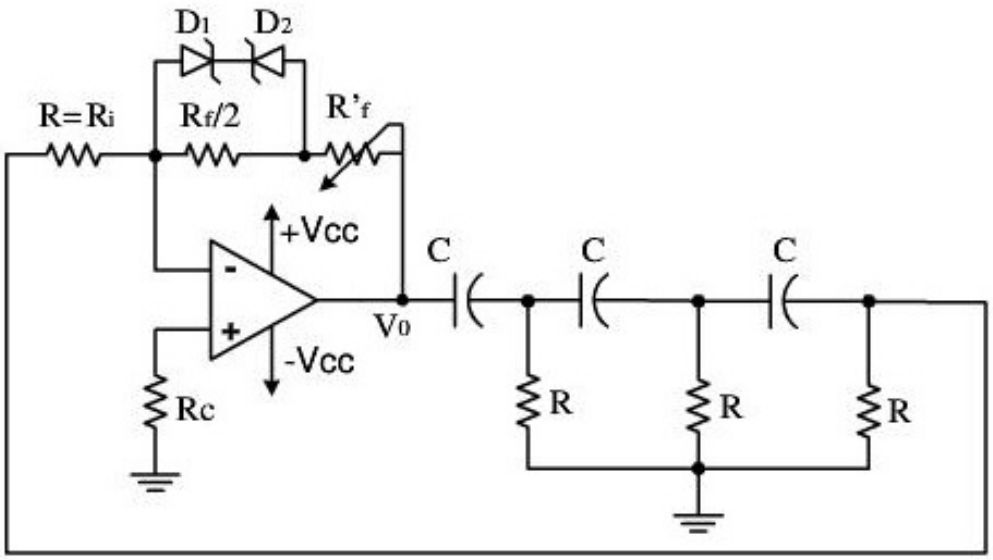
Theo điều kiện dao động thì $A\beta = 1$, ta suy ra

$$A = \frac{1}{\beta} = -29$$

Suy ra $$A = -\frac{R_F}{R_I} = -29$$

Hay $$R_F = 29R_I$$

Chú ý: Giá trị của R_I vì ngõ vào $V_- = V_+ = 0V$ nên $R_I \parallel R$ của tầng RC cuối cùng sẽ gây sai số lệch pha. Để kết quả trùng với tính toán thì $R_I >> R$ để $R_I \parallel R \approx R$ hoặc bỏ qua điện trở R và R_I được thay bằng R. Mạch hoàn chỉnh như hình 12.8.

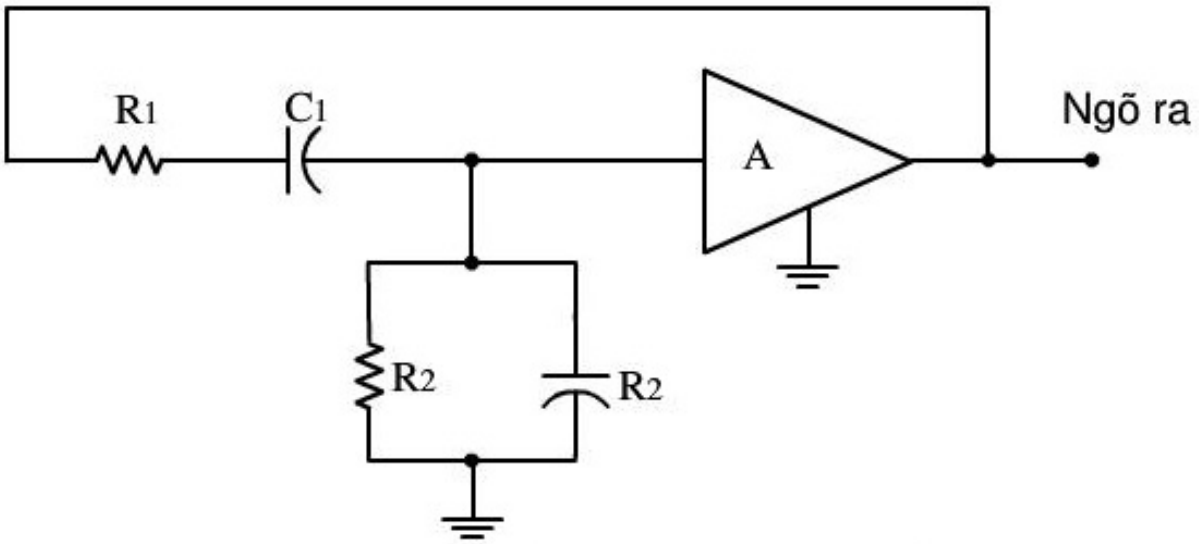


Hình 12.8. *Mạch dao động dịch pha trong thực tế.*

- A bộ khuếch đại
- Biến trở R_F ổn định chống tạp âm
- D_1 D_2 đóng vai trò ổn định dao động với tần số ω_0

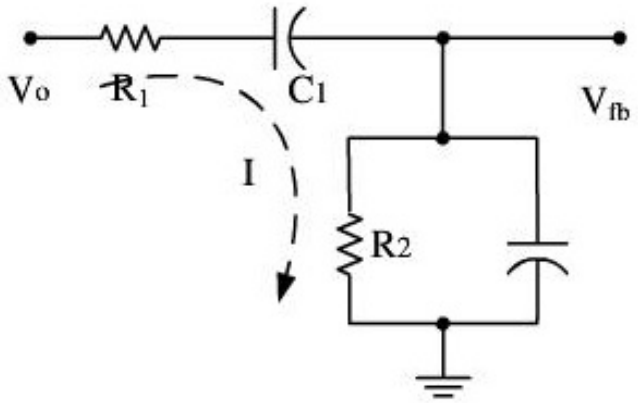
➢ **Mạch dao động cầu Wien:**

Một bộ dao động thực tế là dùng khuếch đại thuật toán và mạch cầu RC, với tần số dao động được xác định bởi R và C (gồm RC nối tiếp và RC mắc song song)



Hình 12.9. *Sơ đồ khối của mạch dao động cầu Wien*

Với A là bộ khuếch đại không đảo.



Hình 12.10. *Sơ đồ mạch cầu Wien*

Xét sơ đồ như hình 12.10 ta có: $V_{fb} = \dfrac{R_2 \parallel X_{C2}}{R_1 + X_{C1} + (R_2 \parallel X_{C2})} V_o$

$$\beta = \frac{V_{fb}}{V_o} = \frac{R_2 \parallel X_{C2}}{R_1 + X_{C1} + (R_2 \parallel X_{C2})}$$

$$= \frac{\dfrac{R_2 X_{C2}}{R_2 + X_{C2}}}{R_1 + X_{C1} + \dfrac{R_2 X_{C2}}{R_2 + X_{C2}}}$$

$$= \frac{R_2 X_{C2}}{R_1 R_2 + R_1 X_{C2} + R_2 X_{C1} + X_{C1} X_{C2} + R_2 X_{C2}}$$

$$= \frac{1}{1 + \dfrac{R_1}{R_2} + \dfrac{X_{C1}}{X_{C2}} + \dfrac{R_1}{X_{C2}} + \dfrac{X_{C1}}{R_2}}$$

Thay $X_{C1} = -j\dfrac{1}{\omega C_1}$ và $X_{C2} = -j\dfrac{1}{\omega C_2}$

$$\beta = \frac{1}{1 + \dfrac{R_1}{R_2} + \dfrac{C_2}{C_1} + j(R_1 \omega C_2 - \dfrac{1}{\omega C_1 R_2})} \qquad (12.8)$$

Trong mạch dao động cầu Wien, do A là mạch khuếch đại không đảo, vì vậy để thỏa yêu cầu về pha thì: $\angle\beta = 0^0$

Hay:

$$arctg\left(-\frac{R_1\omega C_2 - \dfrac{1}{\omega C_1 R_2}}{1+\dfrac{R_1}{R_2}+\dfrac{C_2}{C_1}}\right) = 0^0$$

Vậy mạch sẽ dao động tại tần số ω_o theo công thức (12.4):

$$\omega = \frac{1}{\sqrt{R_1R_2C_1C_2}} \text{ hay } f = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \qquad (12.9)$$

Để mạch duy trì dao động tại tần số của công thức (12.9), phải thỏa điều kiện về biên độ, khi đó tại tần số dao động:

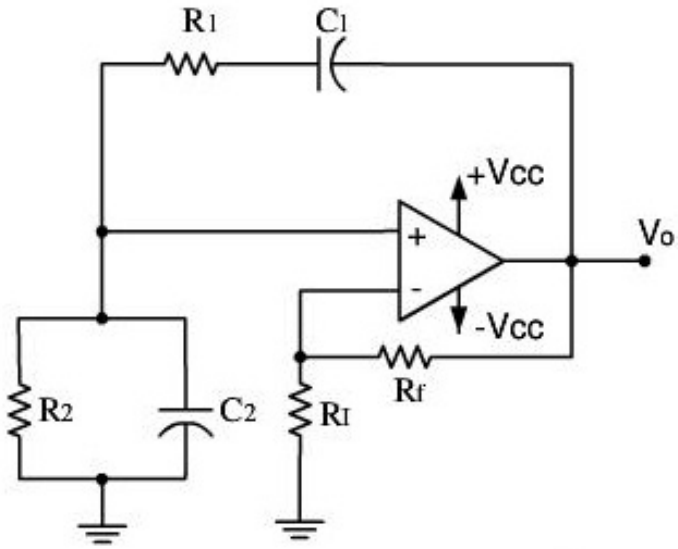
$$\beta = \frac{1}{1+\dfrac{R_1}{R_2}+\dfrac{C_2}{C_1}} = \frac{1}{3}$$

Vậy: $$A = 1+\frac{R_1}{R_2}+\frac{C_2}{C_1}$$

Nếu ta chọn giá trị linh kiện trong mạch là: $C_1 = C_2 = C$ và $R_1 = R_2 = R$, thì tần số dao động của mạch là: $f = \dfrac{1}{2\pi RC}$

Và để mạch dao động thì mạch khuếch đại A phải thỏa: A = 3.

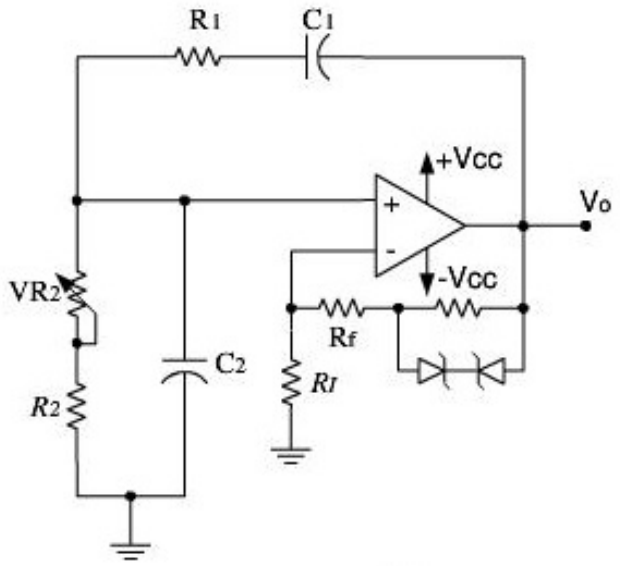
Sau đây, chúng ta sẽ khảo sát một mạch dao động cầu Wien dùng OP-AMP:



Hình 12.11. *Mạch dao động cầu Wien.*

Điều kiện dao động là $A\beta = 1$ nhưng để dao động được thực hiện khi mới cấp điện, điều kiện sẽ là $A\beta \geq 1$ sao đó mạch phải tự ổn định $A\beta = 1$.

Mạch dao động cầu Wien dùng Op-Amp thực tế như hình 12.12.

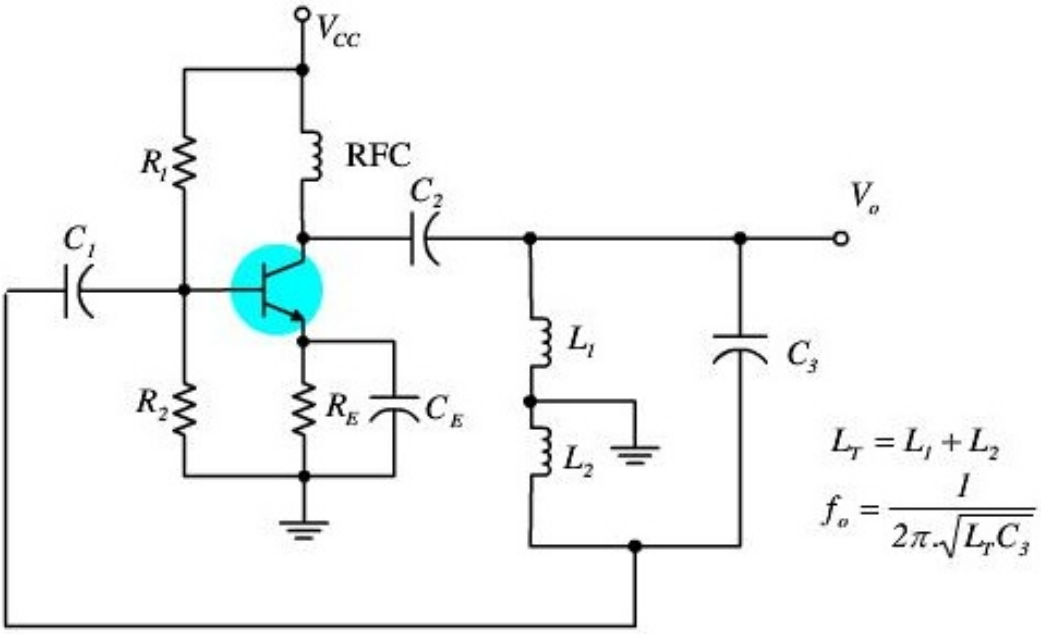


Hình 12.12. *Mạch dao động cầu Wien trong thực tế*

b. Mạch dao động LC:

Các mạch dao động LC hoạt đông dựa trên khung cộng hưởng LC trong các sơ đồ mạch.

➢ **Mạch dao động ba điểm điện dung (Hartley)**



Hình 12.13. *Mạch dao động Hartley.*

Transitor được phân cực ở chế khuếch đại, khung cộng hưởng LC có vai trò chọn lọc tần số và hồi tiếp về ngõ vào của khâu khuếch đại.

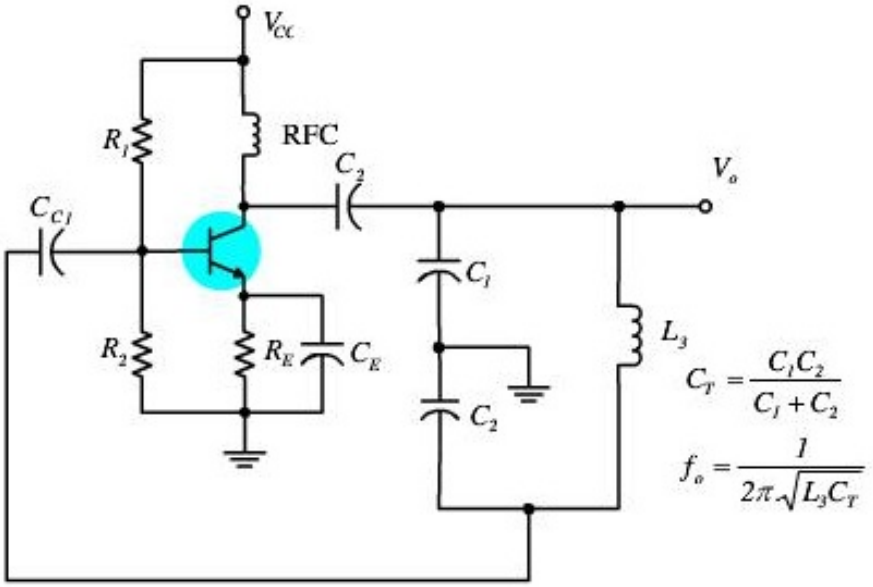
RFC: cuộn cản cao tần (Radio Frequency Choke), có điện cảm rất lớn trong vùng tần số dao động, vì vậy về mặt xoay chiều ta xem như cuộn RFC hở mạch tại vùng tần số dao động.

Mạch dao động Hartley có điện áp hồi tiếp trên cuộn dây L_1 và điện áp ngõ ra trên cuộn dây L_2, như vậy tần số dao động của mạch được xác định như sau:

$$\omega L_1 + \omega L_2 - \frac{1}{\omega C_3} = 0$$

$$\omega = \frac{1}{\sqrt{C_3(L_1 + L_2)}} \text{ hay } f = \frac{1}{2\pi\sqrt{C_3(L_1 + L_2)}} = \frac{1}{2\pi\sqrt{C_3 L_T}} \quad (12.10)$$

➢ **Mạch dao động ba điểm điện dung (Colpitts)**



Hình 12.14. *Mạch dao động Colpitts.*

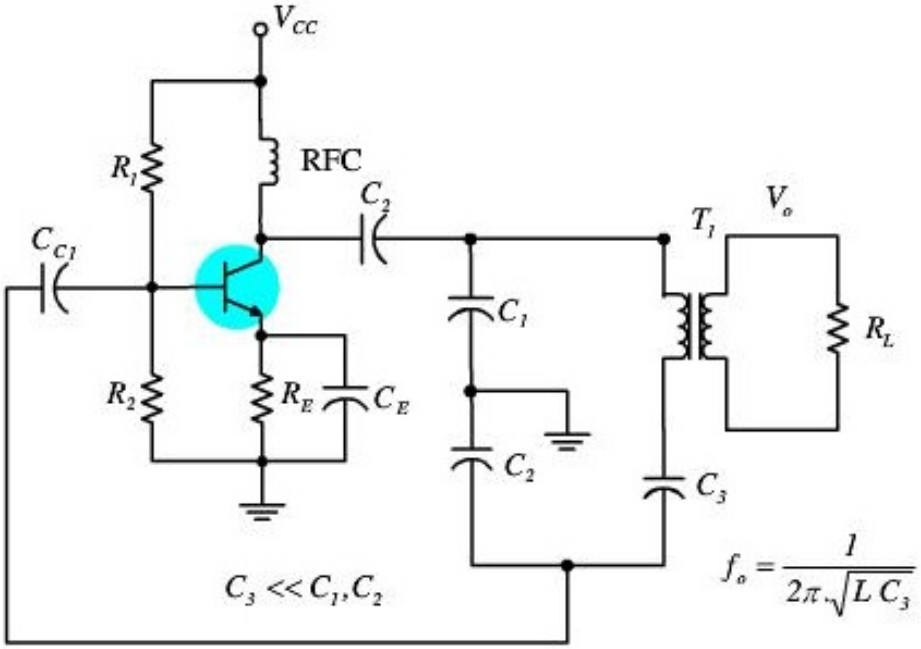
Mạch dao động Colpitts có điện áp hồi tiếp trên tụ C_1 và điện áp ngõ ra trên tụ C_2, như vậy tần số dao động của mạch được xác định như sau:

$$-\frac{1}{\omega C_1} - \frac{1}{\omega C_2} + \omega L_3 = 0$$

$$\omega = \sqrt{\frac{1}{L_3}\left(\frac{1}{C_1} + \frac{1}{C_2}\right)} \text{ hay } f = \frac{1}{2\pi\sqrt{L_3 C_T}} \quad (12.11)$$

➢ Mạch dao động Clapp

Mạch dao động Clapp là mạch biến thể của mạch dao động Colpitts, hình 12.15.



Hình 12.15. *Mạch dao động Clapp.*

Trong mạch dao động Clapp, giá trị tụ C_3 nhỏ hơn rất nhiều so với tụ C_1 và C_2, do vậy:

$$\frac{1}{C_T} = \frac{1}{C_1} + \frac{1}{C_2} + \frac{1}{C_3} \cong \frac{1}{C_3}$$

Khi đó, tần số dao động của mạch chỉ phụ thuộc vào giá trị tụ C_3 và giá trị của cuộn dây sơ cấp máy biến áp T_1: $f = \dfrac{1}{2\pi\sqrt{LC_3}}$ (12.12)

➢ Mạch dao động Armstrong

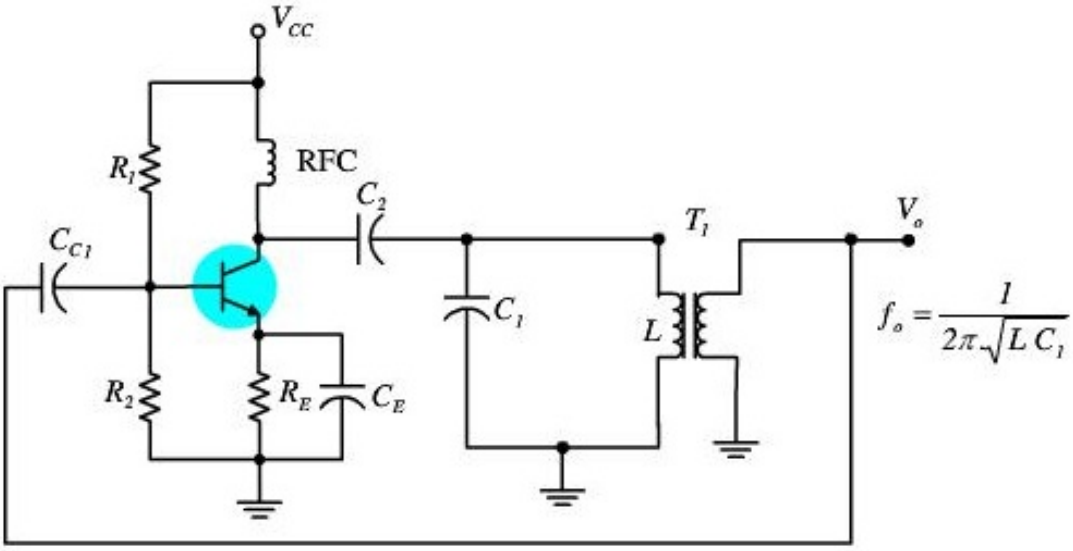
Đây là mạch dao động đơn giản dùng khung LC để chọn lọc tần số dao động, sơ đồ như hình 12.16.

Trong mạch dao động Armstrong, có A là một mạch khuếch đại đảo vì vậy khâu hồi tiếp phải dịch pha đi 180^0, khâu hồi tiếp dùng máy biến áp T_1 đóng vai trò đảo pha tín hiệu.

Tần số dao động của mạch chính là tần số cộng hưởng của khung LC:

$$f = \frac{1}{2\pi\sqrt{LC}} \qquad (12.13)$$

Trong đó $C = C_1$ và L chính là điện cảm của cuộn dây sơ cấp máy biến áp T_1.

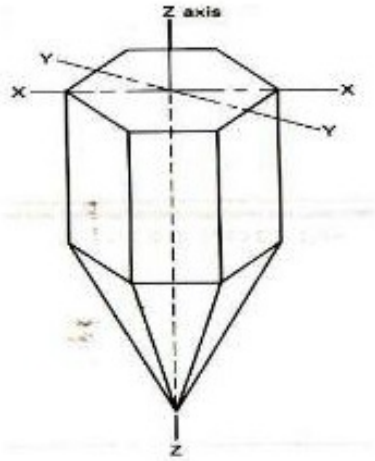


Hình 12.16. *Mạch dao động Armstrong.*

➢ **Mạch dao động thạch anh**

Các mạch dao động LC có nhược điểm là tần số dao động không ổn định do các giá trị L và C bị thay đổi theo nhiệt độ, độ ẩm, …. Để tín hiệu ngõ ra của mạch dao động có độ ổn định cao, người ta sử dụng các mạch dao động dùng thạch anh. Do tính chất của tinh thể thạch anh có thể cho ra những tần số dao động chuẩn không phụ thuộc vào điều kiện của môi trường.

Hình 12.17 trình bày cấu trúc tinh thể thạch anh (crystal):



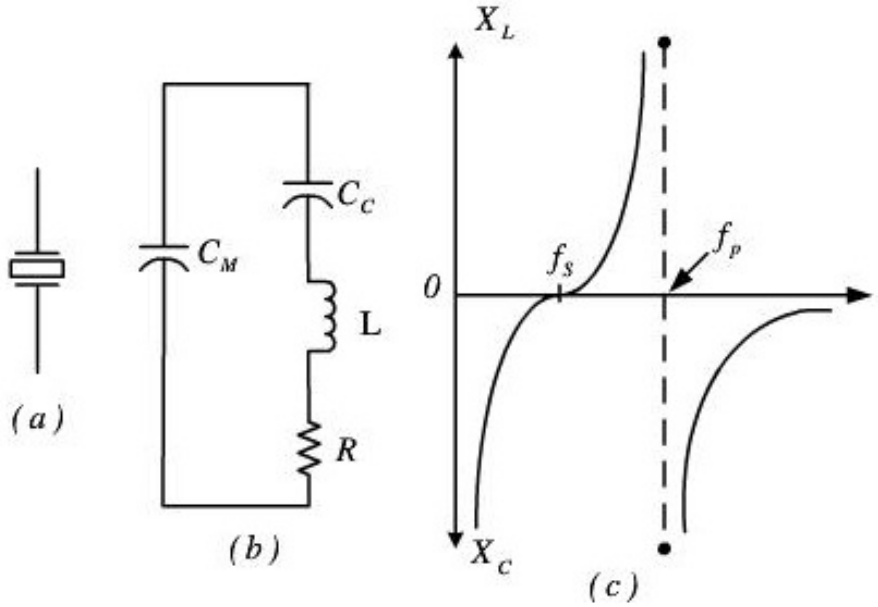
Hình 12.17. *Tinh thể thạch anh.*

Tinh thể thạch anh được chế tạo từ SiO_2, nó có đặc tính của tinh thể áp điện: khi áp lên bề mặt tinh thể một dao động điện bằng cách lấy hai má kim

loại kẹp miếng thạch anh ở giữa, tinh thể sẽ dao động cơ học hoặc nếu tác động lên bề mặt tinh thể một áp lực, trên bề mặt sẽ xuất hiện một sức điện động.

Tùy thuộc vào kích thước, bề dày, mặt cắt mỗi phiến tinh thể thạch anh có một tần số cộng hưởng nhất định, từ đó sinh ra một dao động điện cộng hưởng ở tần số tương ứng.

Do đặc tính của thạch anh hoạt động như mạch cộng hưởng của tinh thể áp điện, nên có thể mô phỏng mạch điện tương đương của nó như hình 12.18.



Hình 12.18. *(a) Kí hiệu thạch anh; (b) Mạch điện tương đương; (c) Đáp ứng tần số.*

- C_M: điện dung giá đỡ.
- C_C: điện dung của phiến thạch anh.
- L: điện cảm của phiến thạch anh.
- R: điện trở của phiến thạch anh (tổn hao của thạch anh khi dao động).
- f_S: tần số cộng hưởng nối tiếp.
- f_P: tần số cộng hưởng song song.

Tổng trở tương đương của phiến thạch anh, nếu bỏ qua tổn hao của phiến thạch anh:

$$Z_q = j\frac{\omega^2 LC_q - 1}{\omega(C_M + C_C - \omega^2 LC_M C_C} \qquad (12.14)$$

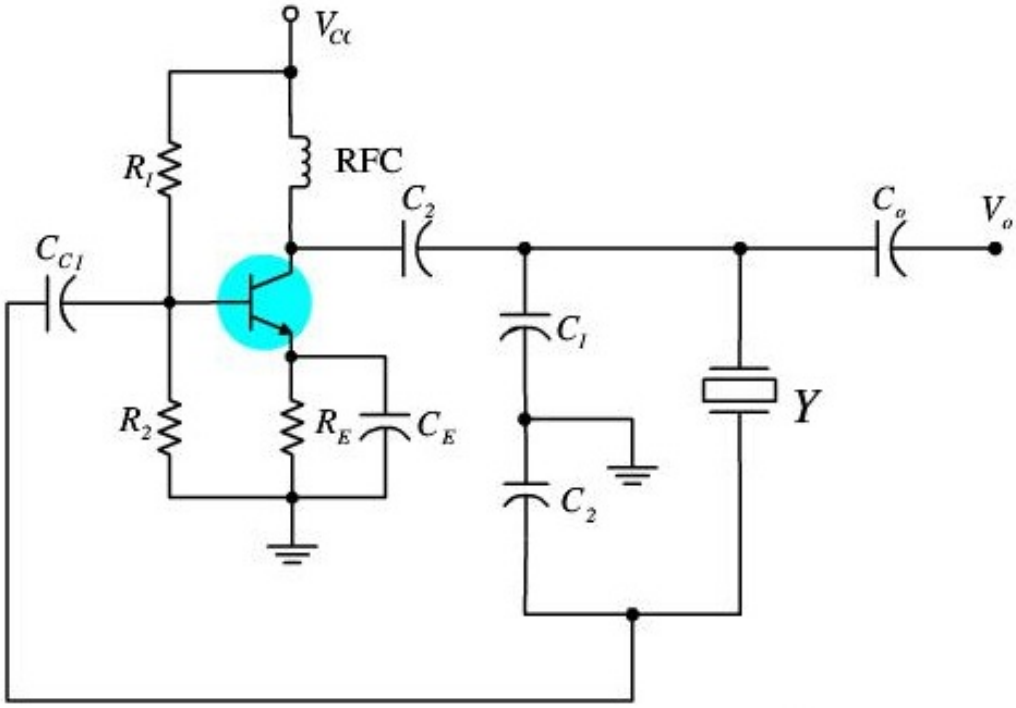
Tần số cộng hưởng nối tiếp là:

$$f_s = \frac{1}{2\pi\sqrt{LC_C}} \qquad (12.15)$$

Tần số cộng hưởng song song là:

$$f_p = \frac{1}{2\pi\sqrt{LC_C}}\sqrt{1+\frac{C_C}{C_M}} \qquad (12.16)$$

Vậy có thể sử dụng thạch anh để thay thế một mạch LC nối tiếp hay mạch LC song song. Ví dụ: Mạch dao động Colpitts dùng thạch anh như hình 12.19.



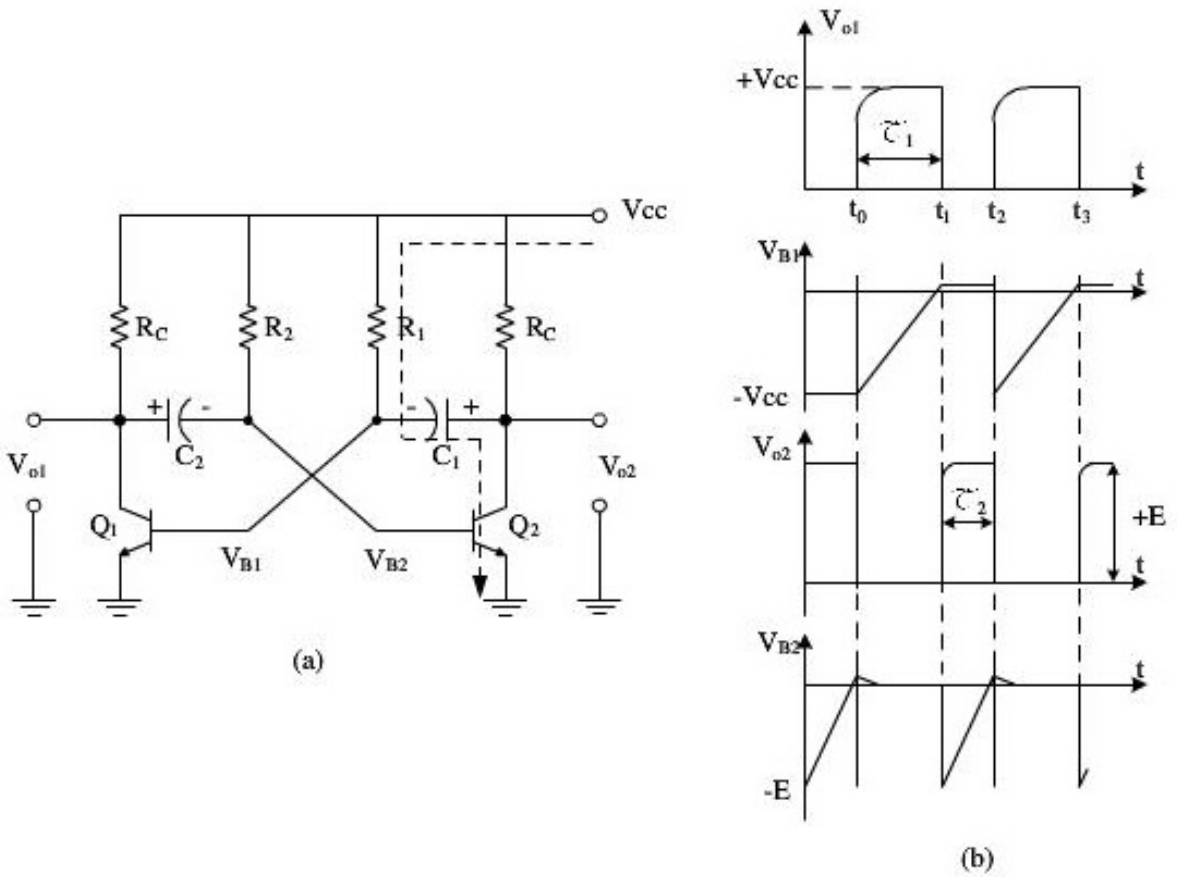
Hình 12.19. *Mạch dao động Colpitts dùng thể thạch anh.*

12.2. MẠCH DAO ĐỘNG TẠO XUNG

12.2.1. Mạch dao động tạo xung vuông

a. Mạch dao động đa hài dùng BJT

Trạng thái cân bằng của mạch (một BJT dẫn và một BJT ngắt) chỉ ổn định trong một nhất định nào đó rồi tự động lật lại trạng thái kia và ngược lại. Hình 12.20 trình bày sơ đồ nguyên lý và biểu đồ thời gian của mạch dao động đa hài tự dao động.



Hình 12.20. *a. Mạch nguyên lý bộ đa hài tự dao động; b. Biểu đồ thời gian*

Hai trạng thái nêu trên của mạch đa hài tự dao động còn được gọi là các trạng thái chuẩn cân bằng. Ở đó, những thay đổi tương đối chậm của dòng điện và điện áp giữa các điểm trong sơ đồ dẫn tới một trạng thái tới hạn mà tại đó có những điều kiên để tự động chuyển đột ngột từ trạng thái này sang trạng thái khác.

Nguyên lý hoạt động của mạch có thể tóm tắt như sau:

Việc hình thành xung vuông ở các ngõ ra được thực hiện sau một khoảng thời gian $\tau_1 = t_1 - t_o$ (đối với ngõ ra V_{o1}) hoặc $\tau_2 = t_2 - t_1$ (đối với ngõ ra V_{o2}) nhờ các quá trình đột biến chuyển trạng thái của sơ đồ tại các thời điểm t_o, t_1, t_2…

Trong khoảng thời gian τ_1, transistor Q_1 ở trạng thái ngắt Q_2 bão hòa. Tụ C_1 đã được nạp đầy điện tích trước lúc t_o phóng điện qua Q_2, qua nguồn V_{CC}, qua theo đường $+C_1$, Q_2, R_1, $-C_1$ làm điện thế trên cực base của Q_1 thay đổi theo hình 12.20.b. Đồng thời trong khoảng thời gian này tụ C_2 được nguồn V_{CC} nạp theo đường $+V_{CC}$, R_C, Q_2, $-V_{CC}$ làm điện thế trên cực base của Q_2 thay đổi theo hình vẽ. Tại thời điểm $t = t_1$ $V_{B1} = 0{,}6V$ Q_1 dẫn, xảy ra quá trình đột biến lần thứ nhất, lúc này V_{B2} âm làm cho Q_2 ngưng dẫn. Trong khoảng thời gian $\tau_2 = t_2 - t_1$ trạng thái trên được giữ nguyên, tụ C_2 bắt đầu

phóng điện và tụ C_1 bắt đầu quá trình nạp tương tự như đã nêu trên cho tới lúc $t = t_2$, $V_{B2} = 0,6V$ làm Q_2 mở và xảy ra đột biến lần thứ hai chuyển mạch về trạng thái ban đầu: Q_1 ngắt Q_2 dẫn.

Độ rộng xung τ_1 và τ_2 liên qua trực tiếp với hằng số thời gian phóng của tụ điện và được tính theo biểu thức sau:

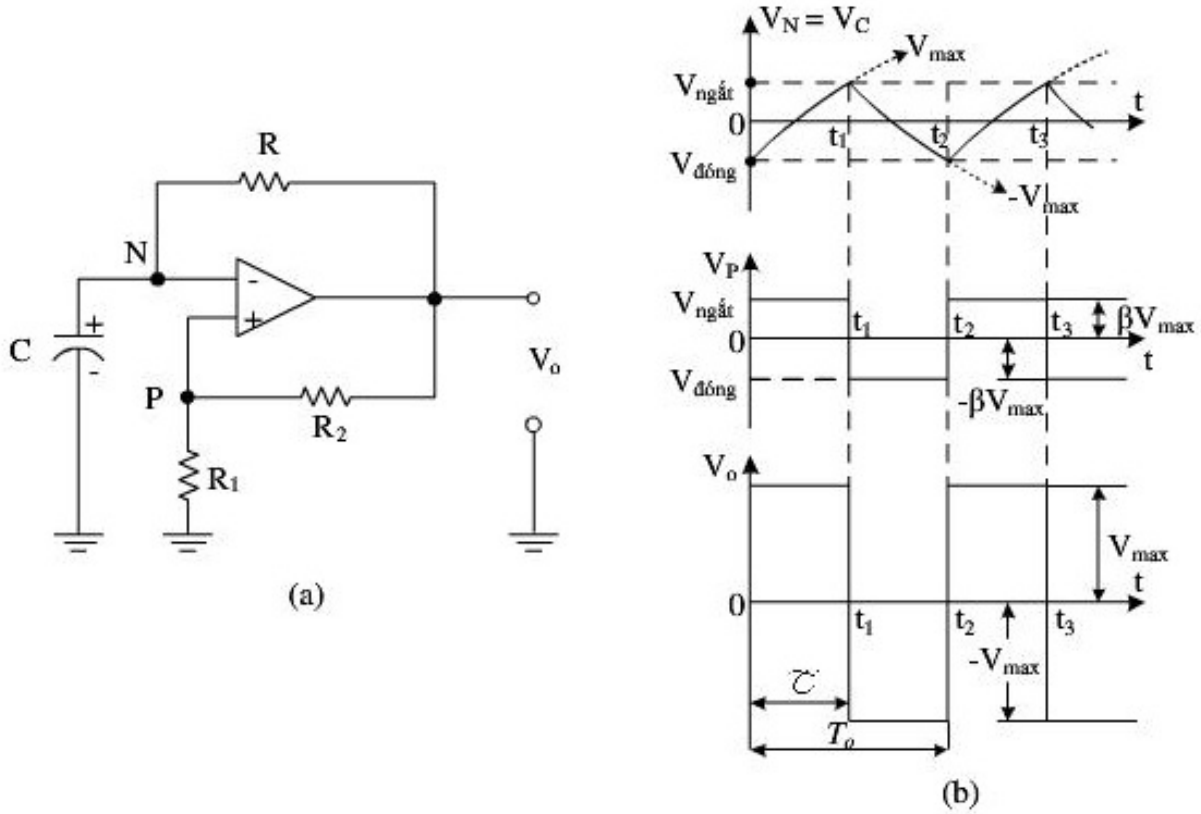
$$\tau_1 = R_1C_1\ln 2 = 0,693R_1C_1 = 0,7R_1C_1$$

$$\tau_2 = R_2C_2\ln 2 = 0,693R_2C_2 = 0,7R_2C_2$$

Tần số dao động của mạch là $f_o = \frac{1}{1.4RC}$

Biên độ xung ra được xác định gần đúng bằng giá trị nguồn cung cấp V_{CC}.

b. Mạch dao động đa hài dùng OP-AMP



Hình 12.21. *a. Bộ đa hài trên cơ sở bộ khuếch đại thuật toán; b. Giản đồ thời gian làm việc*

Nguyên lý hoạt động của mạch có thể giải thích tóm tắt như sau:

Giả sử ban đầu Op-Amp bão hòa dương $V_o = +V_{CC}$, khi đó điện thế trên đầu vào V_N tăng lên nhờ quá trình nạp tụ C cho đến khi đạt tới ngưỡng lật ($V_N > V_P$) thì sơ đồ chuyển trạng thái và điện áp ra $V_o = -V_{CC}$. Sau đó điện thế đầu vào V_N giảm dần nhờ quá trình phóng điện của tụ C cho đến khi đạt

tới ngưỡng lật ($V_N<V_P$) thì sơ đồ chuyển trạng thái và điện áp ra $V_o= +V_{CC}$ hình 12.21b.

Nếu chọn $V_{omax} = -V_{omin} = V_{CC}$ thì ta có:

$$V_{đóng}= - \beta.V_{CC};$$

$$V_{ngắt}= \beta.V_{CC};$$

Với $\beta = \frac{R1}{R1+R2}$ là hệ số hồi tiếp dương của mạch. Cần lưu ý là điện áp ngõ vào V_N chính là điện áp trên tụ C, sẽ biến thiên theo thời gian mang qui luật của quá trình phóng điện và nạp điện của tụ C từ nguồn V_{CC} hoặc $-V_{CC}$ thông qua R trong các khoảng thời gian từ $0 \div t_1$ và từ $t_1 \div t_2$.

Chu kỳ của mạch dao động được xác định theo công thức:

$$T = 2\tau = 2RC.\ln(1+\frac{2R1}{R2})$$

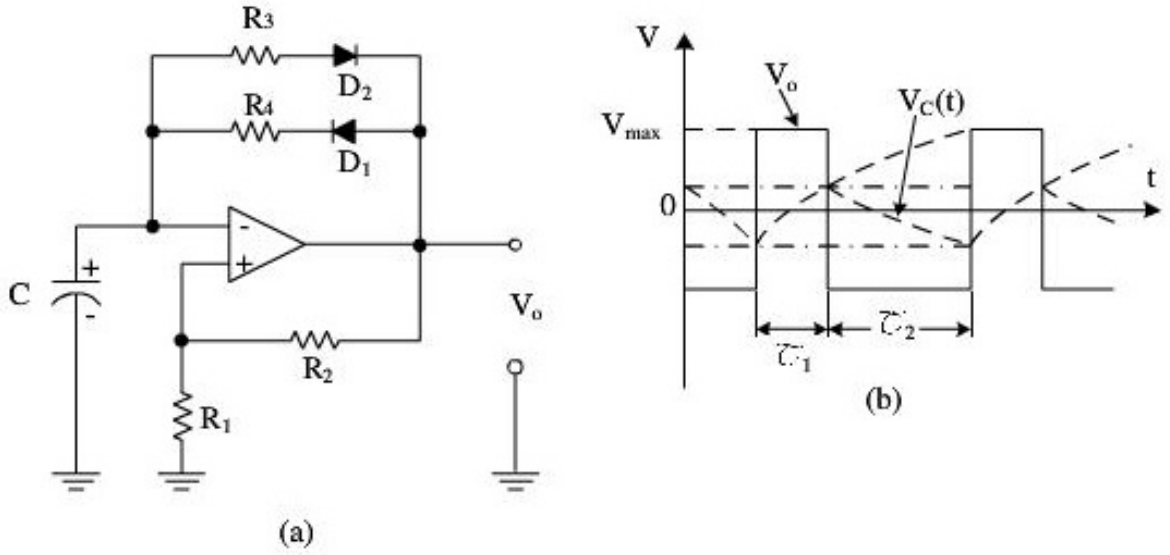
Nếu chọn $R_1 = R_2$ thì $T = 2,2\ RC$

Tần số dao động của mạch là $f_o = \frac{1}{2,2RC}$

Như vậy chu kỳ của mạch dao động chỉ phụ thuộc vào các thông số mạch ngoài R_1, R_2, R, C.

Khi cần thiết kế mạch dao động đa hài có độ ổn định tần số cao và có khả năng điều chỉnh tần số ta có thể sử dụng các mạch phức tạp hơn.

Hình 12.22. trình bày sơ đồ nguyên lý và giản đồ sóng của mạch dao động đa hài không đối xứng.



Hình 12.22. a. Mạch đa hài không đối xứng; b. Đồ thị thời gian dạng xung ra

Tụ điện C được nạp qua (R_4, D_1) và phóng qua (R_3, D_2).

Nếu chọn $R_3 \neq R_4$, khi đó $\tau_1 = R_4 C.\ln(1+\frac{2R1}{R2})$

$$\tau_2 = R_3\, C.\ln(1+\frac{2R1}{R2})$$

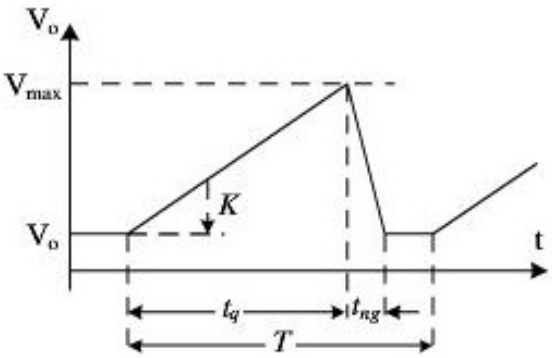
Do đó: $$T = \tau_1 + \tau_2 = C(R_3 + R_4)\ \ln\ (1+\frac{2R1}{R2})$$

Tần số dao động của mạch là $f_o = \frac{1}{T}$

Bằng cách thay đổi giá trị R_3 và R_4 ta sẽ thay đổi được độ rộng xung trong khi chu kỳ của tín hiệu vẫn giữ nguyên không đổi.

12.2.2. Mạch dao động tạo xung tam giác

Xung tam giác được sử dụng phổ biến trong các hệ thống điện tử như: thông tin, đo lường hay tự động điều khiển làm tín hiệu chuẩn hai chiều biên độ và thời gian có vai trò quan trọng trong hầu hết các hệ thống điện tử hiện đại. Hình 12.23 đưa ra dạng xung tam giác lý tưởng với các thông số như sau:



Hình 12.23. *Xung tam giác lý tưởng*

Biên độ V_{max},

Mức một chiều ban đầu (tại t=0) $U_q(t) = U_o$

Thời gian quét thuận: t_q

Thời gian quét ngược: t_{ng}

Tốc độ quét, hay độ nghiêng vi phân của đường quét: $K = \frac{dUq(t)}{dt}$

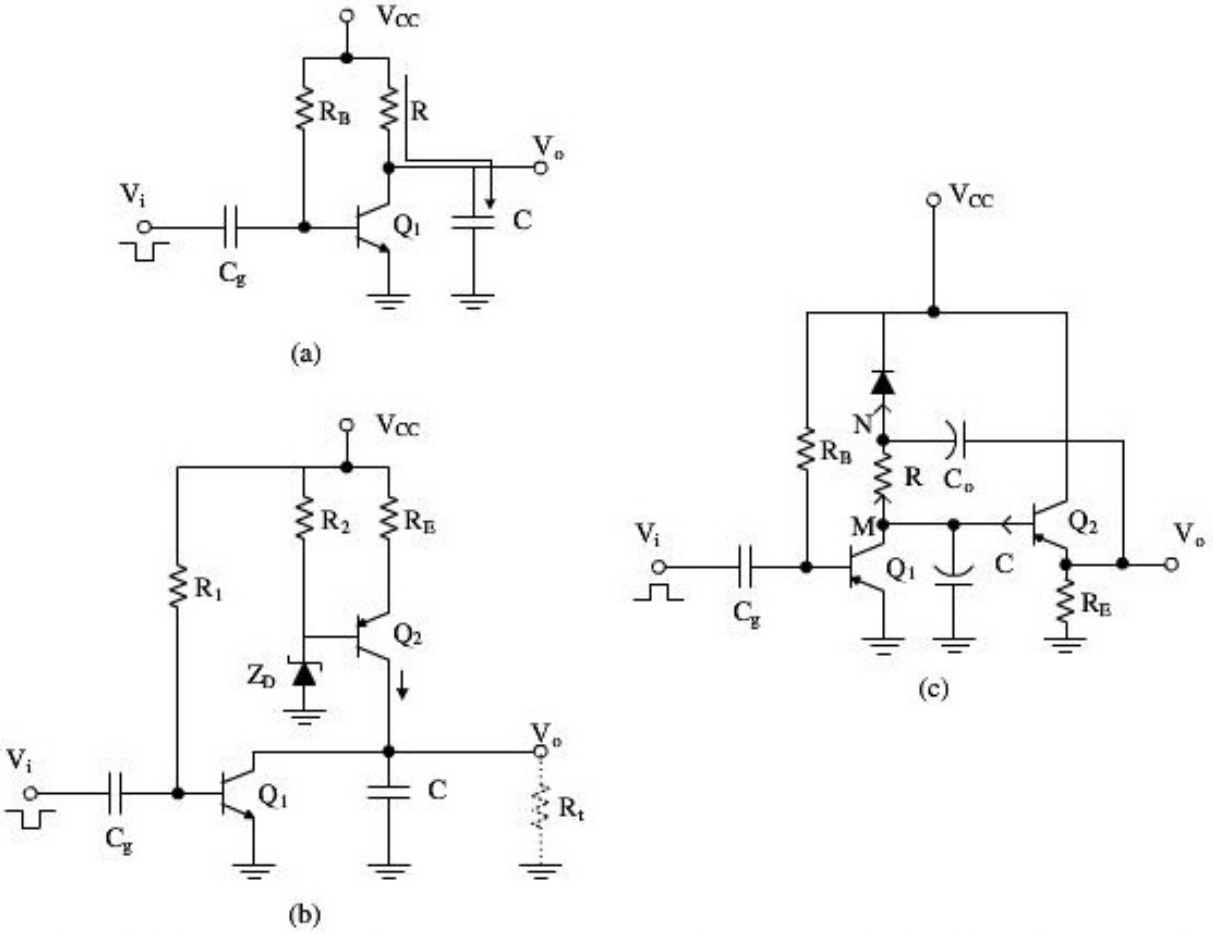
Nguyên lý tạo xung tam giác dựa trên việc sử dụng quá trình nạp hay phóng điện của một tụ điện qua một mạch nào đó. Khi quan hệ dòng và áp trên tụ biến đổi theo thời gian có dạng $I_c(t) = C\frac{dUc(t)}{dt}$ trong điều kiện C là

hằng số, muốn quan hệ $U_c(t)$ tuyến tính cần thỏa mãn điều kiện $i_c(t)$ = hằng số. Nói cách khác, sự phụ thuộc điện áp trên tụ điện theo thời gian càng tuyến tính khi dòng điện phóng hay nạp cho tụ càng ổn định.

Có hai dạng xung tam giác cơ bản là: trong thời gian quét thuận t_q, U_q tăng theo đường thẳng nhờ quá trình nạp tụ từ một nguồn một chiều nào đó và trong thời gian quét nghịch t_{ng}, U_q giảm theo đường thẳng nhờ quá trình phóng của tụ điện qua một mạch tải nào đó. Để đảm bảo $t_{ng} << t_q$, cần phải nạp nhanh và phóng chậm.

a. Mạch tạo xung tam giác dùng transistor

Hình 12.24 đưa ra các sơ đồ dùng transistor thông dụng để tạo xung tam giác.



Hình 12.24. *Các mạch tạo xung tam giác dùng transistor thông dụng nhất.*

Với mạch hình 12.24(a), ban đầu khi V_o=0, Q_1 dẫn bão hòa nhờ điện trở R_B, điện áp ra $V_o = V_{CEsat} \approx 0V$. Trong thời gian có xung vuông, cực tính âm điều khiển đưa tới cực base làm cho Q_1 ngưng dẫn, tụ C được nạp từ nguồn V_{CC} qua R làm điện áp trên tụ tăng dần theo quy luật hàm mũ: $U_c(t) = E(1-e^{-t/RC})$.

Điện áp này $U_c(t) = V_o(t)$ ở gần đúng bậc nhất tăng theo thời gian t.

Với mạch hình 12.24(b), transistor Q_2 mắc theo kiểu B chung có tác dụng như một nguồn ổn dòng cung cấp dòng I_{E2} ổn định nạp cho tụ trong thời gian có xung vuông cực tính âm điều khiển làm khóa Q_1. Với điều kiện gần đúng dòng cực C của Q_2 không đổi thì:

$$U_c(t) = \frac{1}{C}\int_0^{tq} I_{C2}dt = \frac{I_{C2}}{C}t$$ là quan hệ bậc nhất theo t.

Mạch này cho phép biên độ xung tam giác ngõ ra gần bằng với nguồn cung cấp V_{CC}. Tuy nhiên, khi có tải R_t nối song song trực tiếp với C thì có dòng qua R_t và làm giảm biên độ ngõ ra. Để sử dụng tốt, cần có biện pháp nâng cao R_t hay giảm ảnh hưởng của R_t đối với mạch ra của sơ đồ.

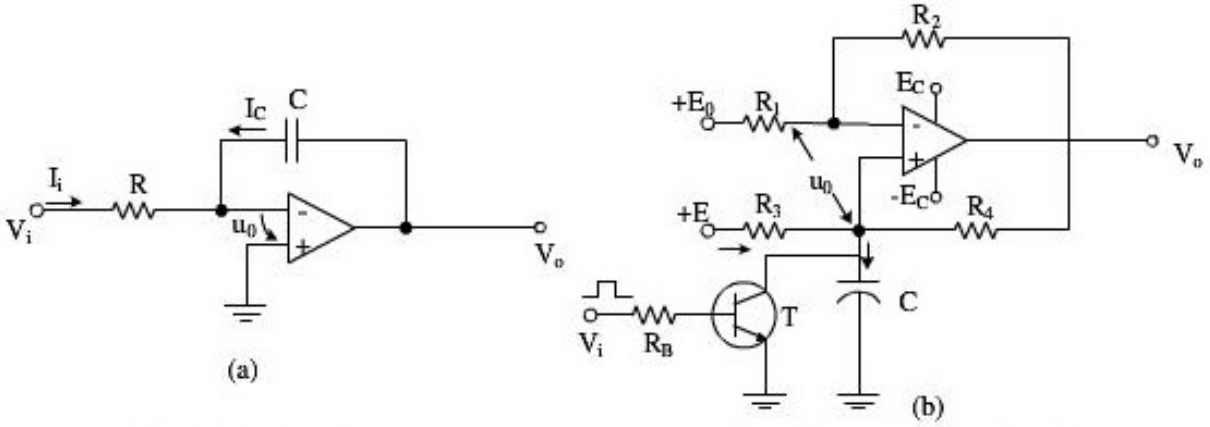
Với mạch 12.24(c), Q_1 phân cực nhờ R_B ở trạng thái dẫn và chỉ khóa khi có xung vuông tác động. Q_2 khuếch đại đệm làm việc ở chế độ đóng ngắt.

Ban đầu (V_i=0), Q_1 mở nhờ R_B, trong thời gian có xung vào Q_1 bị khóa, C được nạp qua Diode và R làm điện thế tại điểm M âm dần làm cho Q_2 dẫn mạnh và ổn định dòng nạp cho tụ dẫn đến điện áp ngõ ra tăng tuyến tính theo thời gian.

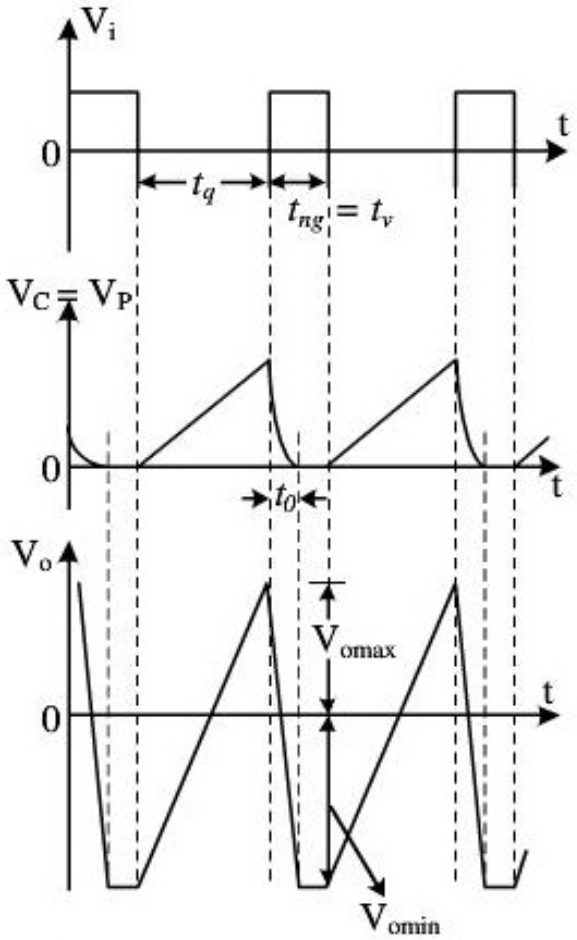
Ưu điểm của mạch này là biên độ điện áp ra đạt xấp xỉ điện áp nguồn cung cấp.

Các sơ đồ hình 12.24 có thể sử dụng với xung điều khiển cực tính ngược lại khi chuyển mạch Q_1 được thiết kế ở trạng thái khóa.

b. Mạch tạo xung tam giác dùng Op-Amp

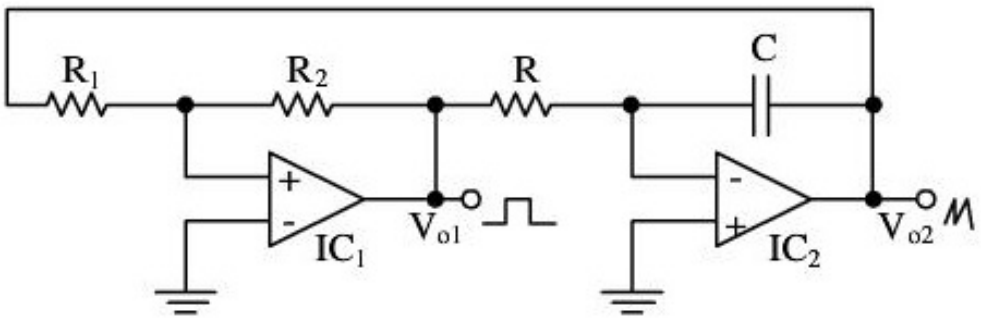


Hình 12.25. *Các dạng tạo xung tam giác dùng IC tuyến tính.*
a. Dạng mạch tích phân đơn giản;
b. Dạng mạch phức tạp có điều chỉnh hướng quét và cực tính



Hình 12.26. *Giản đồ thời gian mạch tạo xung tam giác hình 12.25b*

Ngoài ra người ta có thể tạo ra đồng thời một xung vuông và một xung tam giác nhờ ghép nối tiếp một bộ tích phân sau một mạch Trigger như Hình 12.27.



Hình 12.27. *Sơ đồ tạo đồng thời xung vuông (V_{o1}) và xung tam giác (V_{o2})*

12.3. BÀI TẬP

12.3.1. Hãy thiết kế một mạch dao động dịch pha sử dụng OP-AMP có $R_I = 20k\Omega$; $R = 1k\Omega$, hãy tính giá trị R_f và C để mạch tạo ra song sin có $f_o = 1kHz$.

12.3.2. Tính tần số dao động của mạch cầu Wien có $R_1 = R_2 = 51k\Omega$; $C_1 = C_2 = 0.001\mu F$;

12.3.3. Thiết kế mạch dao động cầu Wien có $f_o = 10kHz$.

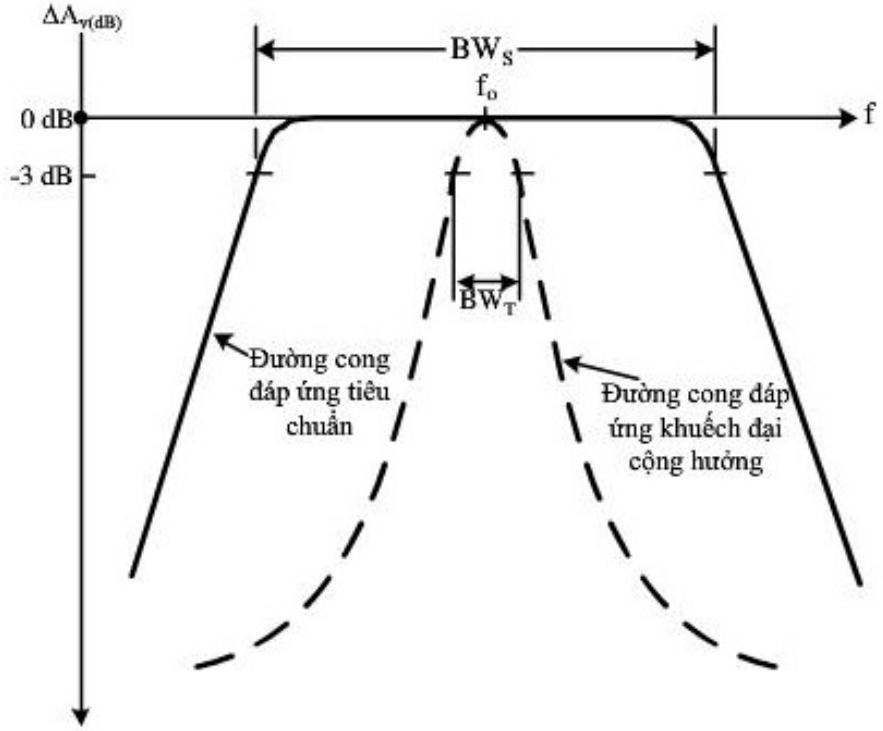
12.3.4. Một mạch dao động Colpits dùng transistor có $C_1 = 0.01\mu F$; $C_2 = 2500pF$ và $L = 40\mu H$. Hãy tính tần số dao động của mạch.

Chương 13
MẠCH KHUẾCH ĐẠI CỘNG HƯỞNG

13.1.GIỚI THIỆU

Chương 13 này là một chương không kém phần quan trọng và thú vị trong lĩnh vực điện tử. Nội dung chương sẽ giới thiệu, giải thích nguyên lý hoạt động, ứng dụng mạch khuếch đại cộng hưởng với mục đích khuếch đại tín hiệu tại một tần số mong muốn (tần số trung tâm f_0) và mạch lọc với mục đích chọn lọc những tín hiệu nằm trong vùng tần số được quan tâm (dải thông) còn tất cả những tín hiệu còn lại sẽ được khử hay làm suy giảm đi.

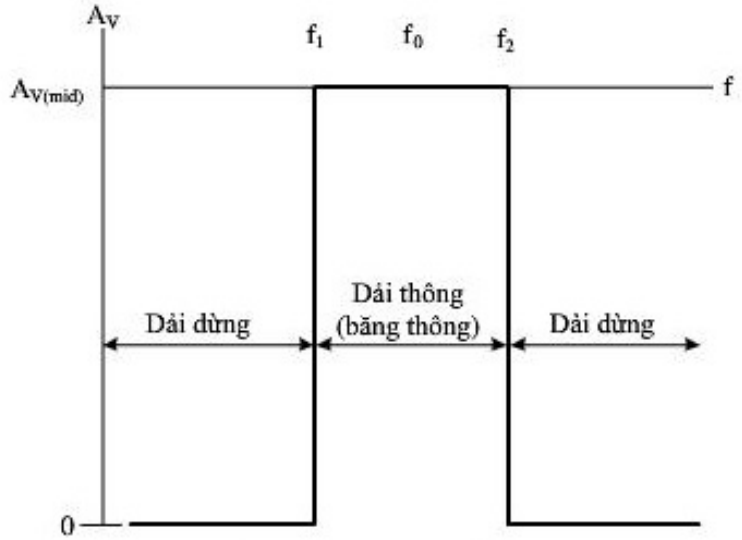
Một trong những mạch điện tử quan trọng của hệ thống thông tin đó là mạch khuếch đại cộng hưởng. Mạch khuếch đại cộng hưởng là mạch khuếch đại tín hiệu với băng tần hẹp và tần số trung tâm f_o. Tần số trung tâm là tần số mà tại đó mạch có hệ số khuếch đại lớn nhất. Các mạch khuếch đại cộng hưởng được thiết kế để nén tất cả các tín hiệu nằm dưới tần số cắt dưới f_L và nằm trên tần số cắt trên f_H. Mạch khuếch đại cộng hưởng được sử dụng trong hầu hết tất cả các thiết bị thông tin. Ví dụ như radio để nhận các tín hiệu AM và FM.



Hình 13.1. *Đáp ứng tần số của mạch khuếch đại cộng hưởng.*

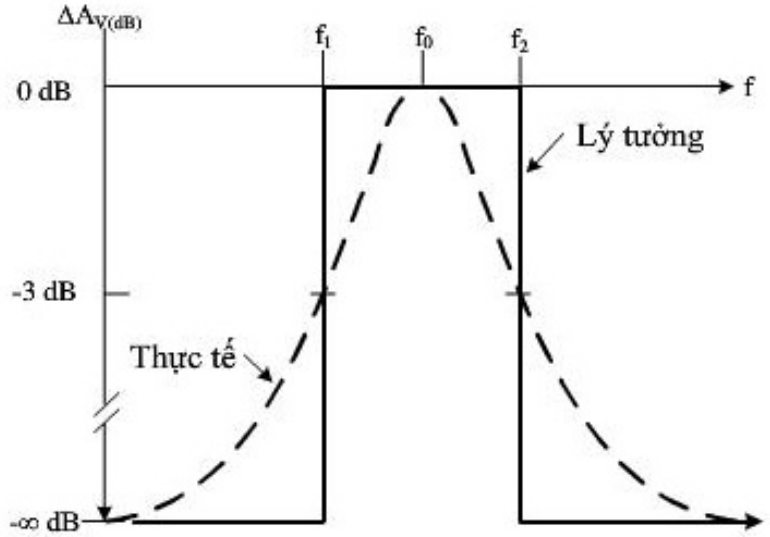
13.2. ĐẶC ĐIỂM CỦA MẠCH KHUẾCH ĐẠI CỘNG HƯỞNG

Một mạch khuếch đại cộng hưởng lý tưởng có băng tần như hình 13.1 và 13.2.



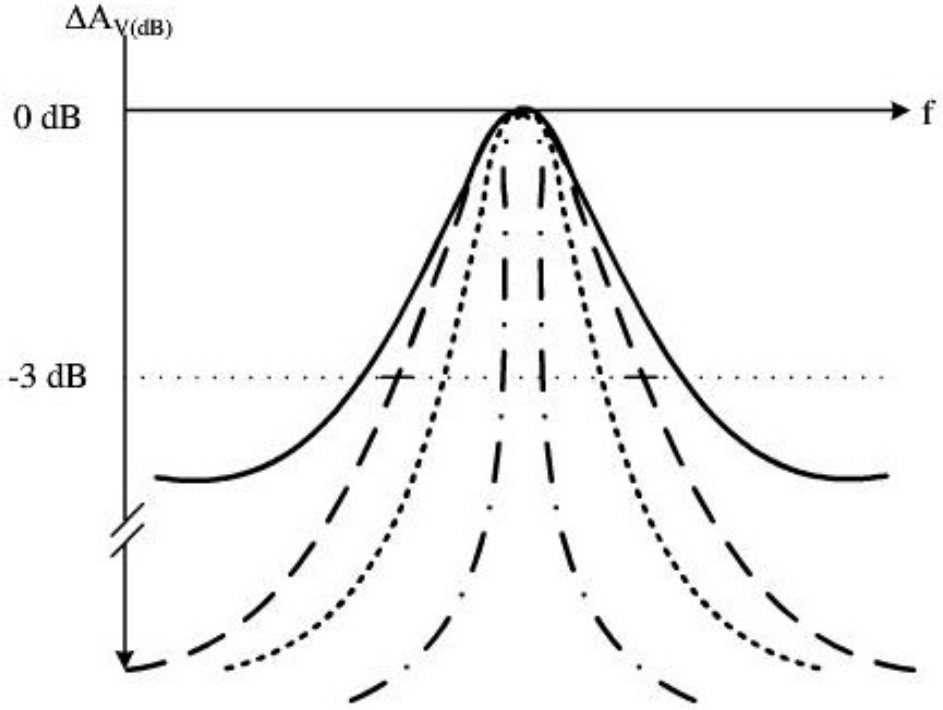
Hình 13.2. *Đáp ứng tần số của mạch khuếch đại cộng hưởng lý tưởng.*

Một mạch khuếch đại cộng hưởng lý tưởng chính là mạch lọc thông dải. Trong đó độ lợi cho tất cả các tần số từ 0 đến tần số cắt dưới f_1 (f_L) và từ f_2 (f_H) đến ∞ đều bằng 0 (khử tất cả các tín hiệu nằm trong vùng tần số này), còn các tín hiệu nằm trong dải tần f_1 đến f_2 sẽ được khuếch đại bằng nhau với hệ số khuếch đại mong muốn. Trong thực tế, điều này không thể đạt được. Hình 13.3 sẽ so sánh đáp ứng tần số của mạch khuếch đại cộng hưởng lý tưởng và thực tế.



Hình 13.3 *So sánh đáp ứng tần số thực tế và lý tưởng.*
Trong đó -∞ dB tương ứng với $A_v = 0$

Có một thực tế là chúng ta không thể xây dựng được mạch khuếch đại cộng hưởng mà chỉ cố gắng để đạt gần lý tưởng. Thực tế như hình 13.3 thì mạch khuếch đại cộng hưởng chỉ khuếch đại lớn nhất tại tần số trung tâm f_o. Ngoài tần số này, độ lợi suy giảm mạnh đặc biệt là ngoài vùng dải thông của mạch. Do đó, để xây dựng một mạch cộng hưởng tốt cần phải tìm cách tăng độ dốc (Roll – Off) của đường suy giảm tín hiệu. Nếu độ dốc được tăng thì dải thông sẽ hẹp lại như hình sau:



Hình 13.4. *Tỷ lệ giữa băng tần và độ dốc.*

Độ dốc trong mạch khuếch đại cộng hưởng được điều khiển bởi hệ số phẩm chất Q (Quality) của mạch, Q là hệ số phẩm chất được tính bởi tỉ số của tần số trung tâm và độ rộng băng tần

$$Q = \frac{f_O}{BW} \qquad (13.1)$$

Tần số trung tâm được tìm bởi trung bình hình học của f_1 và f_2:

$$f_0 = \sqrt{f_1 f_2} \qquad (13.2)$$

Khi Q của mạch KĐ lớn hơn hoặc bằng 2, f_o đạt tới giá trị trung bình của f_1 và f_2:

$$f_0 \cong f_{ave}$$

Trong đó, f_{ave} được tính: $$f_{ave} = \frac{f_1 + f_2}{2} \quad (13.3)$$

Ví dụ: Một mạch khuếch đại cộng hưởng có $f_1 = 1160kHz$ và $f_2 = 1240kHz$.

Tìm f_o và f_{ave}.

Ta có: $$f_0 = \sqrt{f_1 f_2} = \sqrt{1160 * 1240} = 1199(kHz)$$

Và

$$f_{ave} = \frac{f_1 + f_2}{2} = \frac{1120 + 1240}{2} = 1200(kHz)$$

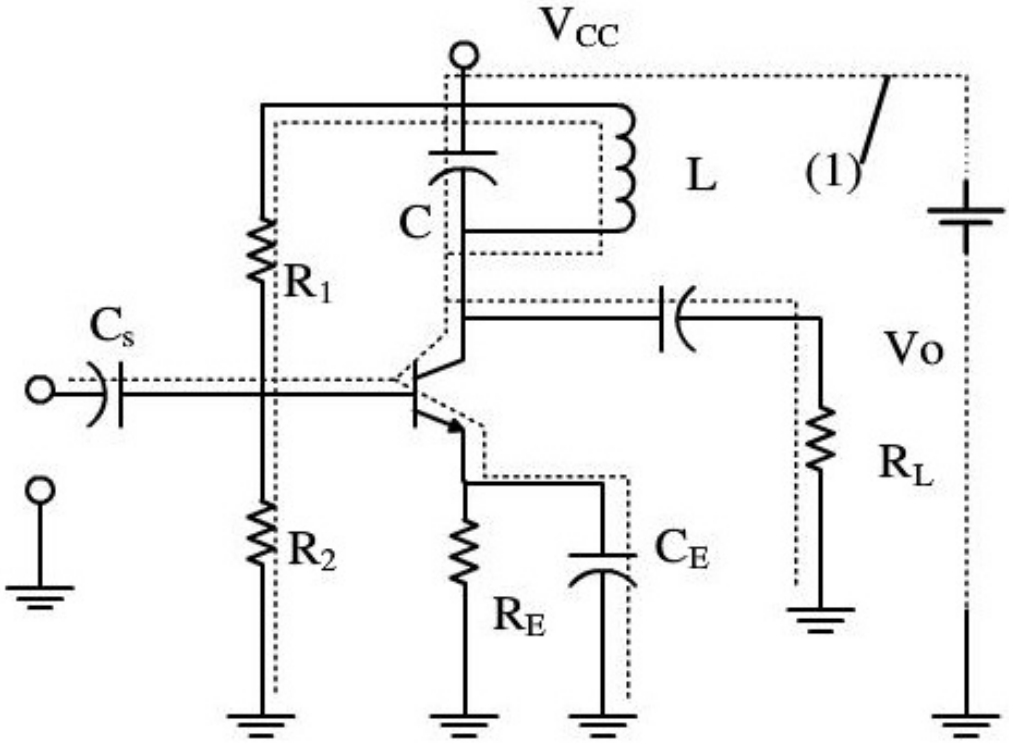
Ta thấy hai giá trị $f_0 \cong f_{ave}$, kiểm tra lại giá trị Q của mạch:

$$Q = \frac{f_0}{BW} = \frac{1199}{80} = 14.99$$

Vậy ta thấy khi Q lớn hơn hoặc bằng hai thì f_o gần bằng f_{ave}

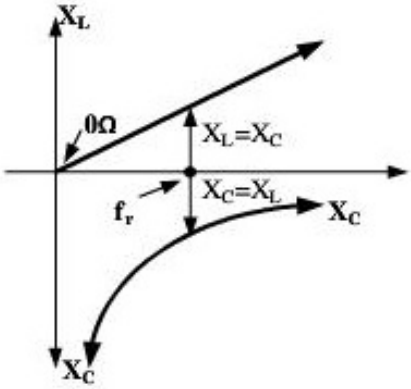
13.3. MẠCH KHUẾCH ĐẠI CÔNG HƯỞNG DÙNG LINH KIỆN RỜI

Mạch khuếch đại cộng hưởng dùng khung LC thay cho điện trở R_C, như hình:



Hình 13.5. *Mạch khuếch đại công hưởng dùng khung LC.*

Mạch LC song song có đặc tính tổng trở như hình 17.6:



Hình 13.6. *Đặc tính tổng trở của khung LC.*

Tần số cộng hưởng của mạch LC là:

$$f_r = \frac{1}{2\pi\sqrt{LC}} \qquad \text{[r: resonant]} \qquad (13.4)$$

Tại tần số cộng hưởng này, $X_L = X_C$, khi đó tổng trở của khung LC

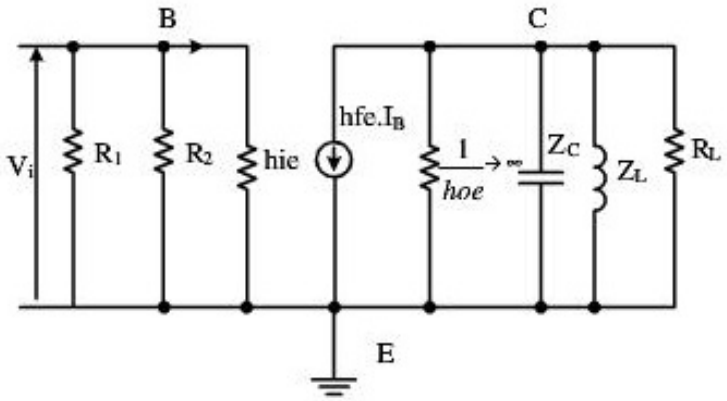
$$Z = Z_L // Zc = \frac{j\omega L.(-j/\omega C)}{j\omega L - j/\omega C} = \infty \qquad (13.5)$$

➢ Nguyên lý hoạt động:

– BJT được phân cực bởi VCC, R1, R2 và RE; BJT ở trạng thái khuếch đại.

– Sơ đồ của mạch đối với tín hiệu ac khi có dòng xoay chiều ta có khung đường đi theo khung (1) tín hiệu xoay chiều trên hình 13.5. Tụ C_S, C_E có giá trị lớn nên $Z_{CS} = Z_{CE} \approx 0$. Khung LC sẽ tạo dao động cộng hưởng tại tần số xác định là tần số cộng hưởng của khung.

– Ta có mạch tương đương tín hiệu nhỏ trên hình 13.7



Hình 13.7. *Sơ đồ tương đương của mạch khuếch đại cộng hưởng với tín hiệu ac.*

Ta có tại tần số cộng hưởng độ lợi mạch là lớn nhất:

$$|A_v|_{\max} = \frac{-Z // R_L}{r_e} = -\frac{R_L}{r_e} \qquad (13.6)$$

Khi tín hiệu vào có tần số $f_{in} < f_r$, X_c lớn hơn X_L, do đó dòng điện của khung LC chủ yếu đi qua cuộn dây. Khi đó, tổng trở khung LC $Z \approx Z_L$ nên lúc này độ lợi mạch là:

$$A_v = \frac{-Z // R_L}{r_e} \approx -\frac{Z_L // R_L}{r_e} \qquad (13.7)$$

Khi tần số giảm đến:

$$f_{in} = f_L = \frac{R_L}{2\pi L} \qquad (13.8)$$

thì độ lợi giảm đi 3dB, vậy đó chính là tần số cắt dưới của mạch.

Khi tín hiệu vào có tần số $f_{in} = f_r$, X_c bằng X_L, do đó tổng trở của khung LC bằng vô cùng, dòng điện qua khung LC bằng 0, dòng i_c chủ yếu đi qua R_L. Như vậy hiệu suất và độ lợi của mạch đạt giá trị cực đại.

$$|A_v|_{\max} = \frac{-Z // R_L}{r_e} = -\frac{R_L}{r_e} \qquad (13.9)$$

Vậy tần số cộng hưởng của khung LC chính là tần số trung tâm của mạch khuếch đại cộng hưởng.

$$f_0 = f_r \qquad (13.10)$$

Khi tín hiệu vào có tần số $f_{in} > f_r$, trở kháng của cuộn dây tăng và trở kháng tụ điện giảm nhanh chóng (X_c nhỏ hơn X_L).

Khi tần số tín hiệu ngõ vào tiếp tục tăng đến:

$$f_{in} = f_L = \frac{1}{2\pi C R_L} \qquad (13.11)$$

Thì độ lợi giảm đi 3dB, đó chính là tần số cắt trên của mạch.

➢ **Hệ số phẩm chất Q**

Hệ số phẩm chất Q của mạch khuếch đại cộng hưởng phụ thuộc vào khung LC, hay nói chính xác nó chính là tỉ số của năng lượng lưu trữ trong mạch và năng lượng bị mất trong mạch:

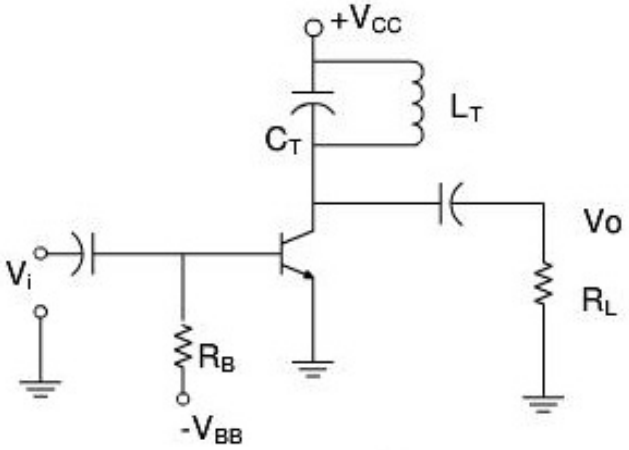
$$Q = \frac{X_L}{R_w} \qquad (13.12)$$

X_L: trở kháng của cuộn dây tại tần số trung tâm.

R_w: điện trở của khung RLC. Nếu điện trở cuộn dây bé $R_w = R_L$.

13.4. MẠCH KHUẾCH ĐẠI CÔNG SUẤT LỚP C

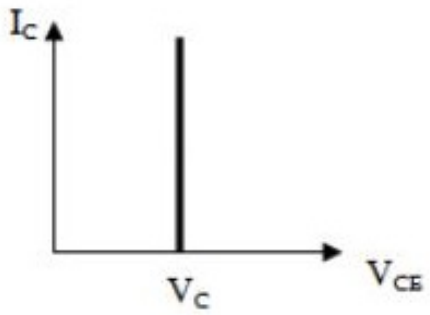
- Mạch khuếch đại công suất lớp C là mạch khuếch đại cho tín hiệu ngõ ra khác với tín hiệu ngõ vào về hình dạng.
- Chính là mạch khuếch đại cộng hưởng có thêm nguồn V_{BB}.



Hình 13.8. *Mạch khuếch đại lớp C.*

➢ Phân tích DC:

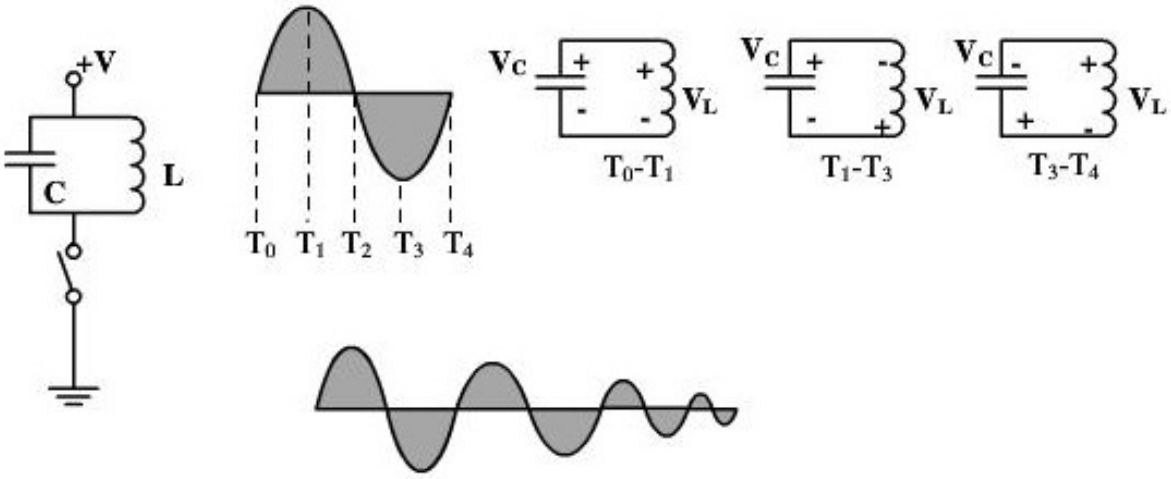
Transistor trong mạch khuếch đại lớp C có điểm tĩnh Q nằm sâu trong vùng tắt do đó $I_C = 0$ và $V_{CE} = V_{CC}$. DCLL như hình vẽ



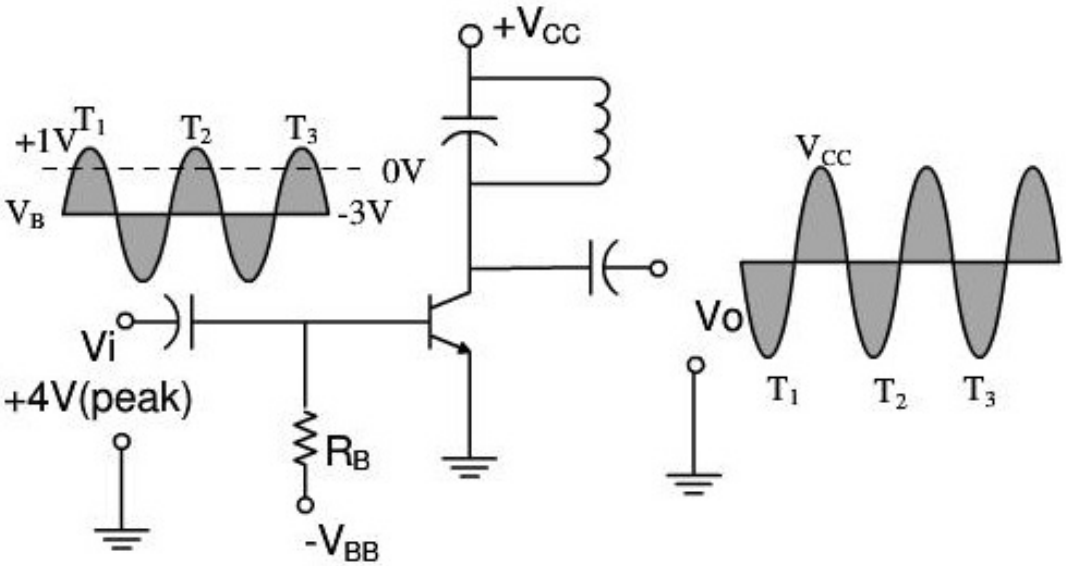
Hình 13.9. *Đường tải DC*

➢ Phân tích ac:

Hoạt động ac của mạch dựa vào đặc tính của mạch cộng hưởng song song.



Hình 13.10. *Hoạt động của khung LC.*



Hình 13.11. *Hoạt động của mạch khuếch đại lớp C.*

13.5. MẠCH LỌC TÍCH CỰC:

13.5.1. Giới thiệu

Mạch lọc là một mạch có khả năng cho tín hiệu nằm trong khoảng tần số nào đó đi qua và làm suy hao hay khử tất cả các tần số nằm trong khoảng còn lại. Khoảng tần số của tín hiệu mà mạch lọc cho phép đi qua gọi là dải thông của mạch (passband). Thông thường, dải thông của mạch là dải tần số được phép đi qua mạch lọc với độ suy hao thấp nhất (qui ước độ suy hao tín hiệu này là ít hơn -3dB tương đương độ suy giảm còn 70.7%).

Tần số cắt f_C (Critical frequency hay cut off frequency) là điểm tần số mà tại đó đáp ứng của mạch giảm -3dB so với đáp ứng trong vùng dải thông. Tần số cắt là điểm giới hạn của vùng dải thông. Các tần số cắt này

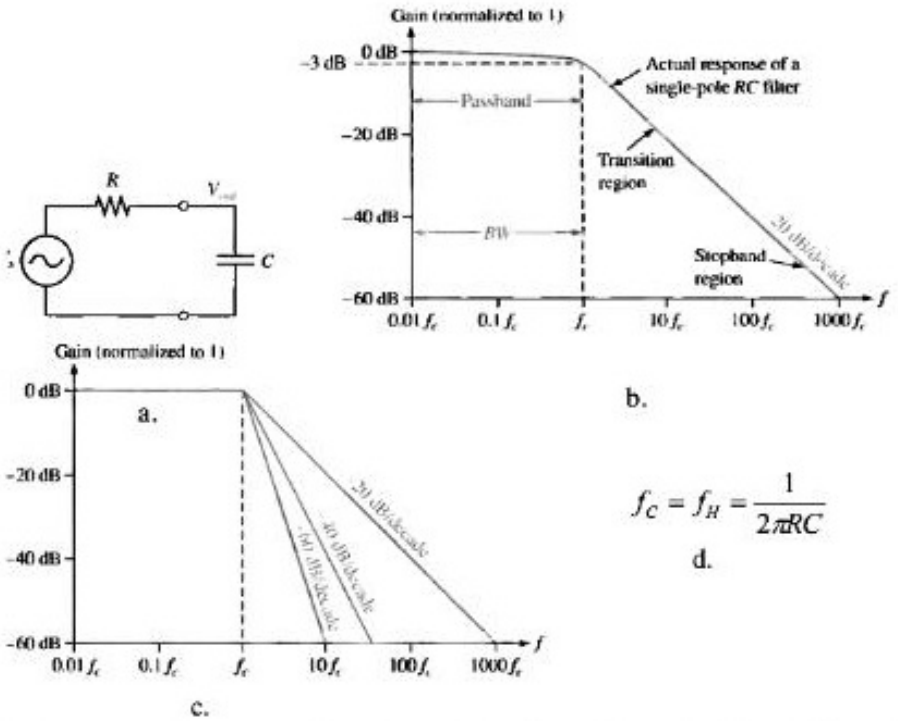
còn được gọi là f_L (low frequency – tần số cắt dưới) và f_H (high frequency – tần số cắt trên) ngụ ý là điểm giới hạn dưới hay giới hạn trên của vùng dải thông.

Mạch lọc thường dùng những mạch RC, LC hay RLC được gọi là mạch lọc thụ động (passive). Còn mạch lọc kết hợp giữa phần tử tích cực BJT hay Op-Amp với mạch lọc thụ động được gọi là mạch lọc tích cực (active) nhờ khả năng khuếch đại tín hiệu của phần tử tích cực này.

Mạch lọc phần tử RC thường được dùng ở tần số thấp, ở tần số cao hơn người ta hay dùng thêm cuộn dây L.

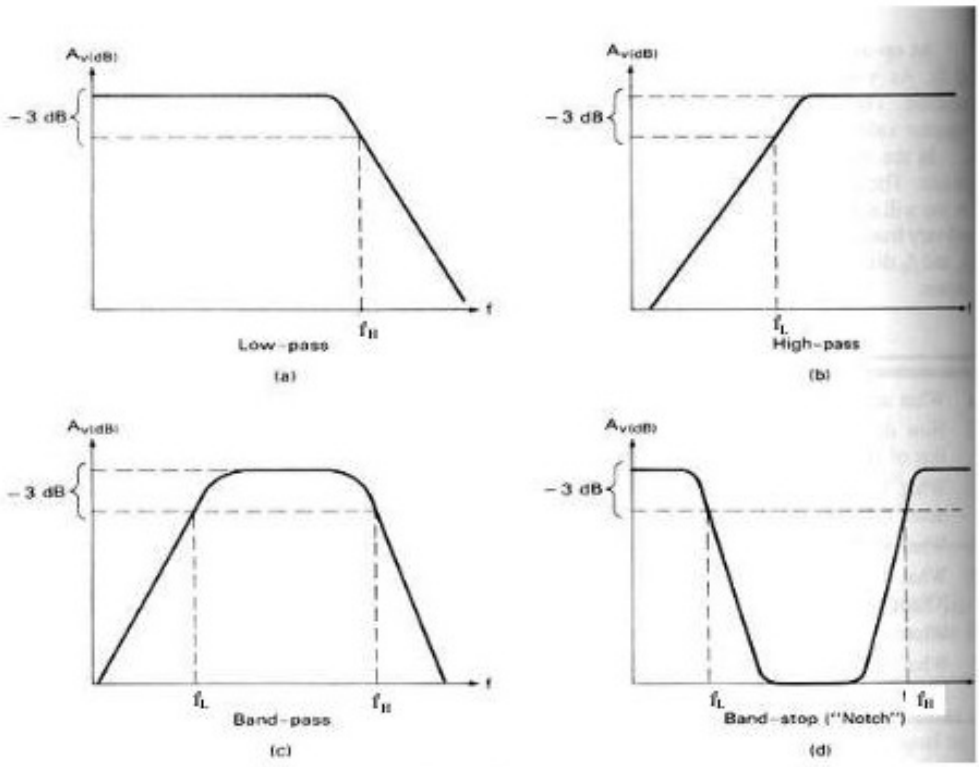
Bậc của mạch lọc quyết định độ suy giảm của tín hiệu có tần số ngoài vùng dải thông. Mạch lọc bậc một có độ suy giảm là -20dB/decade, bậc hai có độ suy hao là -40dB/decade, bậc ba có độ suy hao là -60dB/decade… Phần sau sẽ trình bày mạch lọc dùng phần tử RC và bậc của mạch lọc dựa vào số mũ của biến phức jω (hay s) trong hàm truyền độ lợi Av. Nếu hàm truyền A_v chứa đa thức bậc nhất của jω thì là mạch lọc bậc nhất, tương tự nếu chứa đa thức bậc hai của jω thì là mạch lọc bậc hai…Bây giờ, ta sẽ xem lại mạch lọc thông thấp dùng phần tử thụ động RC (hình 13.12) mà ta đã khảo sát ở phần đáp ứng tần số nên không chứng minh lại công thức:

- Biểu thức độ lợi mạch $A_v = \dfrac{V_{out}}{V_{in}} = \dfrac{-j/2\pi fC}{R - j/2\pi fC} = \dfrac{1}{1 + j\omega RC}$ chứa đa thức bậc nhất của jω nên mạch là mạch lọc bậc một.
- Độ lợi mạch $A_v = \dfrac{V_{out}}{V_{in}} = \dfrac{-j/2\pi fC}{R - j/2\pi fC}$ lớn nhất bằng 1 do mạch chỉ dùng phần tử thụ động không có khả năng khuếch đại tín hiệu.
- Tần số cắt f_C của mạch giới hạn độ rộng vùng dải thông của mạch trong vùng tần số [0, f_C]. Rõ ràng trong trường hợp này f_C là giới hạn trên của vùng dải thông nên nó còn được gọi là f_H.
- Đối với mạch lọc thực tế, trong vùng dải thông độ lợi mạch có suy giảm chút ít (khoảng -3dB), còn đối với mạch lọc lý tưởng, ta xem như trong vùng dải thông độ lợi mạch không đổi.
- Ngoài vùng dải thông, do mạch lọc là bậc một nên độ suy giảm của tín hiệu (hay độ lợi) là -20dB/decade tương đương khi tần số thay đổi 10lần – 1decade (cụ thể đối với mạch này là tần số tăng 10 lần) độ lợi sẽ giảm 20dB (giảm 10lần).



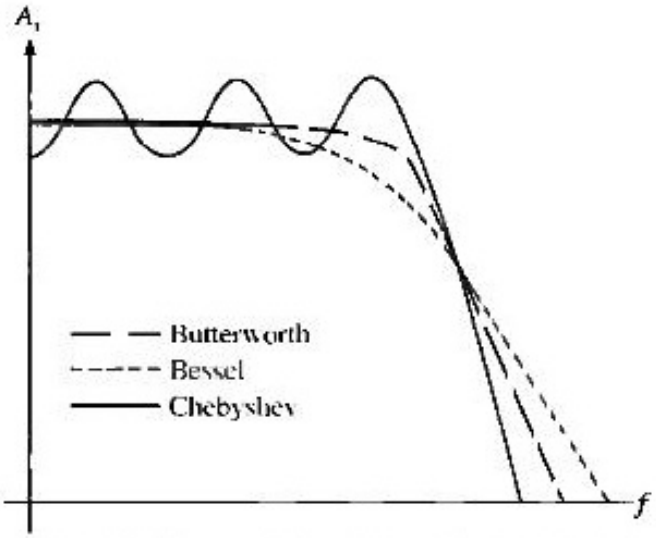
Hình 13.12. *a. Mạch lọc thông thấp thụ động b. Đáp ứng tần số thực tế của mạch lọc c. Đáp ứng tần số lý tưởng của mạch lọc d. Tần số cắt trên của mạch lọc*

➢ Phân loại mạch lọc tích cực:



Hình 13.13. *Đáp ứng tần số của các mạch lọc tích cực. a. Thông thấp b. Thông cao c. Thông dải d. Chắn dải*

Mỗi dạng mạch lọc: thông thấp, thông cao, thông dải, dải triệt tuỳ thuộc vào việc lựa chọn những giá trị của các linh kiện trong mạch mà chúng sẽ có những đặc tính đáp ứng khác nhau: Butterworth, Bessel, Chebyshev.



Hình 13.14. *Đáp ứng tần số của mạch lọc thông thấp với ba đặc tính khác nhau*

Ví dụ ta sẽ khảo sát mạch lọc thông thấp với 3 đặc tính của đáp ứng tần số (hình 13.14):

– *Đặc tính Butterworth*: Đặc tính này cho đáp ứng trong vùng dải thông của mạch là bằng phẳng, độ suy giảm của tín hiệu ngoài vùng dải thông là -20dB/decade/bậc một. Tuy nhiên, nhược điểm của đặc tính này là dễ gây vọt lố ngõ ra vì thời gian trì hoãn của tín hiệu đi qua mạch lọc phi tuyến với tần số.

– *Đặc tính Chebyshev:* Ưu điểm của đặc tính này là độ dốc lớn - độ suy giảm của tín hiệu ngoài vùng dải thông là lớn hơn đặc tính Butterworth. Tuy nhiên, nhược điểm của nó là đáp ứng của tín hiệu trong vùng dải thông là nhấp nhô hay bị vọt lố.

– *Đặc tính Bessel*: Ưu điểm của đặc tính này là đặc tính pha tuyến tính, nghĩa là độ dịch pha giữa tín hiệu vào và ra tăng theo tần số. Nên tín hiệu ngõ ra hầu như không bị méo dạng hay vọt lố. Đặc tính Bessel không phẳng như Butterworth và độ dốc cũng không lớn như đặc tính Chebyshev.

Tuỳ từng mục đích khác nhau mà ta thiết kế mạch lọc với đặc tính thích hợp. Mạch lọc Butterworth được dùng để khử aliasing của tín hiệu. Mạch lọc Chebyshev dùng khi chỉ quan tâm đến phần tần số tín hiệu được lọc không quan tâm đến độ lợi trong vùng dải thông.

➢ **Tóm tắt**

Như đã khảo sát ở chương đáp ứng tần số để có thể vẽ đáp ứng tần số của mạch lọc ta làm theo các bước sau:

Bước 1: Tìm biểu thức độ lợi mạch: $A_V = \dfrac{V_{out}}{V_{in}} = \dfrac{a + jb}{a_1 + jb_1}$.

Biểu thức A_v phụ thuộc vào tần số và là một số phức.

Bước 2: Tìm biên độ của A_v, $|A_v|$, và góc pha của A_v nếu cần vẽ đáp ứng pha-tần.

Bước 3: Tìm $|A_v|_{max}$. Khi tần số thay đổi $|A_v|$ thay đổi theo. Dựa vào đó ta sẽ tìm $|A_v|_{max}$.

Bước 4: Tìm tần số cắt f_L, f_H. Trong vùng dải thông mạch đạt được độ lợi $|A_v|_{max}$ và tần số cắt là tần số tại đó đáp ứng mạch giảm -3dB (hay $\frac{1}{\sqrt{2}}$) so với đáp ứng trong vùng dải thông của mạch nên ta tìm tần số cắt bằng cách:

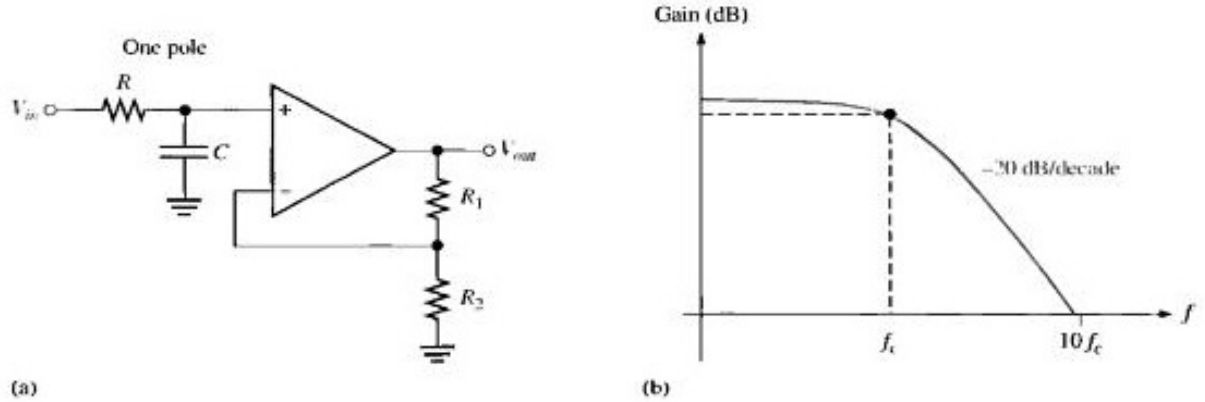
Giải phương trình: $\dfrac{|A_v|}{|A_v|_{max}} = \dfrac{1}{\sqrt{2}}$ để tìm tần số cắt.

Bước 5: Tìm độ suy hao ngoài vùng dải thông (dB/decade). Xét tại điểm tần số $f = 0.1f_L$ hoặc $f = 10f_H$ (1decade) và tìm $|A_v|$ tại tần số này từ đó suy ra độ suy hao.

Trên đây là những khái niệm về bản về mạch lọc. Sau đây, chúng ta sẽ tìm hiểu chi tiết những dạng mạch lọc tích cực với qui ước những mạch lọc phần này sẽ xét với đặc tính Butterworth.

13.5.2. Mạch lọc tích cực thông thấp (Low Pass Filter – LPF)

a. Mạch lọc thông thấp bậc 1:



Hình 13.15. Mạch lọc thông thấp bậc một dùng mạch khuếch đại không đảo.

Biểu thức độ lợi $$A_V = (1 + \frac{R_1}{R_2})\frac{-j/2\pi fC}{R - j/2\pi fC} \quad (13.13a)$$

Độ lợi lớn nhất của mạch (độ lợi trong vùng dải thông của mạch – nếu xem như mạch là lý tưởng):

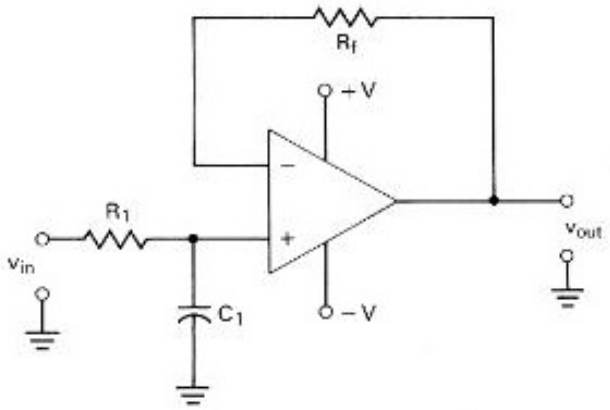
$$A_V = \frac{R_1}{R_2} + 1 \quad (13.13b)$$

Với tần số cắt trên là: $$f_C = f_H = \frac{1}{2\pi RC} \quad (13.14)$$

Độ suy hao của mạch ngoài vùng dải thông là -20dB/decade (mạch lọc bậc một). Lưu ý tất cả các đặc điểm của mạch lọc thông thấp bậc một đã trình bày ở trên, đều có thể tìm được bằng cách dùng các bước đã hướng dẫn. Phần này đã chứng minh ở phần đáp ứng tần số của mạch khuếch đại nên không nhắc lại.

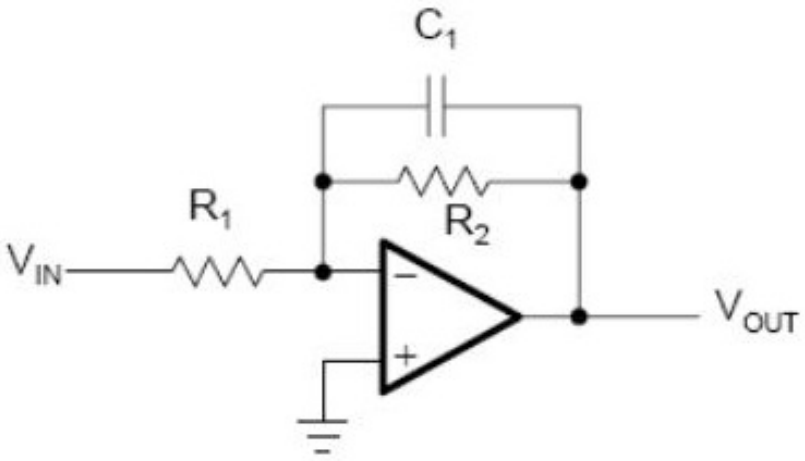
➢ ***Nhận xét:*** Do dùng phần tử op-amp nên tín hiệu sau khi đi qua mạch lọc không những được chọn lọc tần số mà còn được khuếch đại lên (tính tích cực của mạch).

Hoặc thay đổi cấu trúc mạch một chút ta sẽ được mạch có $A_{VF} = 1$, mạch trở thành mạch lọc đệm:



Hình 13.16. *Mạch lọc thông thấp có $A_V = 1$.*

Tương tự ta có mạch lọc thông thấp bậc một dùng mạch khuếch đại đảo như hình sau:



Hình 13.17. Mạch lọc thông thấp bậc một dùng mạch khuếch đại đảo.

b. Mạch lọc thông thấp bậc cao:

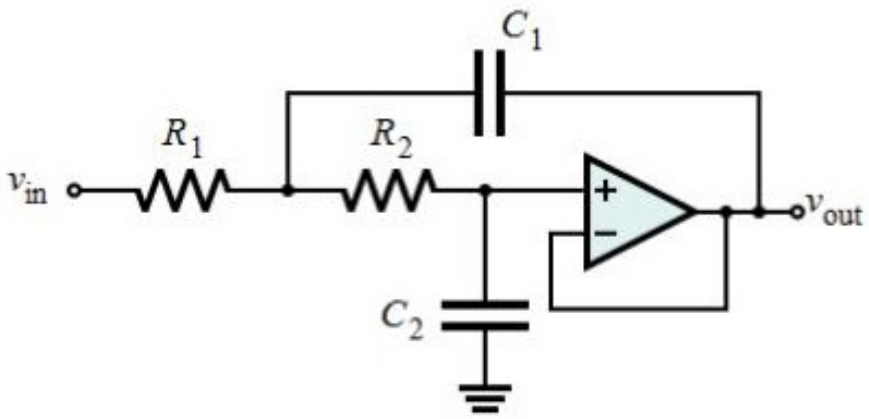
Mạch lọc bậc cao được thiết kế bằng cách mắc nối tiếp nhiều mạch lọc bậc thấp hơn. Yêu cầu của thiết kế này là các mạch lọc bậc thấp này phải có cùng tần số cắt và sử dụng ít op-amp. Mỗi op-amp chỉ có thể tạo được mạch lọc bậc hai là tối đa. Do đó mạch lọc bậc ba được tạo thành bằng cách nối tiếp mạch lọc bậc một và bậc hai, mạch lọc bậc bốn được tạo thành bằng cách nối tiếp hai mạch lọc bậc hai, mạch lọc bậc năm được tạo thành bằng cách nối tiếp mạch lọc bậc một và hai mạch lọc bậc hai…

➢ **Mạch lọc bậc hai**

Mạch lọc bậc hai có ba cách thiết kế:

- Dùng hai mạch lọc thông thấp bậc một cùng tần số cắt. Cách này dễ thiết kế, tính toán đơn giản nhưng dùng hai op-amp.
- Dùng một op-amp mắc theo cấu hình Sallen - Key.
- Dùng một op-amp mắc theo cấu hình đa hồi tiếp (Multiple Feedback Topology).

Mạch lọc bậc hai được trình bày dưới đây là mạch lọc tích cực dựa trên cấu trúc hình học topology Sallen - Key và có độ lợi bằng 1. Đây là một cấu trúc được sử dụng rộng rãi cho mạch lọc tích cực thông thấp, thông cao, thông dải bậc hai vì sự đơn giản của nó. Ngoài ra, cấu trúc này có ưu điểm là sự độc lập khi thiết kế độ lợi và hệ số khuếch đại. Tuy nhiên, ***các mạch lọc dùng cấu trúc Sallen - Key thường được thiết kế với độ lợi bằng 1 vì sự ràng buộc phức tạp khi thiết kế độ lợi đối với những mạch lọc bậc cao có độ lợi khác 1.*** Nếu cần khuếch đại tín hiệu thì ta có thể gắn mạch khuếch đại tín hiệu ngõ ra mạch lọc.



Hình 13.18. *Mạch lọc thông thấp bậc hai có độ lợi bằng 1*

Áp dụng đặc tính của op-amp lý tưởng cho mạch lọc thông thấp trên:

$$v_+ = v_- = v_{out}$$

Và $$i_+ = i_- = 0$$

Ta được hàm truyền độ lợi của mạch

$$A_V(s) = \frac{V_{out}}{V_{in}} = \frac{\dfrac{1}{R_1R_2C_1C_2}}{s^2 + s\dfrac{1}{C_1}\left(\dfrac{1}{R_1} + \dfrac{1}{R_2}\right) + \dfrac{1}{R_1R_2C_1C_2}}$$

$$= \frac{\omega_0^{\,2}}{s^2 + 2\xi\omega_0 s + \omega_0^{\,2}} = \frac{1}{T^2s^2 + 2\xi Ts + 1} \qquad (13.15)$$

Hàm truyền độ lợi của mạch lọc thông thấp bậc hai trên có dạng là một khâu dao động bậc hai (các bạn có thể tham khảo chi tiết hơn trong giáo trình điều khiển tự động) với:

Biến: $$s = j\omega \qquad (13.16)$$

Tần số dao động tự nhiên

$$f_0 = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \qquad (13\text{-}17)$$

Và tần số góc dao động tự nhiên tương ứng

$$\omega_o = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (13.18)$$

Và đặt: $T = 1/\omega_0$ (13.19)

Hệ số phẩm chất Q: $Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{C_2(R_1 + R_2)}$ (13.20)

Hệ số tắt (damping ratio):

$$2\xi = \frac{1}{Q} = \frac{\sqrt{R_1 R_2 C_1 C_2}}{C_1}\left(\frac{1}{R_1} + \frac{1}{R_2}\right) \quad (13.21)$$

Biên độ: $|Av|_{dB} = -20\lg\sqrt{(1 - T^2\omega^2)^2 + 4\xi^2 T^2 \omega^2}$

Sau đó tiến hành vẽ gần đúng đáp ứng tần số của mạch lọc này ta được

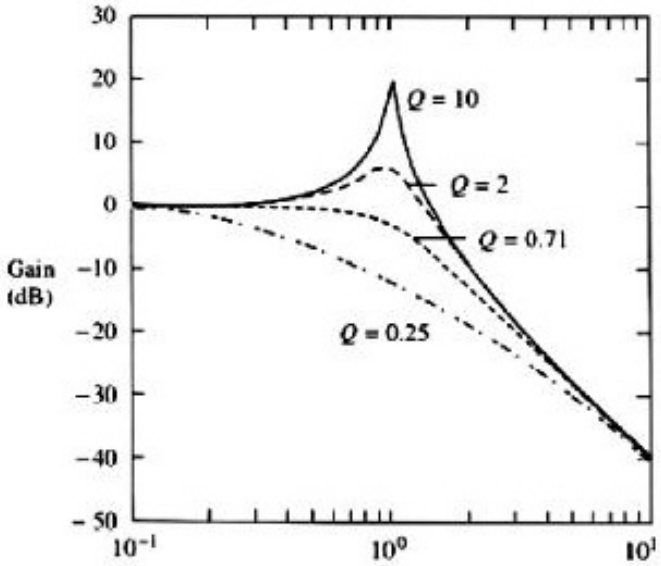
Nếu $\omega < 1/T$ thì $|Av|_{dB} \approx -20\lg\sqrt{1} = 0$. ***Hay nói cách khác là khi tần số góc ω nhỏ hơn tần số góc dao động tự nhiên ω_0 (1/T) thì độ lợi mạch không đổi bằng 1 (0dB).***

Nếu $\omega > 1/T$ thì $|Av|_{dB} \approx -20\lg\sqrt{(-\omega^2 T^2)^2} = -40.\lg\omega T$. Khi tần số góc ω lớn hơn tần số góc dao động tự nhiên ω_0 (1/T), độ lợi mạch suy giảm -40.lgωT. Độ suy giảm này tương đương tần số (hoặc tần số góc) thay đổi 10lần (1 decade) thì biên độ tín hiệu giảm -40dB (100lần) tương đương đáp ứng của mạch có độ dốc là -40dB/decade.

Hình 17.19 sẽ trình bày đáp ứng tần số thực tế của mạch. Giá trị hệ số Q (nghịch đảo của hệ số tắt ξ) sẽ quyết định độ rộng và cao của đỉnh đáp ứng tần số. Hệ số Q càng lớn, đỉnh cộng hưởng càng cao. ***Để mạch lọc có được đặc tính Butterworth, đáp ứng phẳng trong vùng dải thông thì khi thiết kế ta phải chọn linh kiện sao cho*** $Q = \frac{1}{\sqrt{2}}$. Thông thường, giá trị điện trở có phạm vi điều chỉnh rộng hơn tụ điện nên khi thiết kế ta có thể chọn giá trị tụ C_1, C_2 trước rồi sau đó chọn tỉ lệ R_1, R_2 thích hợp hoặc dùng biến trở.

Rõ ràng theo đáp ứng tần số của mạch, tần số cắt của mạch là

$$f_H = f_C = f_O = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \quad (13.2\ 2)$$



Hình 13.19. *Đáp ứng tần số thực tế của mạch lọc thông thấp bậc hai với độ lợi bằng 1*

Ví dụ:

Yêu cầu: Thiết kế mạch lọc thông thấp bậc hai có tần số cắt là $f_H = f_0 = 5kHz$.

Giải:

Để mạch lọc có được đáp ứng bằng phẳng của đặc tính Butterworth thì phải chọn:

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{C_2(R_1 + R_2)} = \frac{1}{\sqrt{2}} \qquad (13.19)$$

Và tần số cắt

$$f_0 = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} = 5KHz \qquad (13.22)$$

Từ hai phương trình trên giải ra ta chọn được:

$$C_1 = 2C_2 = 2C \text{ và } R_1 = R_2 = R.$$

Sau đó ta sẽ chọn giá trị R, C. Lưu ý để việc thiết kế khả thi, thì cần phải biết một số giá trị điện trở và tụ điện thực tế. Còn thêm một lưu ý nữa là nếu chọn tụ mà trở kháng tụ (X_c) quá nhỏ thì dòng qua tụ lớn, op-amp sẽ không đủ dòng để cung cấp cho nhánh hồi tiếp.

Với bài này có thể chọn như sau:

$$C_1 = 2C_2 = 2C = 0.01\mu F$$

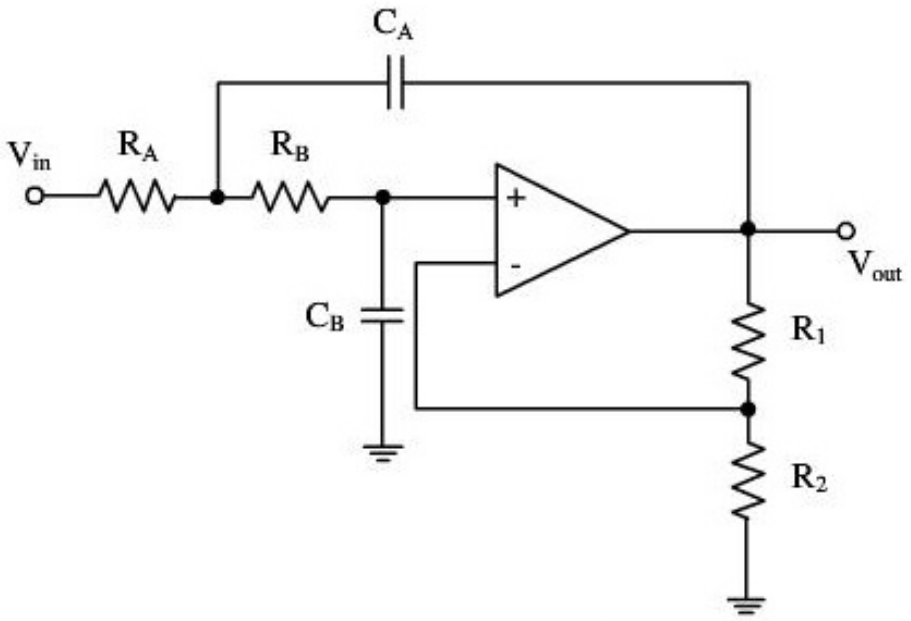
Khi đó trở kháng tụ tại tần số 5KHz:

$$\frac{1}{\omega_o C} = \frac{1}{10^4 \pi \left(10^{-8}\right)} = 3180\Omega$$

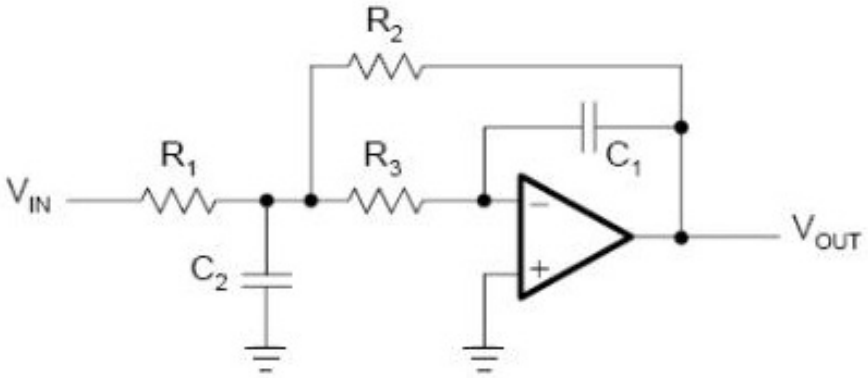
Và giá trị điện trở:

$$R = \frac{1}{\sqrt{2}\omega_o C} = 2250\Omega$$

Ngoài việc dùng cấu trúc Sallen – Key ta có thể thiết kế mạch lọc bậc hai bằng cách dùng cấu hình đa hồi tiếp (Multiple Feedback Topology) như hình sau. Cấu hình đa hồi tiếp nhược điểm là không tách rời phần thiết kế độ lợi và tần số cắt. Tuy nhiên, ưu điểm của nó là có thể thiết kế độ lợi cao hơn dùng cầu hình Sallen – Key.



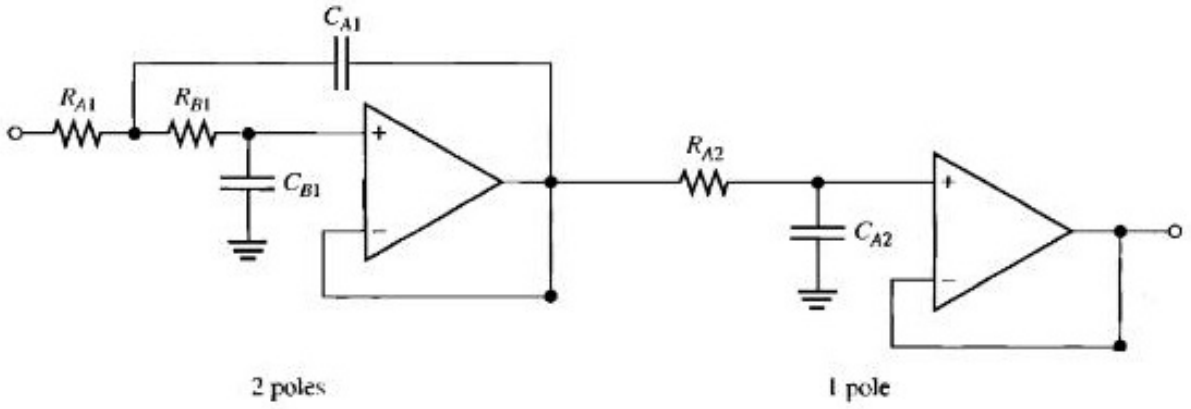
Hình 13.20. *Mạch lọc thông thấp bậc hai có độ lợi*



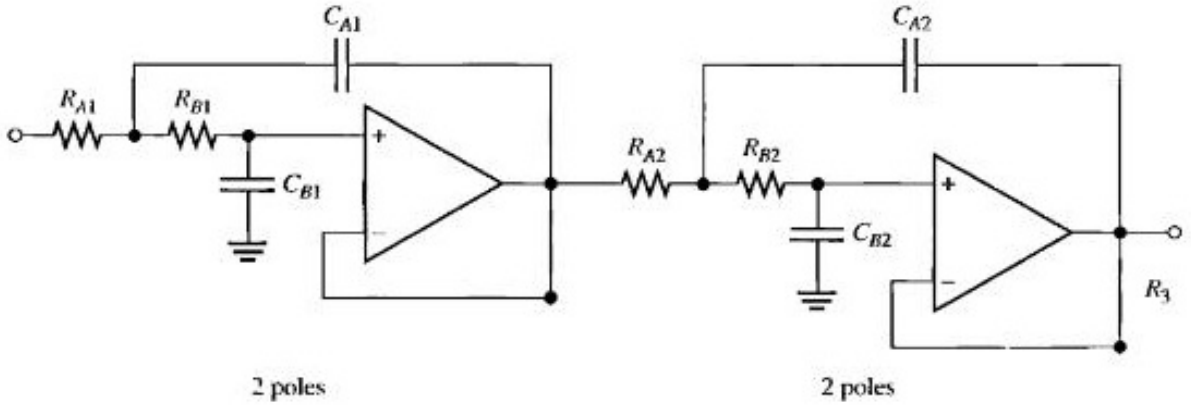
Hình 13.21. *Mạch lọc thông thấp bậc hai dùng cấu trúc đa hồi tiếp.*

➢ Mạch lọc thông thấp bậc ba, bậc bốn:

Mạch lọc thông thấp bậc ba được tạo thành bằng cách mắc nối tiếp mạch lọc thông thấp bậc hai theo cấu trúc Sallen – Key và mạch lọc thông thấp bậc một. Còn mạch lọc thông thấp bậc bốn được tạo thành bằng cách mắc nối tiếp hai mạch lọc thông thấp bậc hai theo cấu trúc Sallen – Key.Yêu cầu chung cho cách thiết kế này là ***các mạch lọc riêng lẻ phải có cùng cùng tần số cắt, đó cũng chính là tần số cắt chung của mạch và mạch lọc thông thấp bậc hai theo cấu trúc hình học tolopogy Sallen - Key phải thoả*** $Q = \frac{1}{\sqrt{2}}$.



(a) Third-order configuration



(b) Fourth-order configuration

Hình 13.22. *Mạch lọc thông thấp bậc 3 và bậc 4.*

Ví dụ: Thiết kế mạch lọc thông thấp bậc ba bằng cách mắc nối tiếp mạch lọc bậc hai và bậc một có f_H= 2860Hz.

Để mạch trở thành mạch lọc thông thấp bậc ba (độ dốc -60dB/decade), thì ta phải có tần số cắt của mạch lọc bậc hai và bậc một phải bằng nhau:

$$\begin{cases} f_{H\,bac2} = \dfrac{1}{2\pi\sqrt{R_{A1}R_{B1}C_{A1}C_{B1}}} = f_H = 2680Hz \\ Q = \dfrac{\sqrt{R_{A1}R_{B1}C_{A1}C_{B1}}}{C_{B2}\left(R_{A1}+R_{B1}\right)} = \dfrac{1}{\sqrt{2}} \end{cases}$$

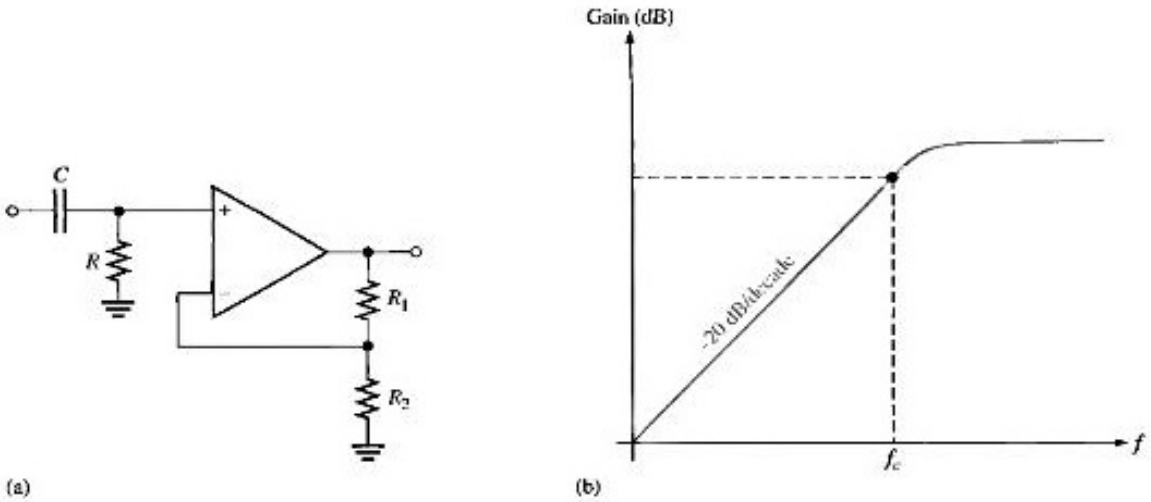
Và $$f_{Hbac1} = \frac{1}{2\pi R_{A2}C_{A2}} = f_H = 2680Hz$$

Giải các phương trình trên và chọn điện trở, tụ điện tương ứng, ta sẽ thiết kế được mạch.

13.5.3. Mạch lọc thông cao (High Pass Filter – HPF)

a. Mạch lọc thông cao bậc một

Đảo vị trí điện trở ở mạch lọc thông thấp bậc một ta sẽ được mạch lọc thông cao bậc một



Hình 13.23. *Mạch lọc thông cao bậc 1dùng mạch khuếch đại không đảo.*

Biểu thức độ lợi $$Av = (1+\frac{R_1}{R_2})\frac{1}{1-j/2\pi fRC}$$

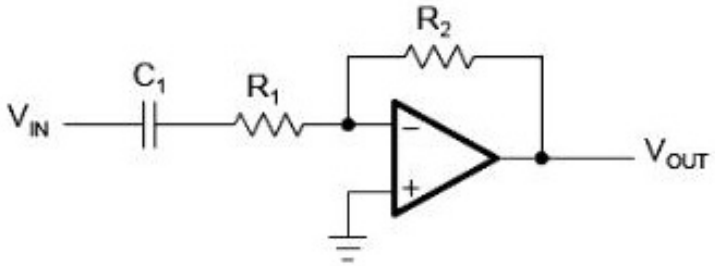
Độ lợi lớn nhất của mạch (độ lợi trong vùng dải thông của mạch – nếu xem như mạch là lý tưởng):

$$A_V = \frac{R_1}{R_2} + 1 \qquad 13.23)$$

Và tần số cắt dưới là: $f_C = f_L = \dfrac{1}{2\pi RC}$ (13.24)

Độ suy hao của mạch ngoài vùng dải thông là -20dB/decade (mạch lọc bậc một). Chứng minh tương tự trong phần khảo sát đáp ứng tần số của mạch khuếch đại.

Tương tự ta có mạch lọc thông cao dùng mạch khuếch đại đảo.

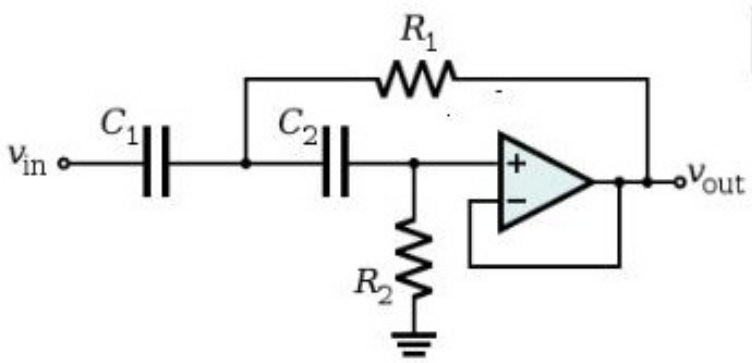


Hình 13.24. *Mạch lọc thông cao bậc một dùng mạch khuếch đại đảo*

b. Mạch lọc thông cao bậc cao

➢ **Mạch lọc thông cao bậc hai**

Cũng được thiết kế dựa trên cấu trúc hình học Sallen –Key, thay đổi vị trí điện trở một chút so với mạch lọc thông thấp bậc hai ta sẽ được mạch lọc thông cao bậc hai.



Hình 13.25. *Mạch lọc thông cao bậc hai có độ lợi bằng 1*

Áp dụng đặc tính của op-amp lý tưởng cho mạch lọc thông cao trên:

$v_+ = v_- = v_{out}$

Và $i_+ = i_- = 0$

Ta được hàm truyền độ lợi của mạch

$$A_v(s) = \frac{V_{out}}{V_{in}} = \frac{s^2}{s^2 + 2\pi \frac{f_o}{Q} s + \left(2\pi f_o\right)^2} \qquad (13.25)$$

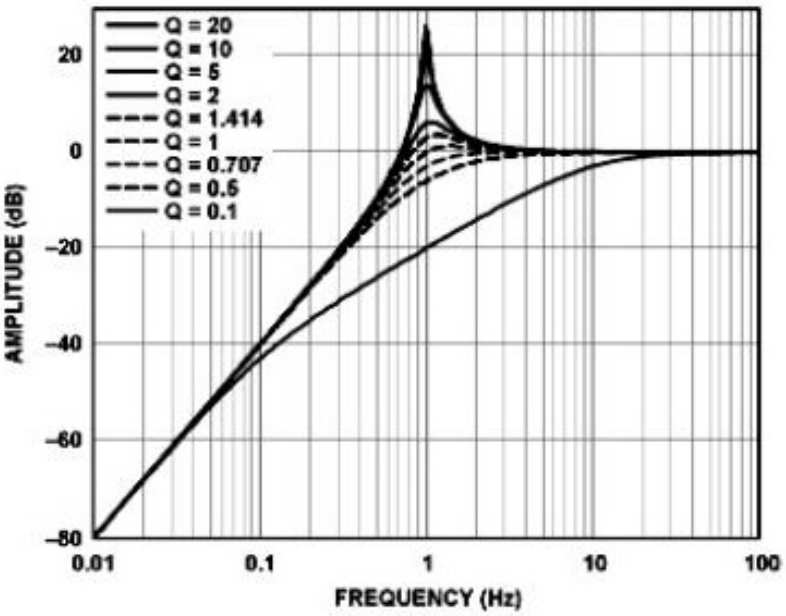
Với tần số dao động tự nhiên

$$f_0 = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \qquad (13.26)$$

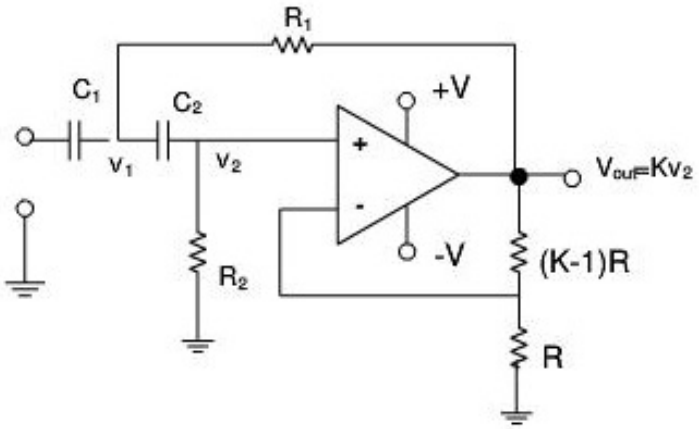
Và

$$\frac{1}{2\xi} = \frac{1}{Q} = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1(C_1 + C_2)} \qquad (13.27)$$

Tương tự như đã khảo sát ở mạch lọc thông thấp bậc hai, để thiết kế sao cho ***mạch lọc thông cao có được đặc tính Butterworth, đáp ứng phẳng trong vùng dải thông thì khi thiết kế ta phải chọn linh kiện sao cho*** $Q = \frac{1}{\sqrt{2}}$ .Rõ ràng theo đáp ứng tần số của mạch thì tần số cắt của mạch là:



Hình 13.26. *Đáp ứng tần số thực tế của mạch lọc thông cao bậc hai*



Hình 13.27.a. *Mạch lọc thông cao bậc hai có hệ số khuếch đại*

Áp dụng đặc tính của op-amp lý tưởng cho mạch lọc thông cao trên:

$$v_+ = v_- = v_{out}$$

Và $i_+ = i_- = 0$

Ta được hàm truyền độ lợi của mạch

$$Av(s) = \frac{Vout}{Vin} = \frac{Ks^2}{s^2 + s\left[\frac{1}{R_2}\left(\frac{1}{C_1} + \frac{1}{C_2}\right) + \frac{1-K}{R_1C_1}\right] + \frac{1}{R_1R_2C_1C_2}} \quad (13.29)$$

Đưa biểu thức về dạng chuẩn:

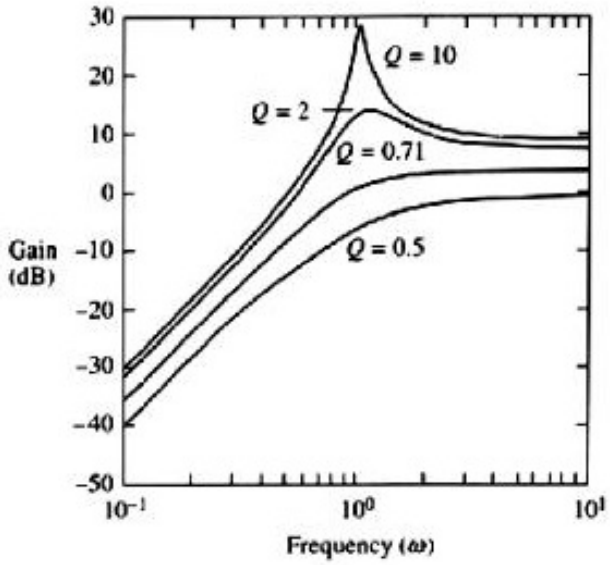
$$Av(s) = K\frac{s^2}{s^2 + s\frac{\omega_o}{Q} + \omega_o^2} \quad (13.30)$$

Trong đó:

$$\omega_o = \frac{1}{\sqrt{R_1R_2C_1C_2}} \text{ và } Q = \left[\sqrt{\frac{R_1}{R_2}}\frac{C_1 + C_2}{\sqrt{C_1C_2}} + (1-K)\sqrt{\frac{R_2C_2}{R_1C_1}}\right]^{-1} \quad (13.31)$$

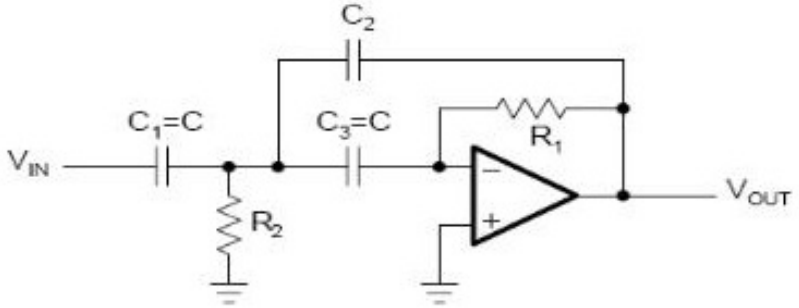
Rõ ràng ta thấy hệ số Q phụ thuộc vào K. ***Đối với mạch lọc này hệ số K phải thoả*** $1 \le K < 3$. ***Nếu không mạch sẽ phát sinh dao động. Điều này có nghĩa là tỉ lệ điện trở quyết định hệ số khuếch đại K của mạch phải được chọn thích hợp, chứ không phải lựa chọn tuỳ ý***. Ngoài ra, giống như

các mạch lọc theo cấu hình Sallen – Key hệ số Q phải bằng $\frac{1}{\sqrt{2}}$ mạch lọc có được đặc tính Butterworth.



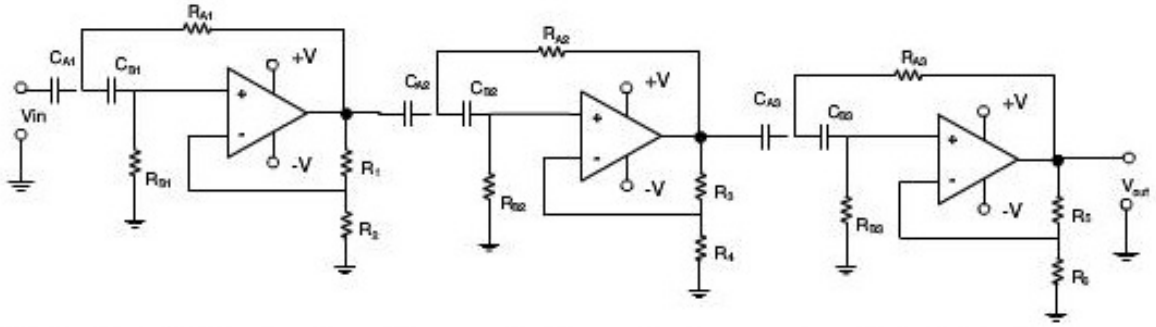
Hình 13.27.b. *Mạch lọc thông cao bậc hai có độ lợi*

c. Mạch lọc thông cao bậc hai dùng cấu hình đa hồi tiếp - MFB



Hình 13.28. *Mạch lọc thông cao bậc hai dùng cấu hình đa hồi tiếp MFB*

➢ **Mạch lọc thông cao bậc sáu**



Hình 13.29. *Mạch lọc thông cao bậc sáu bằng cách ghép nối tiếp ba mạch lọc thông cao bậc hai.*

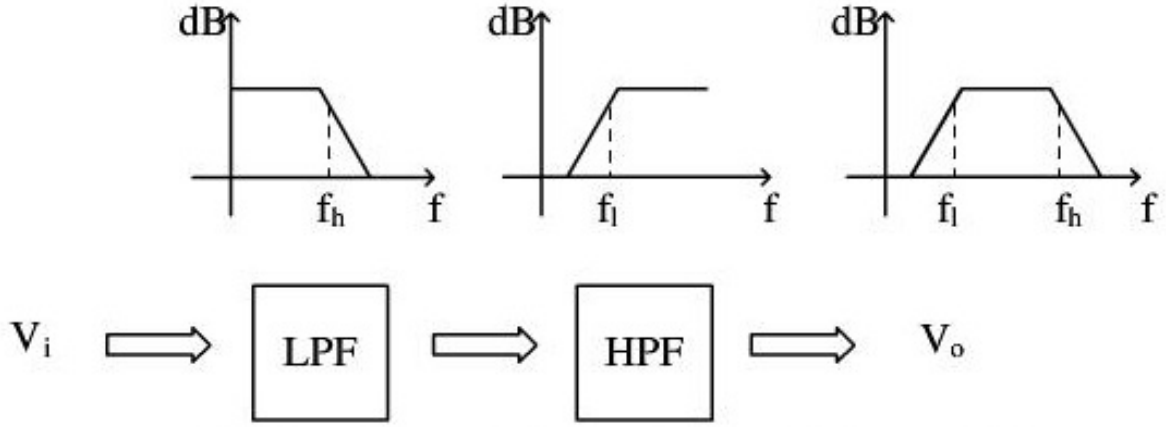
Tương tự như phần thiết kế cho mạch lọc thông thấp bậc ba hay bốn. Đối với mạch lọc thông cao bậc sáu này đòi hỏi các mach lọc thông cao bậc hai phải cùng tần số cắt và có hệ số $Q = \frac{1}{\sqrt{2}}$.

13.5.4. Mạch lọc thông dải (Band-pass filter - BPF)

Có nhiều cách để xây dựng mạch lọc thông dải: kết hợp giữa mạch lọc thông cao và thông thấp, dùng cấu hình Sallen – Key, hoặc dùng cấu hình đa hồi tiếp MFB.

a. BPF bằng cách kết hợp HPF và LPF

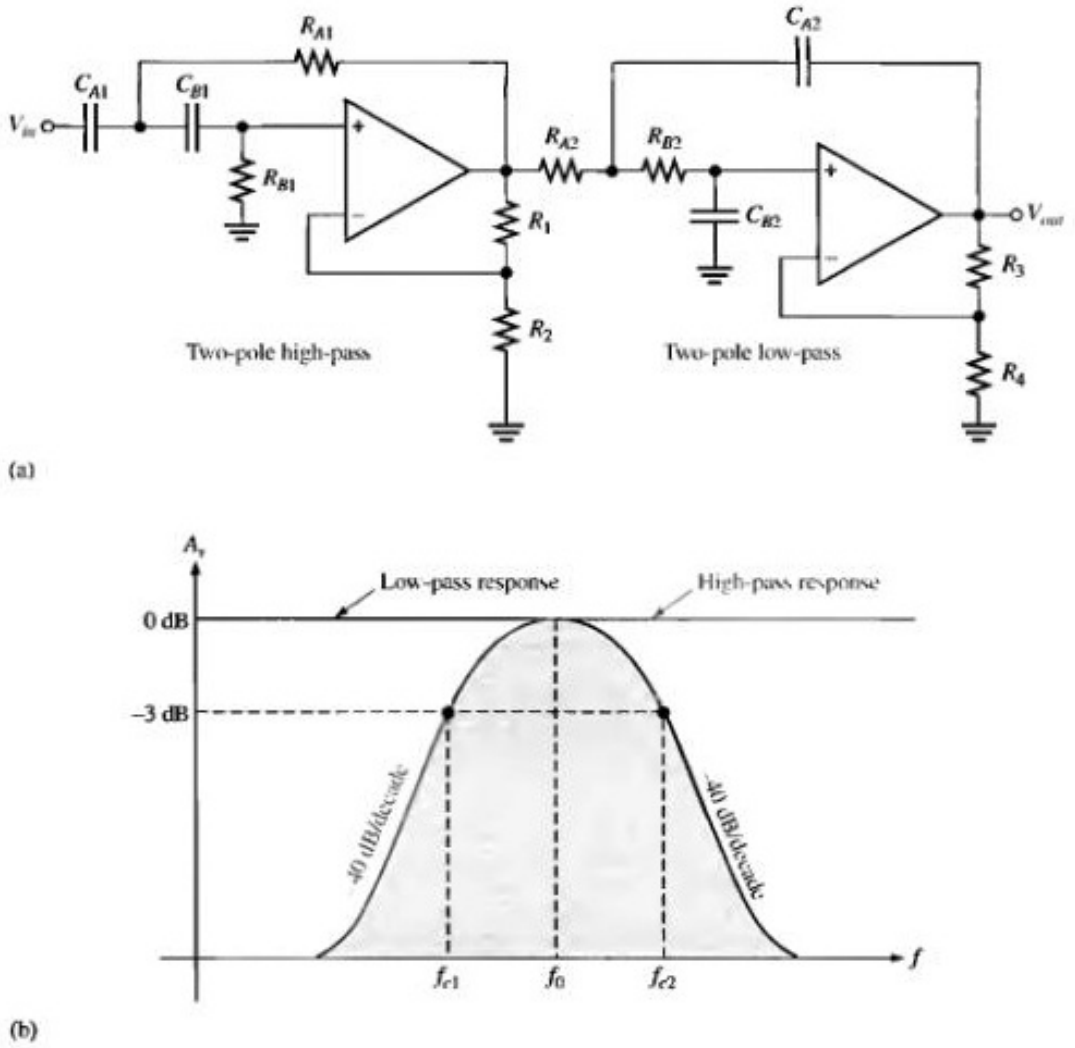
Cách đơn giản nhất để tạo thành mạch lọc thông dải là kết hợp một mạch lọc thông cao và một mạch lọc thông thấp với nhau như sơ đồ khối sau



Hình 13.30. *Sơ đồ khối BPF bằng cách nối HPF và LPF*

Yêu cầu thiết kế là:

$$f_{C(LPF)} > f_{C(HPF)}$$



Hình 13.31. *a. Mạch lọc thông dải bậc hai được thiết kế bằng cách mắc nối tiếp mạch lọc thông thấp và thông cao. b. Đáp ứng tần số thực tế của mạch lọc này*

Rõ ràng để thiết kế được mạch lọc này, tần số cắt của mạch lọc thông cao phải nhỏ hơn tần số cắt của mạch lọc thông thấp. Cụ thể là:

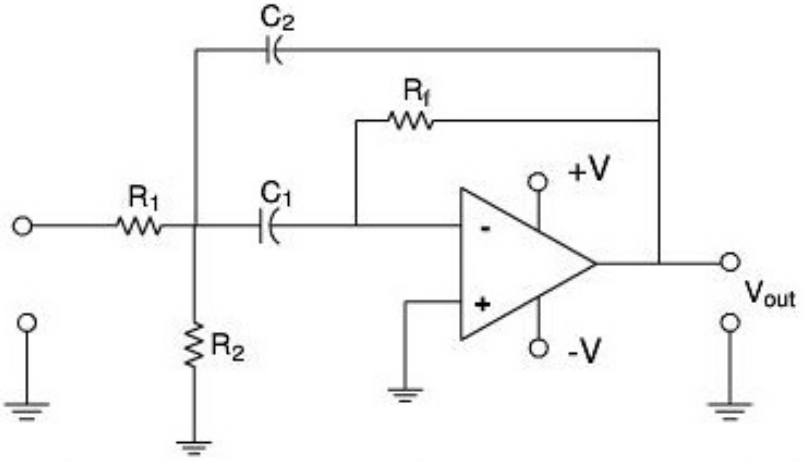
$$f_{L(HPF)} = f_{c1} = \frac{1}{2\pi\sqrt{R_{A1}R_{B1}C_{A1}C_{B1}}} \qquad (13.32)$$

$$f_{L(LPF)} = f_{c2} = \frac{1}{2\pi\sqrt{R_{A1}R_{B1}C_{A2}C_{B2}}} \qquad (13.33)$$

Tần số cộng hưởng của mạch: $f_0 = \sqrt{f_{c1}f_{c2}}$ (13.34)

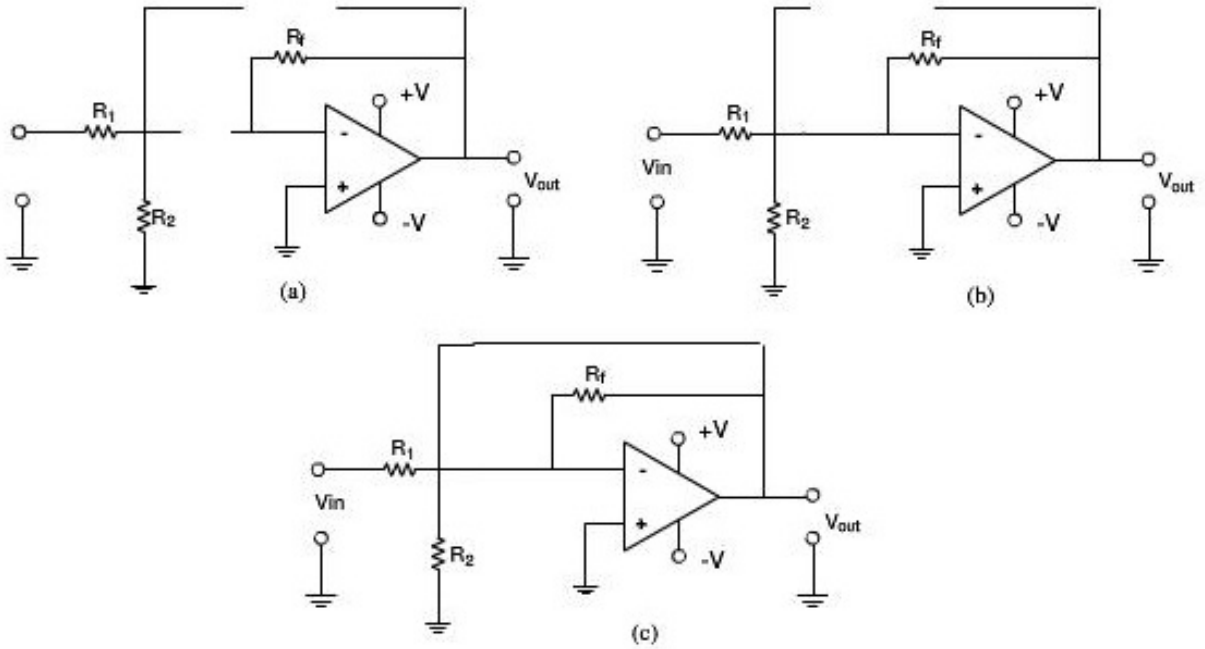
b. Mạch lọc thông dải BPF (Band Pass Filter) dùng cấu trúc đa hồi tiếp

Mạch lọc trên thì dễ phân tích nhưng khuyết điểm của nó là dùng hai op-amp, có thể dùng mạch đa hồi tiếp MFB (Muti - Feedback) thì cấu trúc mạch trở nên đơn giản hơn trong hình 13.32.



Hình 13.32. *Mạch lọc thông dải dùng đa hồi tiếp.*

Ta thấy tụ C_1 thì mắc nối tiếp với ngõ vào, còn C_2 thì mắc song song. Vậy C_1 sẽ tham gia vào giới hạn tần số cắt dưới của mạch trong khi C_2 thì giới hạn tần số cắt trên. Giả sử $C_2 << C_1$, vậy tại vùng tần số hoạt động của mạch thì tụ C_1 xem như ngắn mạch và C_2 xem như hở mạch, hình 13.33b tín hiệu được khuếch đại tại vùng tần số hoạt động.



Hình 13.33. *Hoạt động của mạch lọc tích cực thông dải.*

Khi tần số vào thấp, C_1 và C_2 hở mạch như hình 13.33a khi đó tín hiệu ngõ vào của op-Amp hoàn toàn bị cách ly, mạch không có tín hiệu vào nên tín hiệu ra bằng không.

Tương tự như vậy, khi tần số ngõ vào tăng lên làm cả hai tụ C_1 và C_2 ngắn mạch thì $R_f = 0$ do vậy hệ số khuếch đại của mạch bằng 0, tín hiệu ra cũng bằng 0 (hình 13.33c).

Vậy mạch chỉ cho những tín hiệu nằm trong dải tần số từ f_1 đến f_2 qua chính là tần số cắt thấp (f_L) và tần số cắt cao f_H của mạch.

➢ **Phân tích tần số:**

Ta đã biết tần số cắt của mạch lọc thông thấp và thông cao:

$$f_c = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \qquad (13.35)$$

Công thức này được dùng để tính tần số trung tâm của mạch lọc thông dải đa hồi tiếp như sau:

$$f_0 = \frac{1}{2\pi C\sqrt{(R_1 \parallel R_2)R_f}} \qquad (13.36)$$

Suy ra hệ số phẩm chất Q:

$$Q = \pi f_0 R_f C \qquad (13.37)$$

Và độ rộng băng tần của mạch:

$$BW = \frac{f_0}{Q} \qquad (13.38)$$

Từ các giá trị trên ta suy ra được các giá trị f_1 và f_2.

Trường hợp Q< 2

$$f_1 = f_0\sqrt{1+\left(\frac{1}{2Q}\right)^2} - \frac{BW}{2} \qquad (13.39)$$

$$f_2 = f_0\sqrt{1+\left(\frac{1}{2Q}\right)^2} + \frac{BW}{2} \qquad (13.40)$$

Trường hợp Q≥2

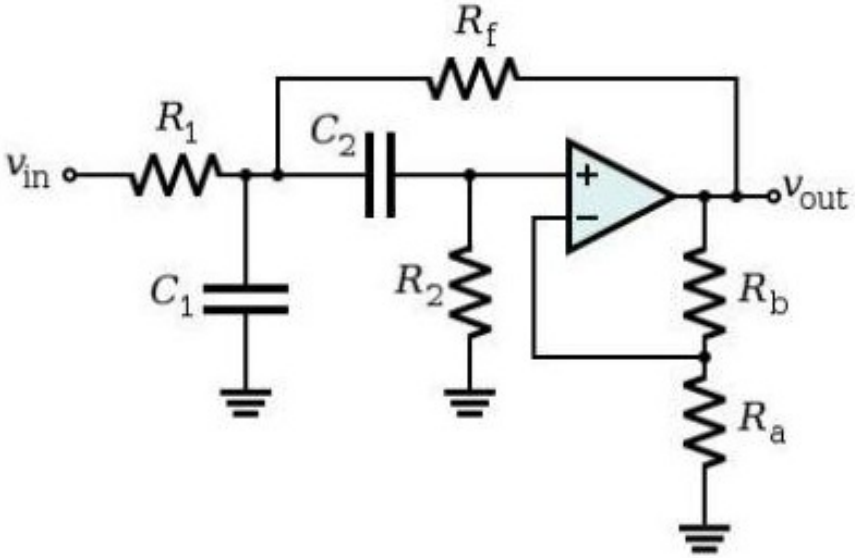
$$f_1 = f_0 - \frac{BW}{2} \qquad (13.41)$$

$$f_2 = f_0 + \frac{BW}{2} \qquad (13.42)$$

Và độ lợi của mạch là: $A_{VF} = \dfrac{R_f}{2R_i}$ (13.43)

Trong đó R_i bằng điện trở ngõ vào nối tiếp của mạch.

c. Mạch lọc thông dải (BPF - Band Pass Filter) dùng cấu hình Sallen - Key



Hình 13.34. *Mạch lọc thông dải dùng cấu hình Sallen - Key*

Hàm truyền độ lợi:

$$A_v(s) = \frac{\left(1+\dfrac{R_b}{R_a}\right)\dfrac{s}{R_1C_1}}{s^2 + \left(\dfrac{1}{R_1C_1} + \dfrac{1}{R_2C_1} + \dfrac{1}{R_2C_2} - \dfrac{R_b}{R_aR_fC_1}\right)s + \dfrac{R_f + R_1}{C_1C_2R_1R_2R_f}} \qquad (13.44)$$

Tần số trung tâm

$$f_0 = \frac{1}{2\pi}\sqrt{\frac{R_f + R_1}{C_1C_2R_1R_2R_f}} \qquad (13.45)$$

Hệ số phẩm chất Q

$$Q=\frac{\omega_0}{2\xi\omega_0}=\frac{\omega_0}{\frac{\omega_0}{Q}}=\frac{\sqrt{\frac{R_1+R_f}{R_1R_fR_2C_1C_2}}}{\frac{1}{R_1C_1}+\frac{1}{R_2C_1}+\frac{1}{R_2C_2}-\frac{R_b}{R_aR_fC_1}} \qquad (13.46)$$

$$=\frac{\sqrt{(R_1+R_f)R_1R_fR_2C_1C_2}}{R_1R_f(C_1+C_2)+R_2C_2(R_f-\frac{R_b}{R_a}R_1)}$$

Độ lợi 'inner gain' G do mạch khuếch đại không đảo Opamp

$$G=1+\frac{R_b}{R_a} \qquad (13.47)$$

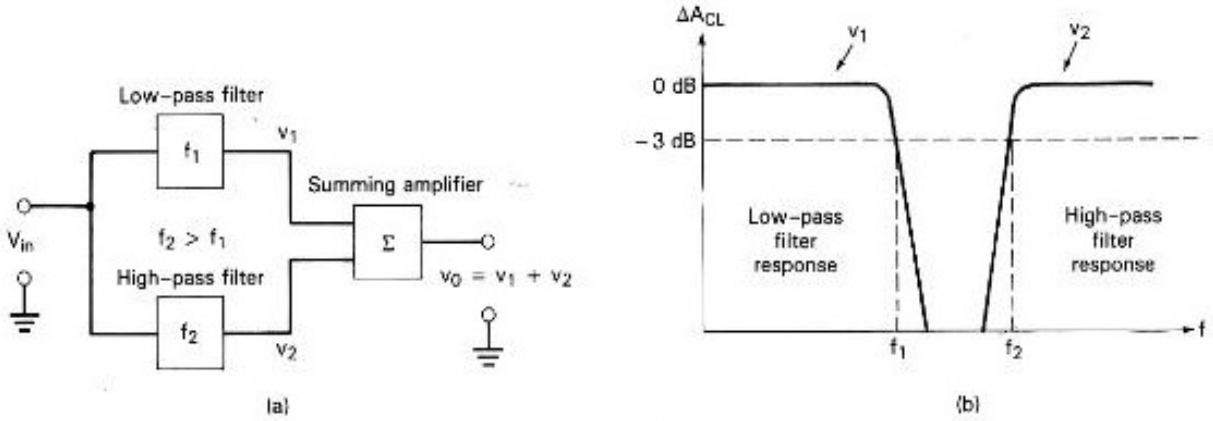
Độ lợi tại tần số trung tâm f_0:

$$A=\frac{G}{3-G} \qquad (13.48)$$

Từ biểu thức trên ta thấy phải chọn G < 3, nếu không mạch sẽ bị dao động. Điều này có nghĩa là $R_b < R_a$, và mạch lọc cho độ lợi thấp. Đây cũng chính là nhược điểm của mạch lọc Sallen – Key, độ lợi thấp.

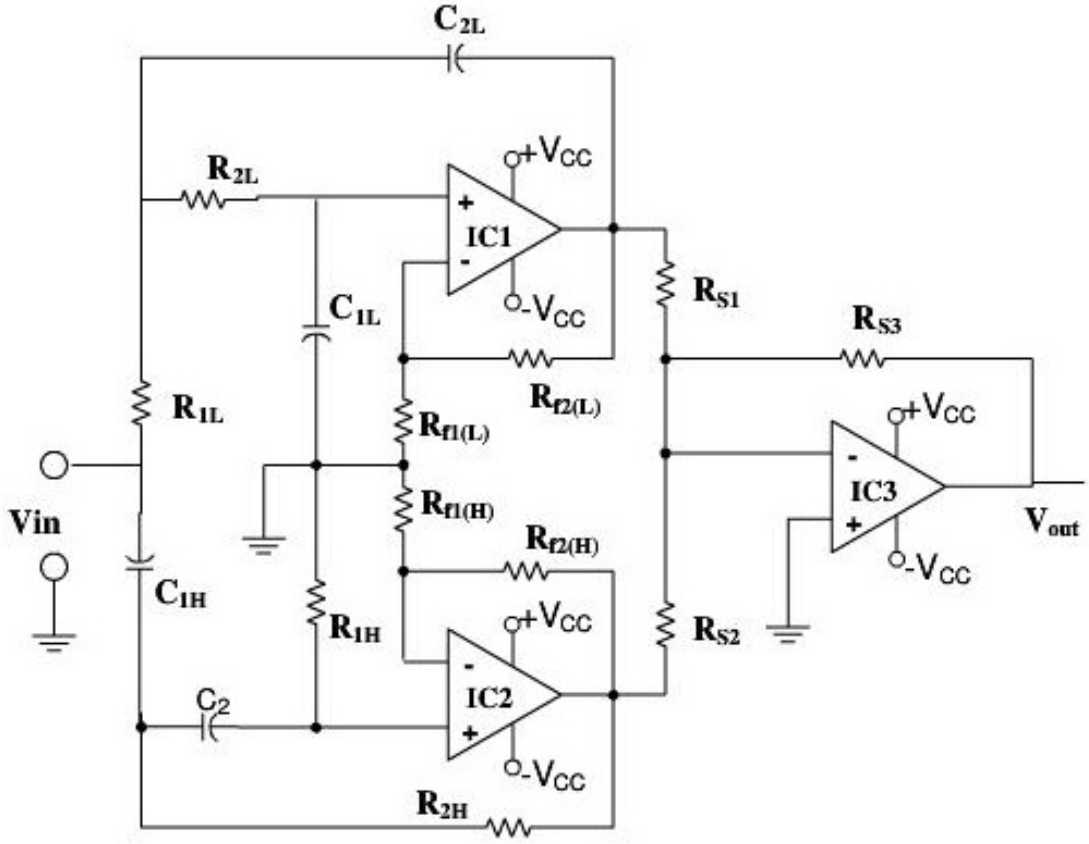
13.5.5. Mạch lọc dải triệt (notch filter hay BSF: Band-stop filter)

Sơ đồ khối của mạch như hình 13.35.



Hình 13.35. *Sơ đồ khối của mạch lọc dải triệt*

Gồm một mạch lọc thông thấp và một mạch lọc thông cao và một mạch khuếch đại cộng. Mạch khuếch đại cộng sẽ tạo ngõ ra tương đương tổng của hai mạch lọc. Mạch lọc này được thiết kế sao cho f_1 thấp hơn f_2. Độ rộng băng tần chính là khoảng cách giữa f_1 và f_2.



Hình 13.36. *Mạch lọc dải triệt*

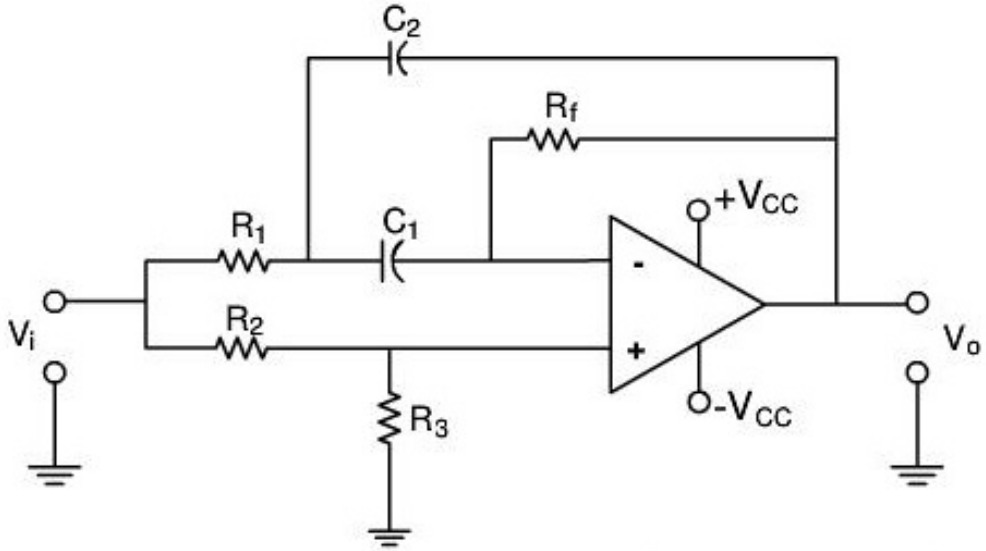
Khi tần số ngõ vào thấp hơn f_1, tín hiệu sẽ đi qua mạch lọc thông thấp đến mạch khuếch đại tổng và do tần số ngõ vào thấp hơn tần số cắt của mạch lọc thông cao nên v_2 sẽ bằng 0. Như vậy ngõ ra của mạch khuếch đại tổng sẽ tương đương ngõ ra của mạch lọc thông thấp.

Ngược lại khi tần số ngõ vào của mạch cao hơn f_2 tín hiệu ngõ vào sẽ qua mạch lọc thông cao đến mạch khuếch đại tổng và do tần số ngõ vào cao hơn tần số cắt của mạch lọc thông thấp nên v_1 sẽ bằng 0. Như vậy ngõ ra của mạch khuếch đại tổng sẽ tương đương ngõ ra của mạch lọc thông cao.

Khi tần số ngõ vào nằm trong khoảng từ f_1 và f_2 ngõ ra v_1 và v_2 đều bằng 0 (xét trường hợp lý tưởng) do đó điện áp ngõ ra của mạch khuếch đại tổng bằng 0. Trong thực tế, điện áp ngõ ra của mạch lọc này sẽ phụ thuộc tần số ngõ vào gần f_1 hay f_2. Sơ đồ mạch như hình 13.36.

➢ **Mạch đa hồi tiếp**

Mạch lọc dải triệt dùng kết hợp mạch lọc thông thấp và thông cao dễ phân tích nhưng nhược điểm là dùng nhiều op-amp ta có thể dùng mạch lọc đa hồi tiếp để làm giảm bớt số op-amp như hình 13.37.



Hình 13.37. *Mạch lọc dải triệt dùng cấu hình đa hồi tiếp.*

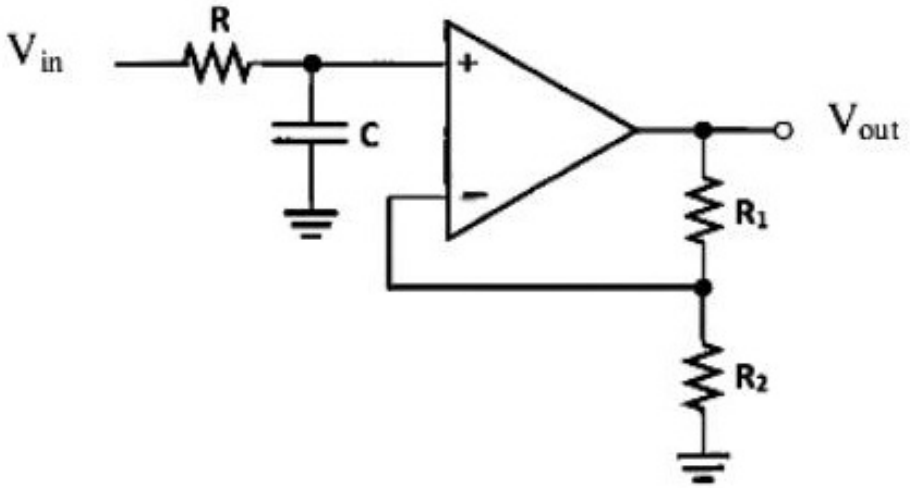
BÀI TẬP

13.6.1. Cho mạch lọc thông thông thấp như hìnhvới R= 10kΩ, C= 1nF.

a. Tính tần số cắt của mạch.

b. Chọn R_1, R_2 để độ lợi mạch là 10dB.

c. Vẽ đáp ứng tần số của mạch.



13.6.2. Thiết kế và vẽ đáp ứng tần số của mạch lọc thông thấp bậc một có tần số cắt f = 15kHz và độ lợi vùng dải thông là 25dB.

13.6.3. Thiết kế và đáp ứng tần số mạch lọc thông cao bậc một có tần số cắt f = 5kHz và độ lợi vùng dải thông là 5 lần.

13.6.4. Thiết kế mạch lọc thông dải bậc một bằng cách ghép nối tiếp LPF và HPF. Tần số cắt của HPF là 10kHz và 70kHz. Độ lợi cùng dải thông là 0dB.

13.6.5. Thiết kế mạch lọc thông cao bậc hai dùng cấu hình Sallen – Key có tần số cắt bằng 15kHz. Độ lợi vùng dải thông là 1.5 lần. Vẽ gần đúng đáp ứng tần số của mạch.

13.6.6. Thiết kế mạch lọc chắn dải bậc 1 có tần số cắt là 25kHz và 100kHz. Độ lợi vùng tần số thấp là 15dB, độ lợi vùng tần số cao là 30dB.

Chương 14
THYRISTOR VÀ LINH KIỆN QUANG ĐIỆN TỬ

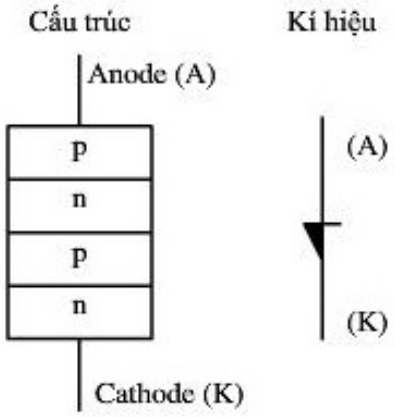
14.1. HỌ THYRISTOR

14.1.1. Diode 4 lớp (Diode Shockley)

Diode có cấu trúc 4 lớp là một linh kiện đơn giản nhất của họ Thyristor, linh kiện này gồm có hai điện cực, bốn lớp bán dẫn và có thể được kích dẫn bằng cách đặt một điện áp phân cực thuận lên hai cực của nó.

➢ ***Cấu tạo của diode 4 lớp:***

Cấu trúc diode 4 lớp pnpn và kí hiệu được cho như hình 14.1.

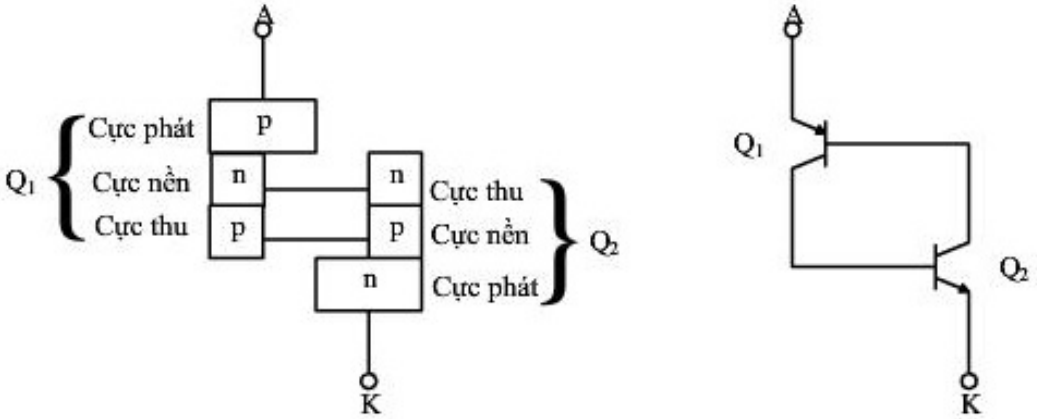


Hình 14.1. *Cấu trúc và kí hiệu của diode 4 lớp.*

❖ ***Hoạt động của diode 4 lớp:***

➢ ***Khi phân cực thuận***

Từ cấu trúc bên trong của diode 4 lớp, ta có thể đưa về mạch điện tương đương gồm hai transistor pnp (Q_1) và npn (Q_2) như hình 14.2.



Hình 14.2. *Sơ đồ tương đương của diode 4 lớp.*

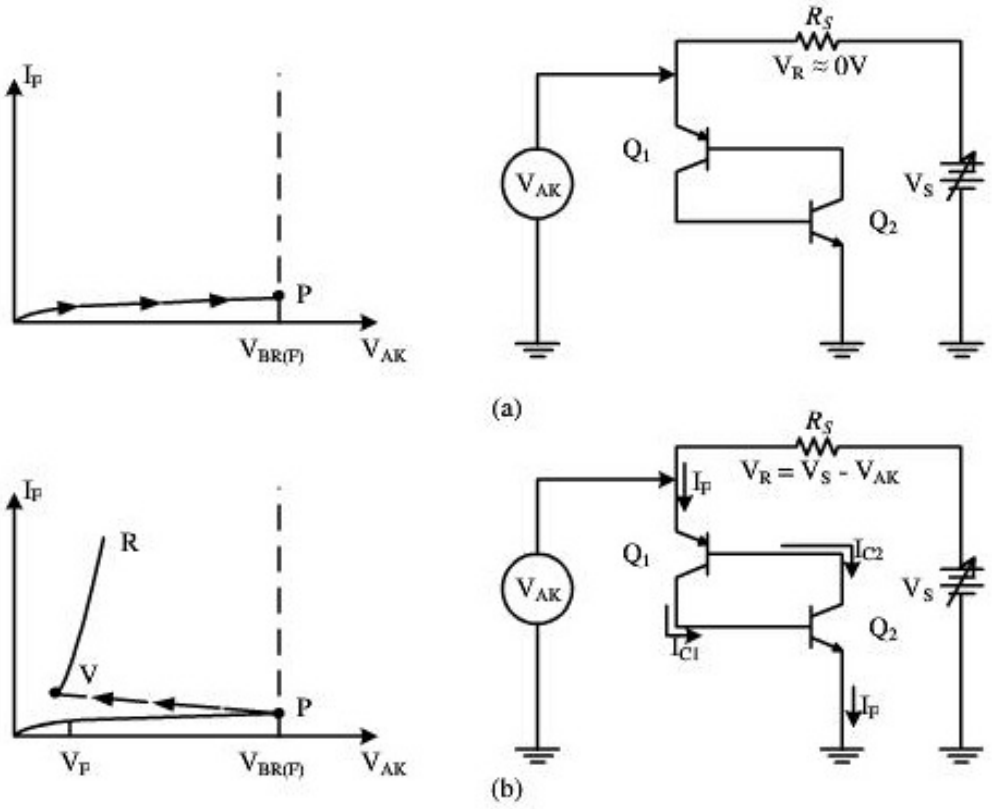
Diode 4 lớp được cấu tạo bởi 3 chuyển tiếp J_1, J_2 và J_3, J_3 gần Cathode. Khi phân cực thuận cho J_1 và J_3 (đặt điện tích dương "+" vào P-Anot và âm "-" vào N-cathode) 2 chuyển tiếp J_1, J_3 phân cực thuận và J_2 phân cực nghịch, dòng tăng từ đoạn OP (điện áp $V_{BR(F)}$).

Hình 14.3a mô tả trạng thái không dẫn (off) của diode 4 lớp khi điện áp nguồn có giá trị nhỏ hơn điện áp phân cực thuận $V_{BR(F)}$. Ta xét 2 transistor ở trạng thái off, tổng dòng điện chạy qua linh kiện I_F gần như bằng không. Do đó điện áp đặt trên R bằng 0V và điện áp $V_{AK} = V_S$. Tại điểm $V_{BR(F)}$ J_2 bị đánh thủng tạo vô số hạt dẫn bị hút theo 2 cực tạo sụt áp đột ngột (do có nhiều hạt dẫn của J_2 hình thành). Đoạn sụt áp PV trên đặc tuyến V-A hình 14.3b. Dòng mạch ngoài của transistor Q_1 và Q_2 tăng nhanh, diode 4 lớp dẫn điện đoạn VR trên đặc tuyến.

Dòng của diode $I_F = I_{EQ_1}$; I_{CQ_1} tăng lên làm cho I_{BQ_1} tăng kích cho BJT Q_2 dẫn mạnh. Theo hình 14.3b ta có V_{AK} là điện áp phân cực thuận của diode trên cực Anot và Cathode $V_{AK} = V_F$.

Ta có
$$I_F = \frac{V_S - V_F}{R_S} \qquad (14.1)$$

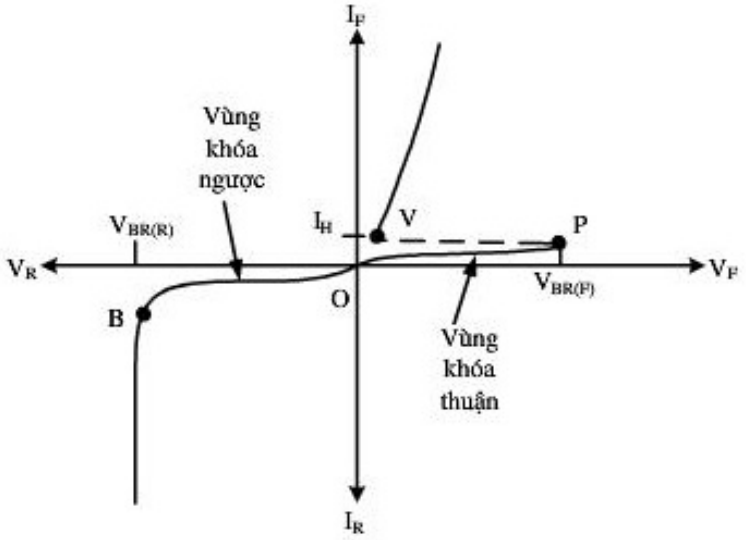
V_F điện áp thuận; I_F dòng thuận



Hình 14.3. *Mạch tương đương của SCR.*

➢ ***Khi phân cực nghịch***

Khi đặt điện áp âm "-" vào Anode và điện áp dương "+" vào Cathode J1, J3 phân cực nghịch J_2 phân cực thuận, dòng trong diode 4 lớp nhỏ, đoạn OB trên hình 14.4a, I_S dòng ngược rất nhỏ, tại B J_1, J_2 bị đánh thủng.



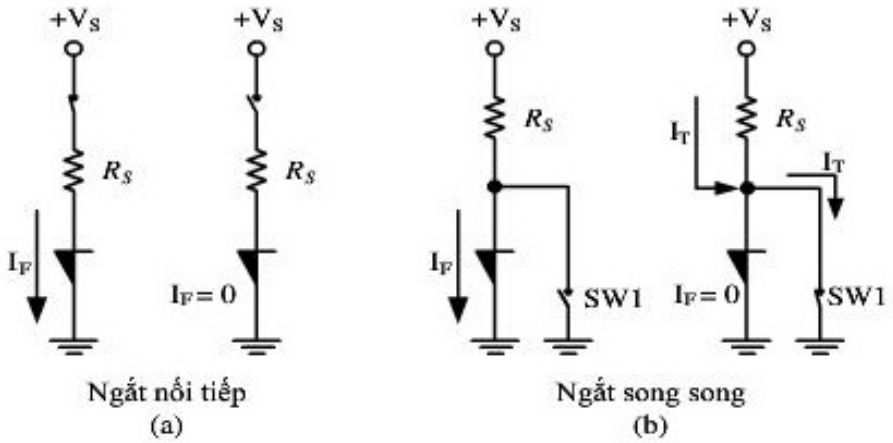
Hình 14.4. *Đặc tuyến V-A của diode 4 lớp*

➢ ***Các phương pháp tắt diode 4 lớp:***

Khi diode 4 lớp ở trạng thái dẫn, nó sẽ tiếp tục dẫn khi mà dòng qua nó I_F lớn hơn dòng giữ I_H. Trong đó, I_H là là dòng phân cực thuận tối thiểu để duy trì diode 4 lớp ở trạng thái dẫn. Khi I_F nhỏ hơn I_H, diode 4 lớp sẽ rơi vào trạng thái tắt và nó sẽ duy trì diode 4 lớp ở trạng thái tắt đến khi V_{AK} đạt đến giá trị $V_{BR(F)}$ trở lại.

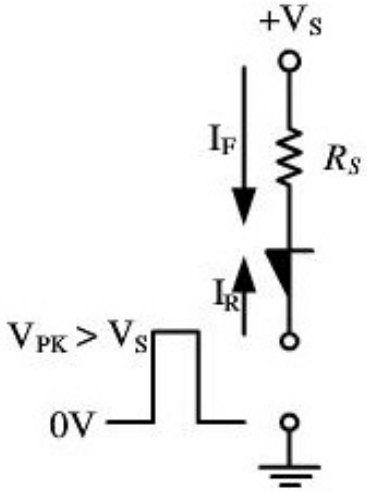
Một vài phương pháp để làm giảm dòng I_F nhỏ hơn I_H:

– Ngắt dòng anode (hình 14.5a và 14.5b)



Hình 14.5. *Cách tắt diode 4 lớp bằng phương pháp ngắt dòng anode.*

– Giảm dòng I_F. (hình 14.6)



Hình 14.6. *Cách tắt diode 4 lớp bằng phương pháp giảm dòng I_F.*

➢ ***Các thông số của diode 4 lớp***

– $V_{BR(F)}$: điện áp đánh thủng thuận

– I_F: dòng điện đánh thủng thuận

– I_T: dòng điện trung bình cực đại của diode 4 lớp nó phụ thuộc vào điện áp V_T

– I_H: dòng mở bắt đầu trạng thái dẫn của diode 4 lớp

– $V_{BR®}$: điện áp đánh thủng ngược

– I_S: dòng điện ngược

– I_{Fmax}: dòng điện thuận cực đại

– P_D: công suất tiêu tán trên diode

➢ ***Tóm tắt:***

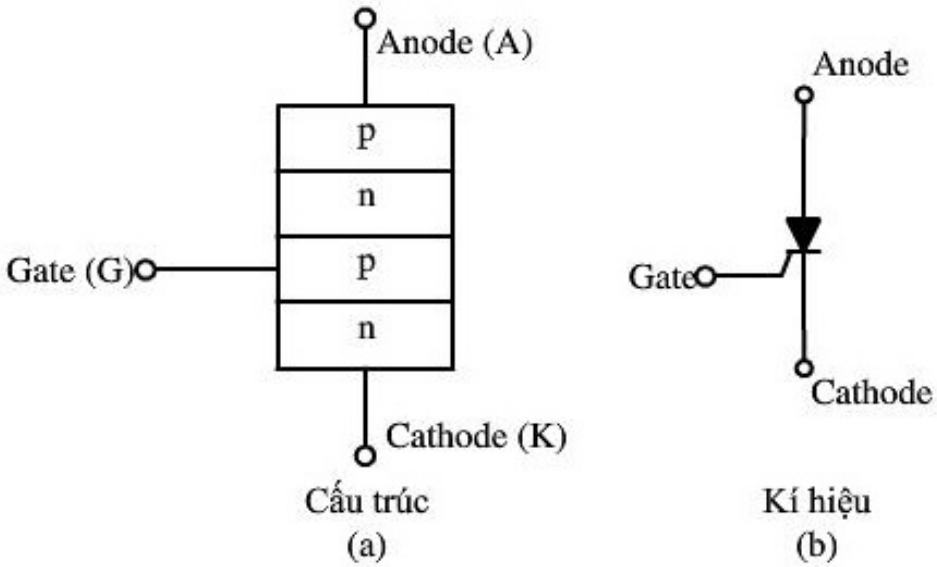
– Diode 4 lớp là một linh kiện thuộc họ Thyristor, dẫn điện khi điện áp phân cực thuận đặt lên nó đạt đến giá trị $V_{BR(F)}$.Khi dẫn thì điện trở của diode 4 lớp có giá trị rất thấp.

– Khi đã ở trạng thái dẫn, để tắt diode 4 lớp phải cho dòng I_F nhỏ hơn I_H hoặc phân cực ngược cho diode.

14.1.2. SCR (Silicon-Controlled Rectifier)

a. Cấu tạo:

SCR là một linh kiện bán dẫn có 3 cực Anode, Cathode và Gate, có cấu trúc tương tự diode 4 lớp xem hình 14.7

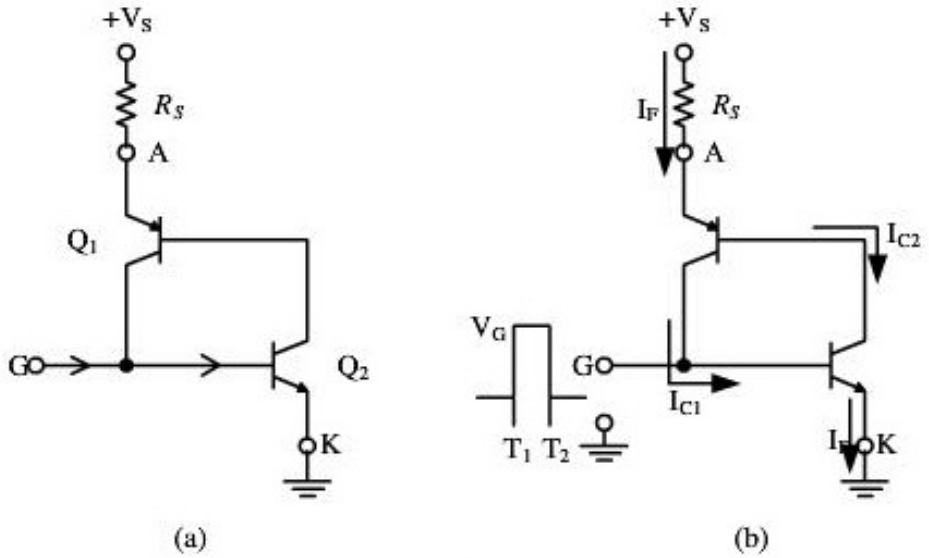


Hình 14.7. *Cấu trúc và kí hiệu của SCR*

Do cấu trúc tương tự diode 4 lớp nên SCR có hoạt động cũng tương tự diode 4 lớp, SCR có thêm cực cổng (gate), ta có thể điều khiển SCR từ cực cổng.

Khi phân cực thuận cho SCR, ta có Q_1 dẫn điện, $V_G = 0$ kéo theo Q_2 dẫn điện ta có dòng $I_F \equiv I_{EQ_2}$, SCR dẫn điện đoạn VR. Đoạn PV trên đặc tuyến hình 14.9b là vùng có điện trở âm.

$$\frac{dV}{dI} = \frac{V_p - V_V}{I_P - I_V} < 0$$



Hình 14.8.

Khi $V_G \neq 0$ kích dòng cho Q_2 dẫn kéo theo $I_{C_2} \equiv I_{B_1}$ tăng làm cho Q_1 dẫn do đó ta có I_F tăng SCR sẽ dẫn điện.

b. ***Các phương pháp mở SCR từ trạng thái tắt sang trạng thái dẫn:***

Có 2 cách mở SCR:

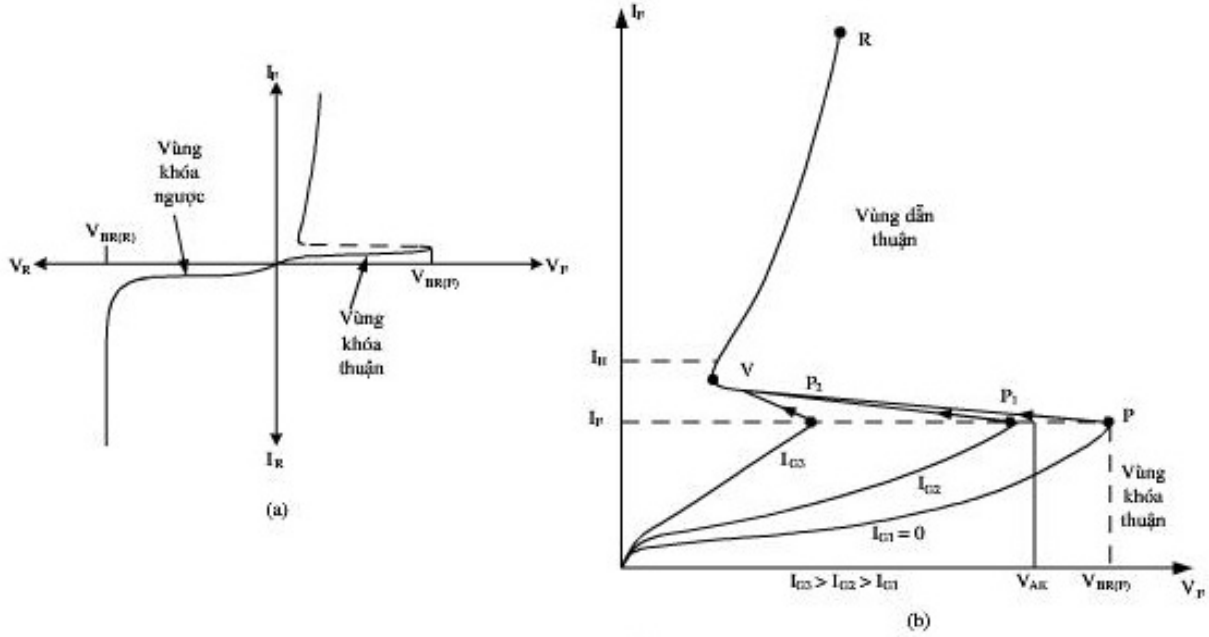
– Tăng điện áp VAK đạt đến giá trị VBR(F). Phân cực thuận VAK và kích một xung dương vào cực cổng G hình 14.2b. Tại thời điểm T1, khi có một xung dương kích tại G, Q2 ở trạng thái dẫn làm Q1 dẫn theo do đó SCR dẫn (giống như diode 4 lớp). Tại thời điểm T2, khi xung cổng bằng 0V, SCR vẫn tiếp tục dẫn.

– Tăng dòng IF> IH ta có vùng dẫn của SCR là đoạn VR trên đặc tuyến.

c. ***Phương pháp tắt SCR: tương tự diode 4 lớp:***

- Giảm dòng anode ($I_F < I_H$).
- Ngắt dòng anode ($I_F = 0$).
- Phân cực ngược SCR ($V_{AK} < 0$).

d. ***Đặc tuyến Volt - Ampe của SCR:***



Hình 14.9. *Đường đặc tuyến Vôn -Ampe của SCR.*

Hình 14.9 mô tả đặc tuyến V-A của SCR. Tương tự như diode 4 lớp nhưng có thêm các đường đặc tuyến ở phần phân cực thuận do ảnh hưởng của dòng cực cổng I_G. V_G tăng thì điện áp mở của SCR giảm, khả năng mở SCR nhanh chóng. Khi giá trị dòng I_G gia tăng, SCR có khả năng dẫn nhanh hơn do đó giá trị V_{AK} yêu cầu thấp hơn. Ví dụ: Giả sử điện áp V_{AK} đặt trên hai đầu của SCR có giá trị bằng V trên hình thì khi cho $I_G = I_{G1}$ SCR vẫn ở

trạng thái ngắt, nhưng nếu tăng $I_G = I_{G2} > I_{G1}$ thì điện áp V_{AK} = V đủ lớn để SCR chuyển vào trạng thái dẫn.

➢ ***Các thông số của SCR:***

- Điện áp đánh thủng phân cực thuận và nghịch cực đại.
- Dòng điện thuận cực đại.
- Điện áp và dòng điện cổng.
- Dòng giữ (I_H).
- Công suất tiêu tán.
- Tốc độ tăng điện áp tới hạn của SCR (dV/dt). Đây là một trong những giới hạn của SCR, vì một sự thay đổi lớn của điện áp có thể kích khởi SCR vào trong trạng thái dẫn.

Ví dụ: SCR 2N682 được sử dụng trong một mạch điện có tín hiệu nhiễu xảy ra ngẫu nhiên 2ns. Tìm biên độ nhiễu có thể gây ra kích khởi sai SCR.

***Giải*:**

SCR 2N682 có dV/dt = 30V/µs, biên độ nhiễu tới hạn gây ra lỗi:

$$\Delta V = \frac{dV}{dt}\Delta t = (30V/\mu s)2(ns)$$
$$= 60mV$$

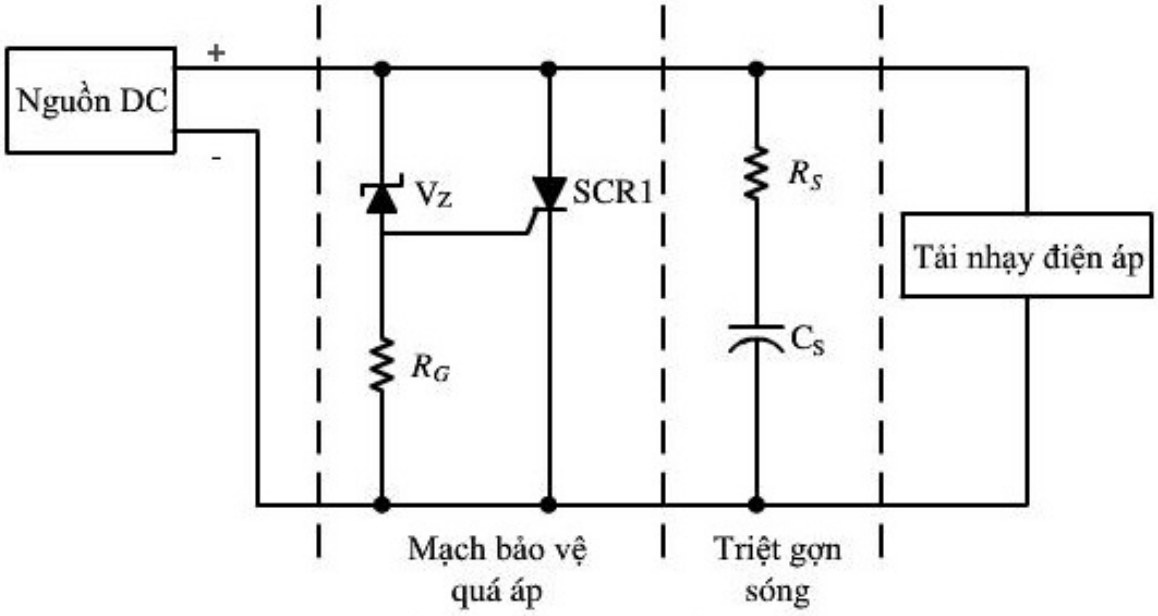
Như vậy nếu V_{AK} tăng lớn hơn 60mV trong chu kỳ 2ns của tín hiệu nhiễu thì lỗi kích khởi sai có thể xảy ra.

e. *Các ứng dụng của SCR*:

SCR thường được ứng dụng trong chuyển mạch công suất, điều khiển pha, mạch chuyển đổi điện áp (mạch chỉnh lưu có điều khiển…).

– Ứng dụng của SCR trong mạch bảo vệ quá áp (Crowbar), xem hình 14.10:

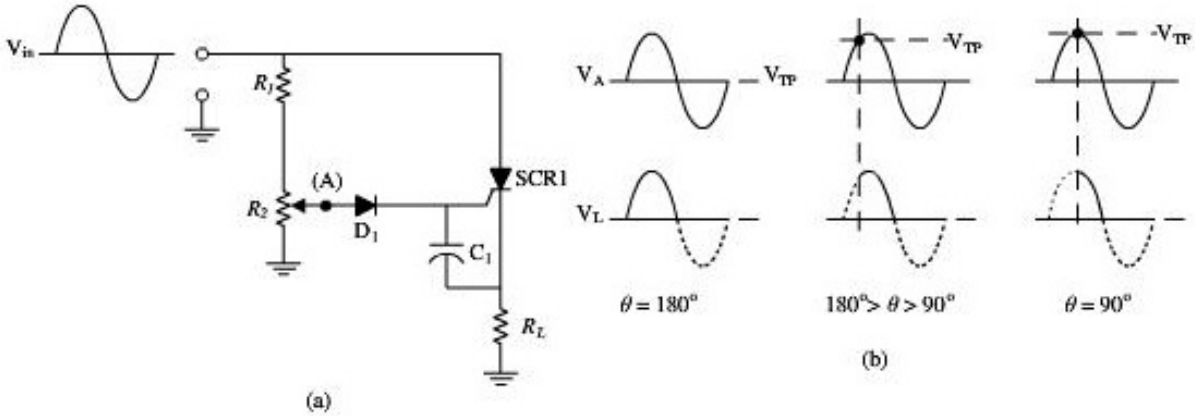
Nguyên tắc hoạt động: trong mạch, khi điện áp nguồn cung cấp không vượt quá giá trị cho phép, Diode Zener ở trạng thái ngắt, do Diode Zener có điện áp V_Z lớn hơn điện áp giới hạn vì vậy điện áp trên điện trở R_G bằng 0V và điện áp tại cực cổng của SCR cũng bằng 0V giữ SCR ở trạng thái ngắt.



Hình 14.10. *Ứng dụng SCR để bảo vệ quá áp.*

Nếu điện áp ra từ nguồn cung cấp gia tăng đột ngột vượt quá giá trị cho phép thì Zener dẫn, dòng điện qua Zener làm điện áp trên R_G tăng lên. Như vậy sẽ có dòng kích cho SCR làm cho nó dẫn điện. Khi SCR dẫn thì điện áp từ nguồn DC bị ngắn mạch và tải được bảo vệ.

– Ứng dụng của SCR trong điều khiển pha, xem hình 14.11a.



Hình 14.11. *Ứng dụng của SCR trong điều khiển góc pha.*

Mạch điều khiển pha được dùng để điều khiển góc dẫn làm điện áp trung bình trên tải thay đổi. Bằng cách thay đổi vị trí biến trở trên R_2 chúng ta sẽ thay đổi góc dẫn.

Giải thích: Khi điện áp V_{in} qua cầu phân áp làm điện áp tại A tăng đến giá trị điện áp kích khởi SCR (V_{TP}), làm cho SCR dẫn gần như trong suốt bán kỳ dương. Lúc này điện áp trên tải $V_L = V_{in} - V_F$. Bán kì âm của V_{in} SCR tắt do bị phân cực ngược, và điện áp trên tải $V_L = 0V$. Vì khi V_{in} giảm về 0 thì dòng qua SCR cũng giảm theo, đến

khi dòng qua SCR giảm nhỏ hơn giá trị I_H thì SCR tắt. Khi V_{in} tăng trở lại đạt đến giá trị điện áp kích khởi ở bán kì dương kế tiếp thì SCR dẫn trở lại.

Mối liên quan giữa điện áp tại A (phụ thuộc vào V_{in}), giá trị điện áp V_{TP} và điện áp trên tải được trình bày trong hình 14.11b.

Bảng 14.1: Thông số và hình dạng của một vài SCR của hãng Motorola.

On-State (RMS) Current									
8.0 AMPS		12 AMPS				12.5 AMPS	15 AMPS		
T_C = 83°C		T_C = 90°C	T_C = 85°C			T_C = 80°C	T_C = 80°C		
									
Case 86-01 Style 1	Case 67L-02 Style 1	Case 221A-02 TO-220AB Style 3	Case 86-01 Style 1	Case 221A-02 TO-220AB Style 3	Case 342-01 Style 1	Case 54-06 Style 2	Case 221A-02 TO-220AB Style 3		TO-220 Style 3
2N4167	2N4183		MCR67-1	MCR68-1	MCR568-1			V_{DRM} V_{RRM}	25 V
2N4168	2N4184	2N6394	MCR67-2	MCR68-2	MCR568-2				50 V
2N4169	2N4185	2N6395	MCR67-3	MCR68-3	MCR568-3	2N3668			100 V
2N4170	2N4186	2N6396				2N3669	MCR2150-4,A4		200 V
2N4171	2N4187	MCR220-5					MCR2150-5,A5		300 V
2N4172	2N4188	2N6397	MCR67-6	MCR68-6	MCR568-6	2N3670	MCR2150-6,A6		400 V
2N4173	2N4189	MCR220-7				2N4103	MCR2150-7,A7		500 V
2N4174	2N4190	2N6398					MCR2150-8,A8		600 V
		MCR220-9					MCR2150-9,A9		700 V
		2N6399					MCR2150-10,A10		800 V
100			300(1)			200	160	MAXIMUM ELECTRICAL CHARACTERISTICS	I_{TSM} (Amps) 60 Hz
30						40	50		I_{GT} (mA)
1.5						2.0	2.5		V_{GT} (V)
−40 to +100		−40 to +125				−40 to +100	−40 to +125		T_J Operating Range (°C)

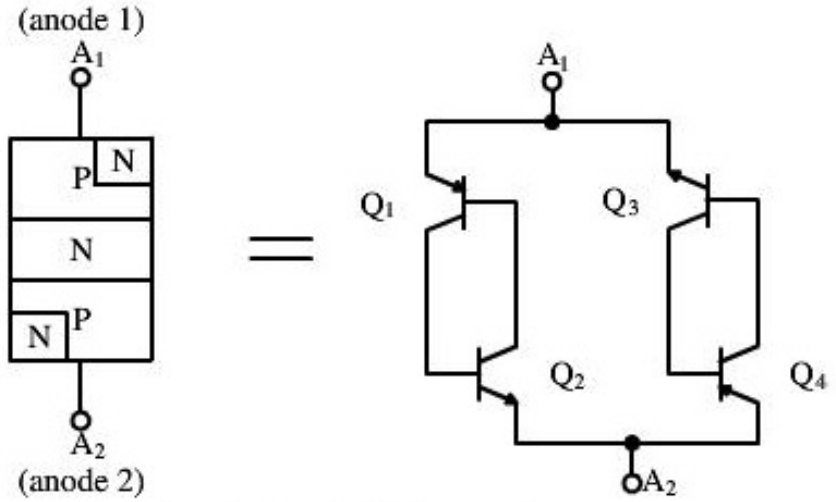
14.1.3. Diac và Triac

Diac và Triac là linh kiện họ Thyristor cho phép dẫn điện theo hai chiều.

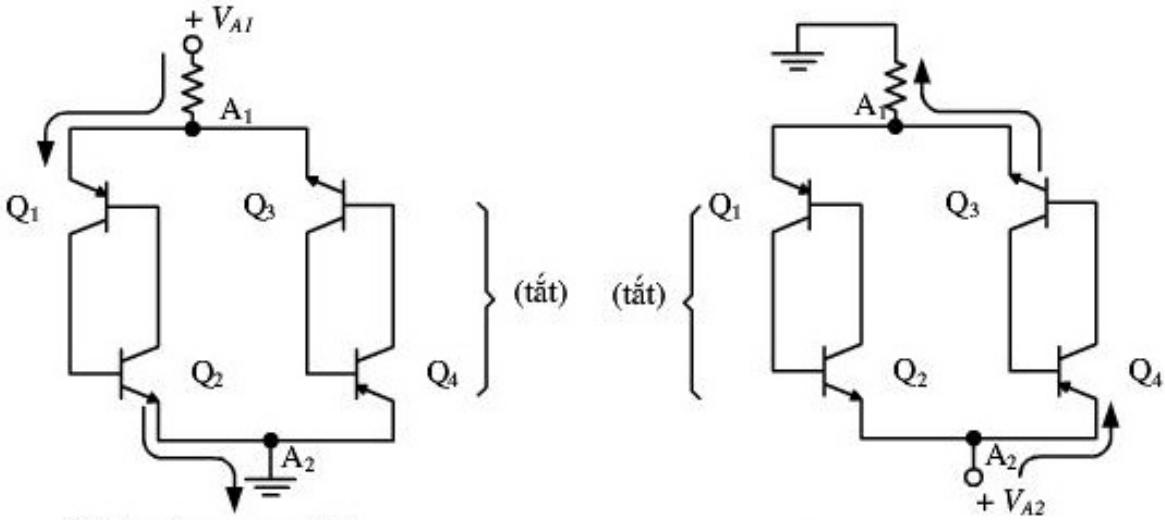
a. Diac

Diac là linh kiện hai cực, gồm hai diode 4 lớp mắc ngược chiều nhau, có cấu trúc và kí hiệu như hình 14.12. Do cấu trúc của diac tương đương hai

con diode 4 lớp, nên hoạt động của nó cũng tương tự diode 4 lớp và dẫn điện theo hai chiều.

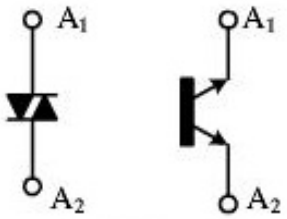


(a) Cấu trúc và mạch điện tương đương



(b) A_1 dương so với A_2

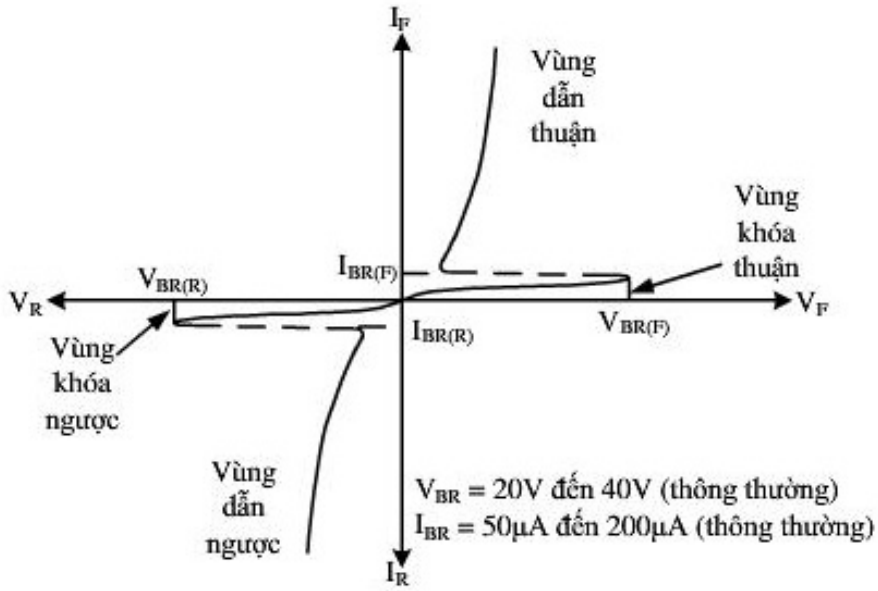
(c) A_2 dương so với A_1



(d) Kí hiệu

Hình 14.12. *a. Cấu trúc và mạch tương đương của diac; b, c. Chiều dẫn điện của diac; d. Kí hiệu của diac.*

➢ ***Đặc tuyến vôn – ampe của diac***

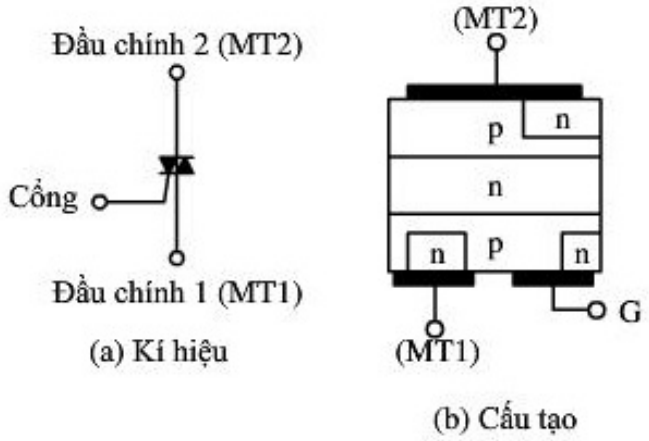


Hình 14.13. *Đặc tuyến V-A của diac*

Hầu hết ứng dụng chung của diac là bộ điều khiển cho Triac hoạt động.

b. Triac

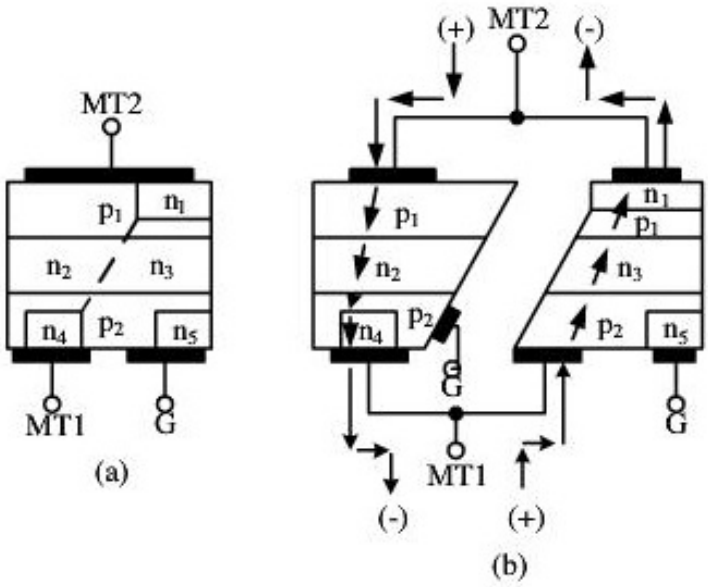
Triac là linh kiện ba cực do hai SCR mắc ngược chiều nhau, cấu trúc và kí hiệu như hình 14.14.



Hình 14.14. *Kí hiệu và cấu trúc của Triac.*

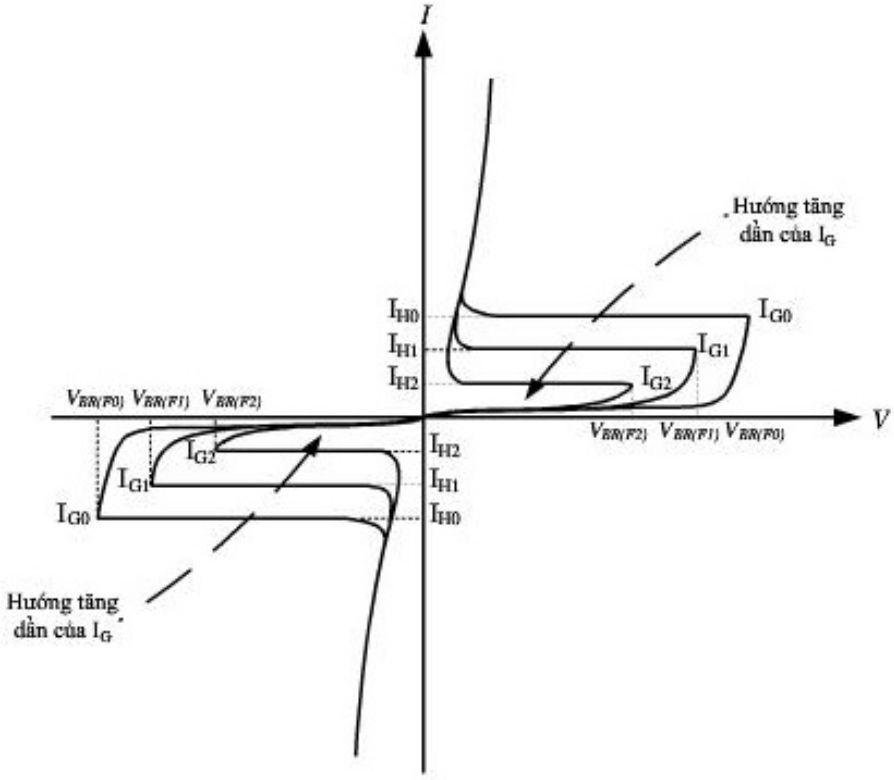
Hai chân MT_1, MT_2 là hai chân công suất, còn chân G là chân kích khởi.

Cấu trúc Triac được phân tích như hình 14.15, dễ thấy rằng cấu trúc của Triac tương đương hai SCR mắc đối song với nhau, nên hoạt động của nó cũng tương đương hai con SCR mắc song song. Khi điện áp trên chân MT_2 dương hơn MT_1 và có một xung dương kích vào G thì SCR bên trái dẫn và ngược lại khi đặt một điện áp trên chân MT_2 thấp hơn MT_1 và kích một xung âm vào G thì SCR bên phải dẫn.



Hình 14.15. *Cấu trúc cắt và dòng điện của Triac.*

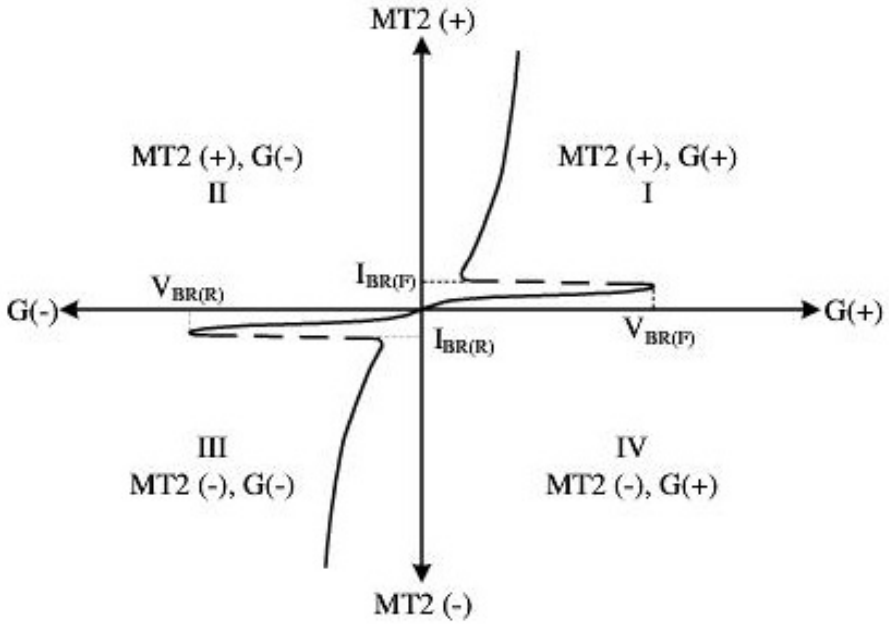
➢ ***Đặc tuyến vôn – ampe của Triac***



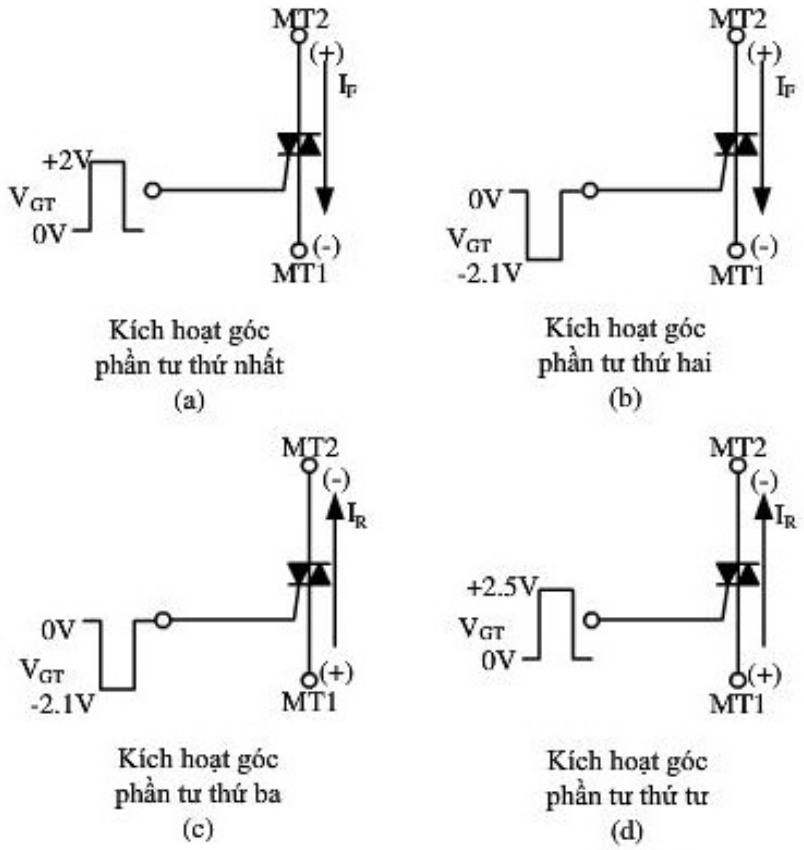
Hình 14.16. *Đặc tuyến V-A của Triac*

Do cấu trúc đặc biệt nên đường đặc tuyến của Triac phức tạp hơn như trong hình 14.16. Trong hình 14.17, đặc tuyến của Triac được chia làm bốn góc phần tư, lần lượt được đánh nhãn là I, II, III và IV. Mỗi góc phần tư có kí hiệu phân cực của MT2 và G, ví dụ ở góc phần tư thứ nhất có kí hiệu

phân cực cho MT2(+) và G(+) có nghĩa là: ứng với điện áp MT2 lớn hơn MT1 và có một xung dương kích vào cực cổng G thì Triac sẽ dẫn theo chiều từ MT2 đến MT1. Có thể thấy rõ hơn các cách kích Triac dẫn trong hình 14.17 và 14.18.



Hình 14.17.



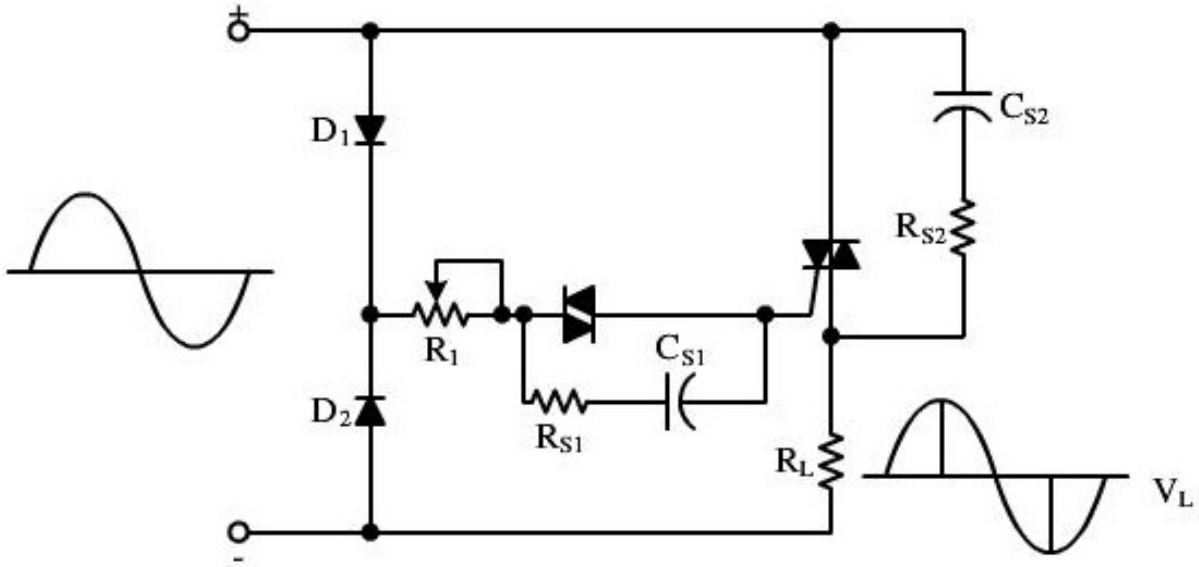
Hình 14.18. *Các phương pháp kích dẫn Triac.*

➢ ***Các thông số cần biết của Triac***

- Điện áp phân cực thuận và nghịch ($V_{BR(F)}$ và $V_{BR(R)}$)
- Dòng điện cực đại
- Dòng giữ I_H
- Áp cổng và dòng cổng kích khởi
- Tốc độ chuyển mạch
- Tốc độ tăng điện áp dV/dt

➢ ***Ứng dụng của Triac***

Một ứng dụng thông dụng nhất của Triac là mạch điều khiển góc pha trong hình 14.19



Hình 14.19. *Mạch điều khiển góc pha trên tải dùng Triac.*

Sự khác nhau cơ bản giữa mạch điều khiển góc pha dùng Triac và mạch điều khiển góc pha dùng SCR là Triac dẫn cả hai chiều cả ở bán kì dương và bán kì âm của nguồn xoay chiều, trong khi SCR chỉ dẫn theo một chiều.

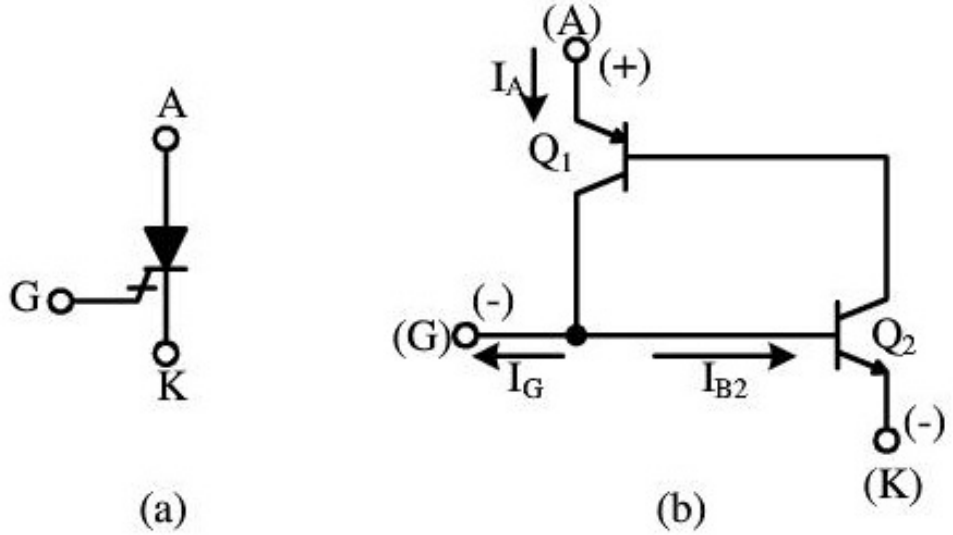
Nguyên lý hoạt động của mạch: Với điện áp xoay chiều, D_1 phân cực thuận và D_2 bị phân cực nghịch ở bán kì dương, do đó điện áp tại điểm A dương lên và khi điện áp vào tăng đủ để điện áp tại A bằng điện áp thuận V_F của diac thì diac dẫn, khi đó điện áp tại cực cổng G của Triac dương lên nên Triac được kích khởi rơi vào trạng thái dẫn, cung cấp một điện áp dương trên tải. Khi điện áp vào âm, Triac ngưng dẫn, đồng thời D_1 bị phân cực nghịch và D_2 phân cực thuận, lúc này điện áp tại A vẫn dương nhưng chân MT_2 bị âm đi, tương tự như vậy khi Triac được kích khởi dòng điện qua tải

theo chiều ngược lại, xuất hiện điện áp ở bán kì âm trên tải. Lưu ý: Trong mạch này, Triac được kích khởi ở góc phần tư thứ I và IV trong đường đặc tuyến.

14.1.4. Những linh kiện họ Thyristor khác:

a. GTO (Gate Turn-Off)

GTO tương tự như SCR, nhưng điểm khác biệt của GTO với SCR là GTO có thể điều khiển tắt bằng cách áp một xung âm vào cực cổng G. Mạch tương đương và kí hiệu GTO trong hình 14.20:



Hình 14.20. *Kí hiệu và mạch tương đương của GTO.*

Có thể thấy GTO có mạch tương đương giống SCR, tuy nhiên cấu trúc bên trong của các lớp bán dẫn loại n và p thì mỏng hơn rất nhiều so với SCR. Điều này có nghĩa rằng miền nền của hai transistor tương đương rất hẹp gần đạt đến cấu trúc thật của BJT. Khi đó, GTO gần như tương đương mạch gồm hai transistor, do đó có thể tắt nó bằng cách cho dòng tại cực B của Q_2 xuống dưới giá trị cần thiết để transistor bão hòa.

Ta có: $$I_A = I_G + I_{B2} \quad (14.2)$$

I_G: *dòng cực cổng;* I_{B2}*: dòng cực B của* Q_2

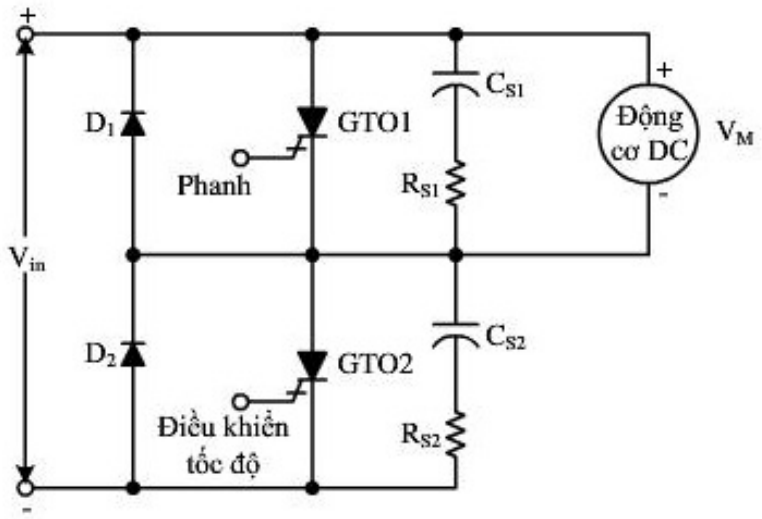
Vậy: $$I_{B2} = I_A - I_G \quad (14.3)$$

Như vậy, nếu chúng ta đặt một điện áp âm tại cực cổng của GTO, khi đó giá trị của dòng I_G gia tăng. Nếu I_G đủ lớn thì dòng I_{B2} sẽ giảm xuống dưới giá trị yêu cầu để duy trì Q_2 ở trạng thái bão hòa, lúc đó GTO rơi vào trạng thái ngắt.

Lưu ý: Cấu trúc miền base hẹp có mặt hạn chế là khả năng chịu được điện áp ngược bé, do đó khả năng chịu được điện áp ngược của GTO thường chỉ vào khoảng 15 – 20V. Nếu điện áp ngược đặt vào hai đầu A và K của GTO lớn hơn giá trị này thì phải sử dụng thiết bị bảo vệ như sử dụng diode.

➢ ***Ứng dụng của GTO***

Hình 14.21 là mạch điều khiển động cơ DC dùng hai GTO để điều kiển động cơ chạy và dừng.



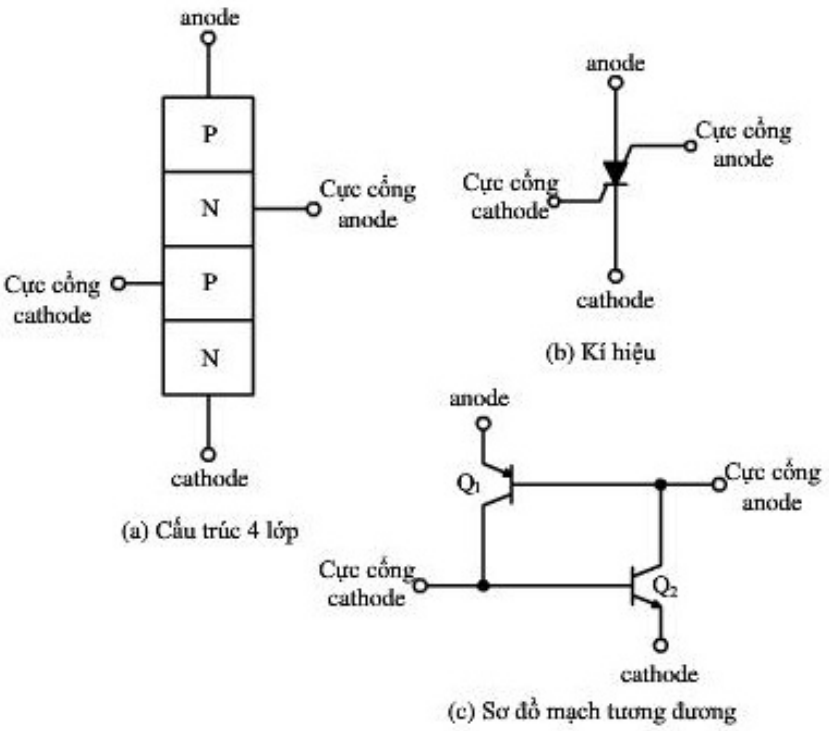
Hình 14.21. *Mạch điều khiển động cơ start/stop.*

Điện áp nguồn cung cấp cho mạch là điện áp một chiều thuần túy hay điện áp một chiều được chỉnh lưu từ xoay chiều, giả sử ban đầu GTO1 và GTO2 chưa dẫn vì chưa có xung kích, động cơ chưa hoạt động. Để điều khiển động cơ chạy, kích một xung vào ngõ vào điều khiển tốc độ, khi đó GTO2 dẫn có nguồn cung cấp cho động cơ, động cơ chạy. Để dừng động cơ, kích một xung vào ngõ vào dừng, khi đó GTO1 dẫn làm ngắn mạch nguồn cung cấp cho động cơ và dừng động cơ.

D_1 và D_2 dùng để bảo vệ GTO1 và GTO2, vì khi động cơ chuyển từ trạng thái chạy sang trạng thái dừng nó sẽ tạo ra một suất điện động ngược lại, vì vậy D_1 và D_2 sẽ dẫn khi có điện áp ngược đặt lên GTO1 và GTO2.

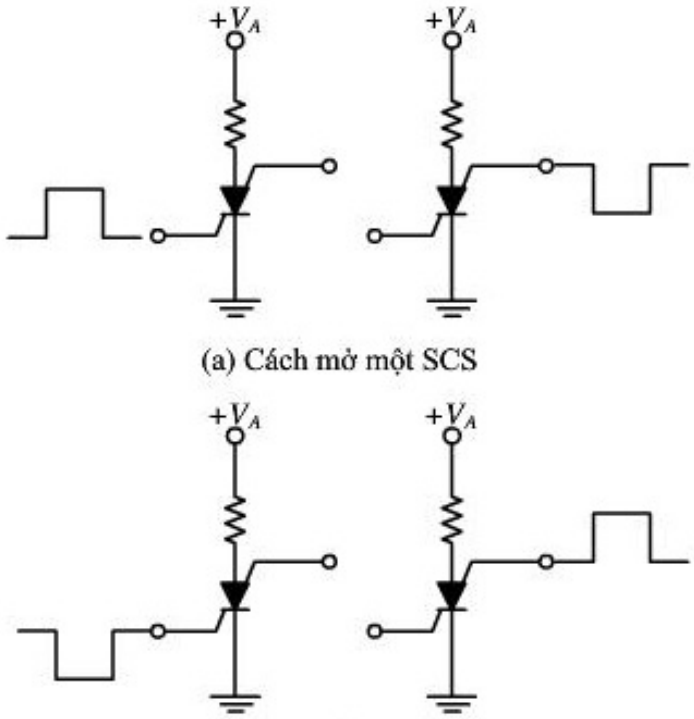
b. SCS (Silicon Control Switch)

SCS có cấu trúc tương tự như SCR nhưng có hai cực cổng và có thể điều khiển SCS đóng tắt bằng hai cực cổng này, cấu trúc, kí hiệu và sơ đồ tương đương của SCS được cho trong hình 14.22:



Hình 14.22. *SCS a. Cấu trúc; b. Kí hiệu; c. Sơ đồ tương đương.*

SCS được điều khiển ở trạng thái dẫn giống như SCR: bằng cách phân cực thuận AK và kích một xung dương tại cực cổng cathode, ngoài ra nó có thể điều khiển dẫn bằng cách kích một xung âm tại cực cổng anode.



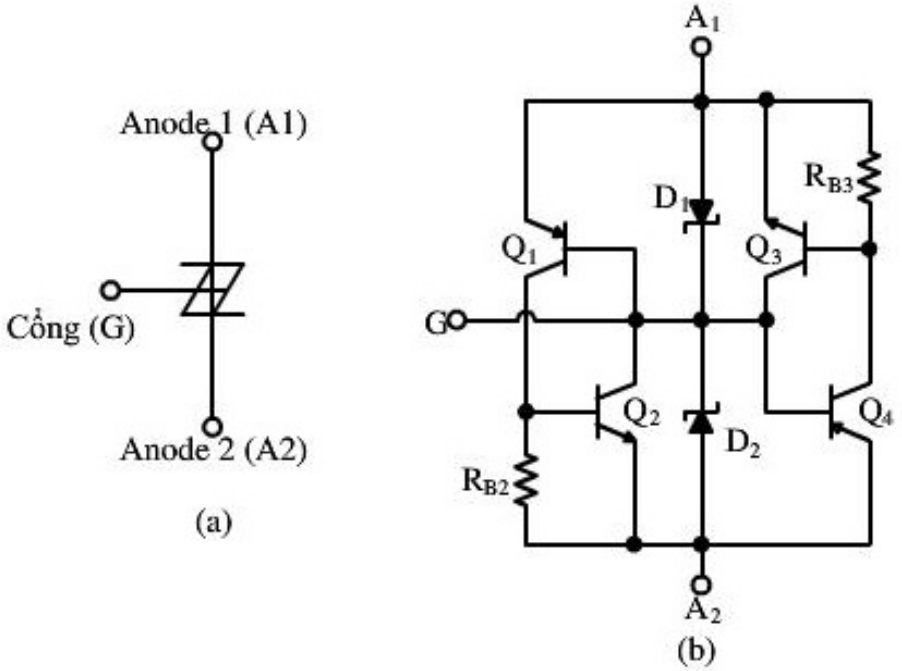
Hình 14.23. *a. Phương pháp mở SCS; b. Phương pháp tắt SCS.*

SCS có thể tắt được bằng cách điều khiển dòng tại cực cổng, cách thứ nhất là kích một xung âm tại cực cổng cathode (tắt Q_2) và cách thứ hai là kích một xung dương tại cực cổng anode (tắt Q_1).

Ưu điểm của SCS là chuyển mạch nhanh, nhưng hoạt động với công suất và dòng nhỏ hơn SCR.

c. SBS (Silicon Bilateral Switch):

SBS là một linh kiện họ Thyristor được thiết kế để cung cấp xung kích khởi dòng cao cho Thyristor công suất. Những linh kiện này có thời gian chuyển mạch rất nhanh và điện áp V_{BR} thấp.SBS thực ra là một mạch tích hợp có cấu trúc và kí hiệu như hình 14.24.

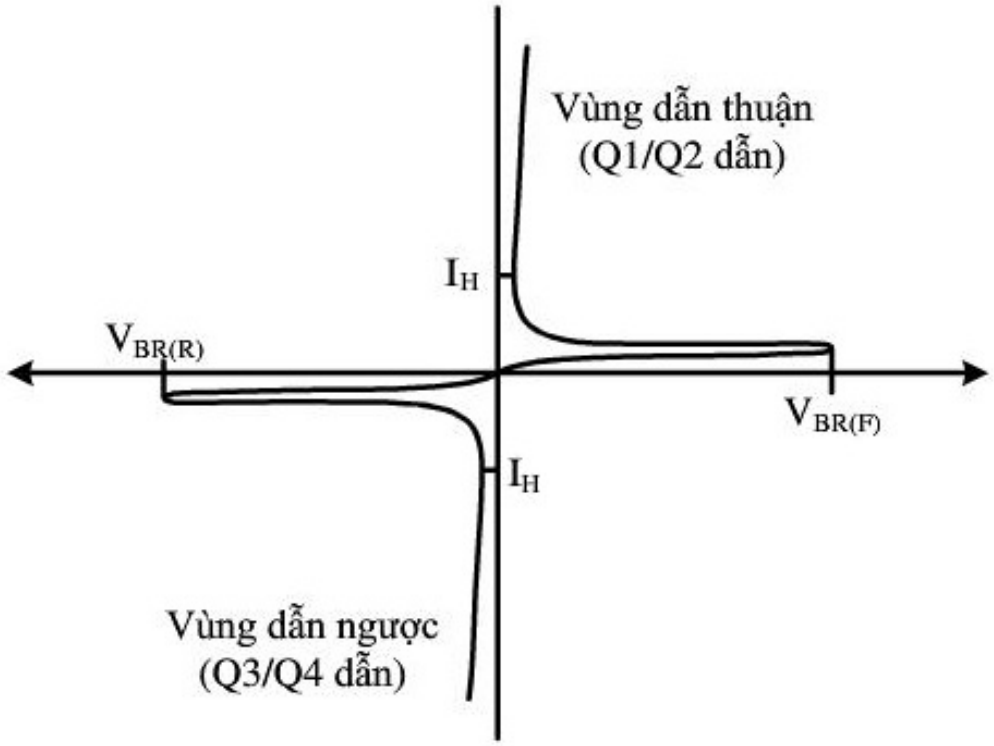


Hình 14.24. *Kí hiệu và cấu trúc của SBS.*

Cấu trúc bên trong của SBS gồm hai diode 4 lớp: một diode pnpn (tương đương hai transistor Q_1 và Q_2), một diode npnp (tương đương hai transistor Q_3 và Q_4), vì vậy nó có thể dẫn theo cả hai chiều.

Khi chân A_1 có điện áp dương hơn chân A_2 một giá trị lớn hơn V_z của D_2, transistor Q_1 và Q_2 sẽ dẫn do đó SBS sẽ dẫn theo chiều từ A_1 đến A_2, và ngược lại khi điện áp chân A_1 âm hơn chân A_2 một giá trị lớn hơn V_z của D_1, transistor Q_3 và Q_4 sẽ dẫn do đó SBS sẽ dẫn theo chiều từ A_2 đến A_1. Lưu ý điện áp V_z của D_1 và D_2 luôn luôn tương đương vì vậy điện áp $|V_{BR(F)}| = |V_{BR(R)}|$. Cực cổng của SBS thường được sử dụng để thay đổi điện áp dẫn của SBS (theo cả hai chiều thuận và nghịch). Cũng giống như SCR, SBS khi dẫn sẽ duy trì trạng thái dẫn đến khi dòng qua nó thấp hơn dòng giữ I_H.

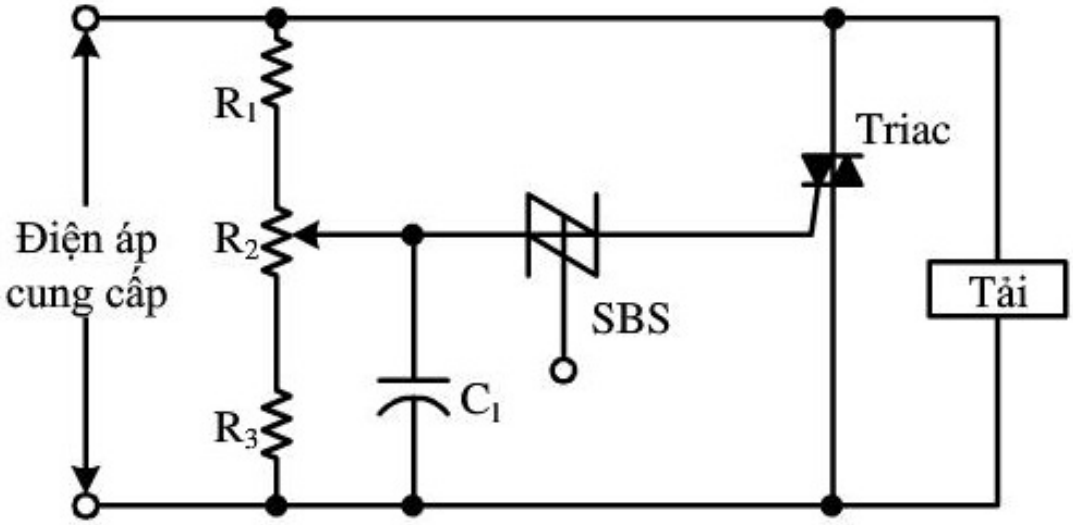
➢ ***Đặc tuyến vôn- ampe của SBS***



Hình 14.25. *Đặc tuyến vôn – ampe của SBS.*

Đường đặc tuyến vôn – ampe của SBS được cho trong hình 14.25. Thông thường điện áp V_{BR} thì nhỏ hơn hay bằng 10V, và dòng qua SBS có thể nằm trong giới hạn 100mA hoặc cao hơn.

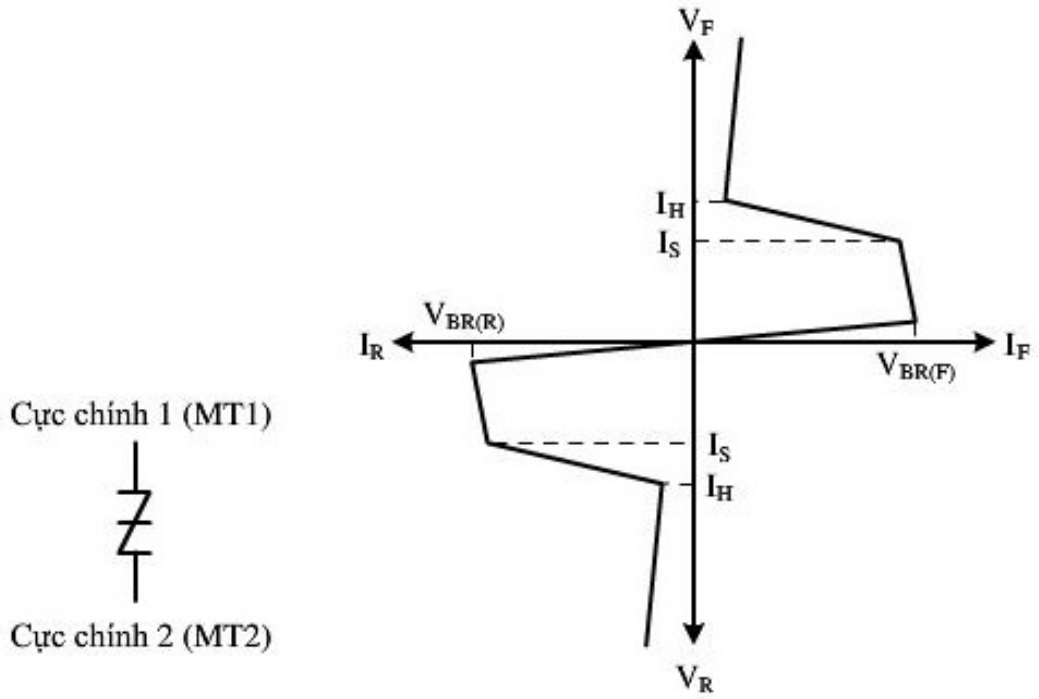
➢ ***Mạch ứng dụng của SBS***



Hình 14.26. *Mạch bảo vệ quá áp dùng SBS.*

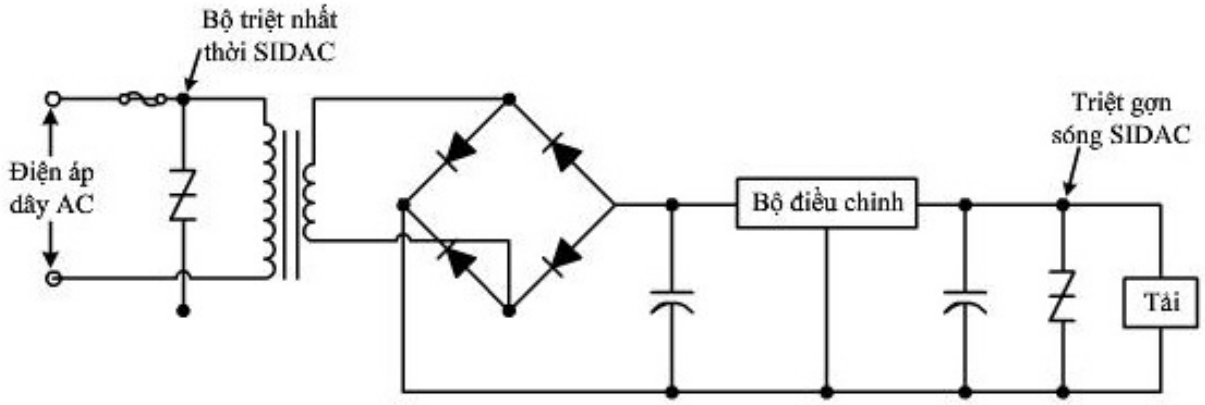
d. SIDAC:

Sidac là linh kiện hai cực, dẫn điện theo hai chiều, có điện áp rất cao thường từ 100 – 280V, có kí hiệu và đường đặc tuyến được cho trong hình 14.27:



Hình 14.27. *Kí hiệu và đặc tuyến của SIDAC.*

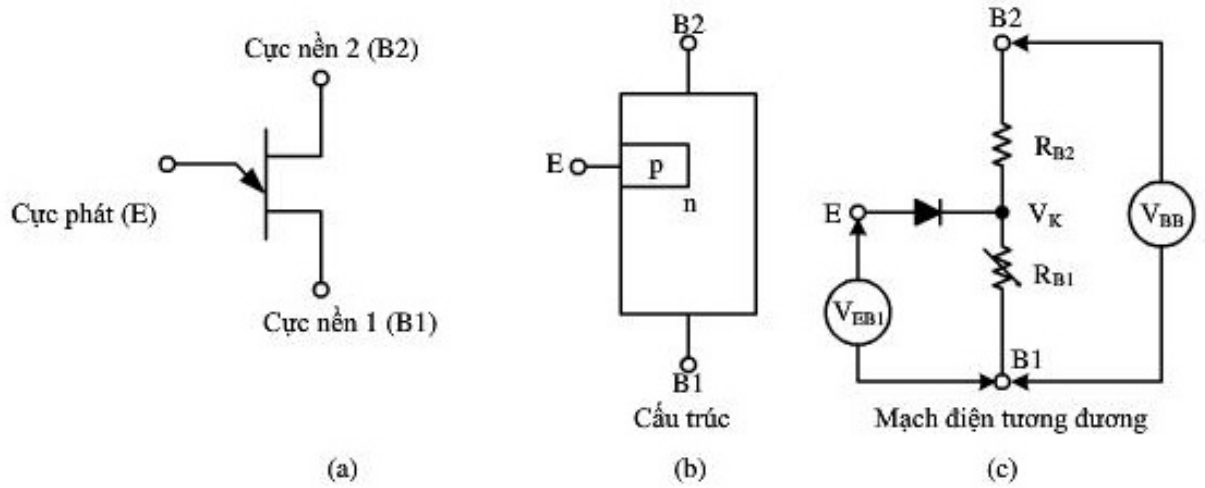
➢ ***Mạch ứng dụng của SIDAC***



Hình 14.28. *Mạch nguồn DC ứng dụng SIDAC.*

14.2. UJT (UNIJUNCTION TRANSISTORS)

UJT là linh kiện chuyển mạch ba cực, có điện áp mở phụ thuộc vào điện áp phân cực. Kí hiệu và cấu trúc của UJT được cho trong hình 14.29:



Hình 14.29. *Kí hiệu, cấu trúc và sơ đồ tương đương của UJT.*

UJT gồm có ba điện cực: cực phát (emitter – E) và hai cực nền B_1 và B_2. Ở sơ đồ tương tương của UJT trong hình 14.29c, do cực E được kết nối với một chuyển tiếp pn (trong hình 14.29b) nên tương đương một diode, cực cathode của diode được kết nối với một cầu phân áp gồm các điện trở R_{B1} và R_{B2}, hai điện trở này chính là điện trở của của lớp bán dẫn loại n nằm giữa chuyển tiếp pn.

Vậy để diode dẫn, điện áp tại anode phải dương hơn cathode một giá trị là 0,7V, và với điện áp phân cực là V_{BB} thì điện áp tại cathode sẽ là:

$$V_K = V_{BB}\frac{R_{B1}}{R_{B1}+R_{B2}} \qquad (14.4)$$

Người ta gọi tỷ số điện trở trong công thức (14.4) là tỷ số nội suy điện áp (η) của UJT, khi đó:

$$\eta = \frac{R_{B1}}{R_{B1}+R_{B2}} \qquad (14.5)$$

Vậy công thức 14.4 có thể viết lại như sau:

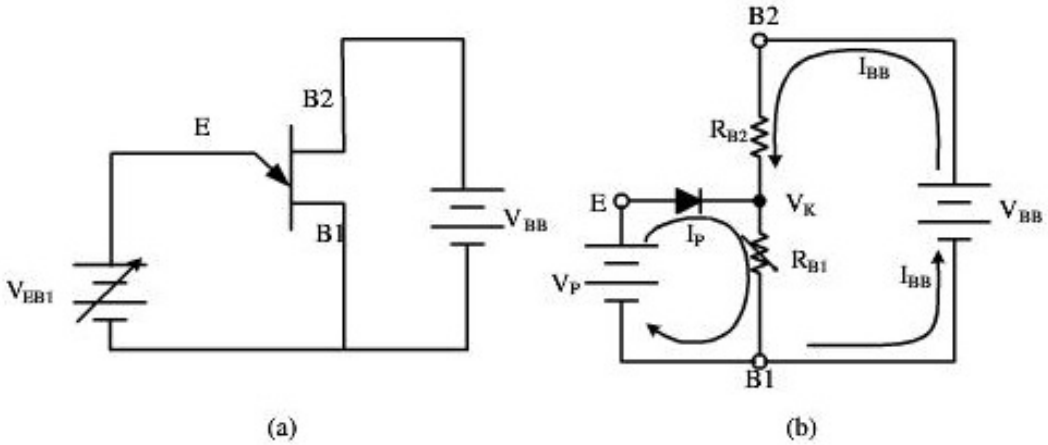
$$V_K = \eta V_{BB} \qquad (14.6)$$

Vậy nếu gọi V_p (peak) là điện áp ngưỡng để UJT dẫn thì:

$$V_p = \eta V_{BB} + 0{,}7\ V \qquad (14.7)$$

Lưu ý η là thông số của UJT được cho bởi nhà sản xuất (cho trong bảng tra cứu của UJT)

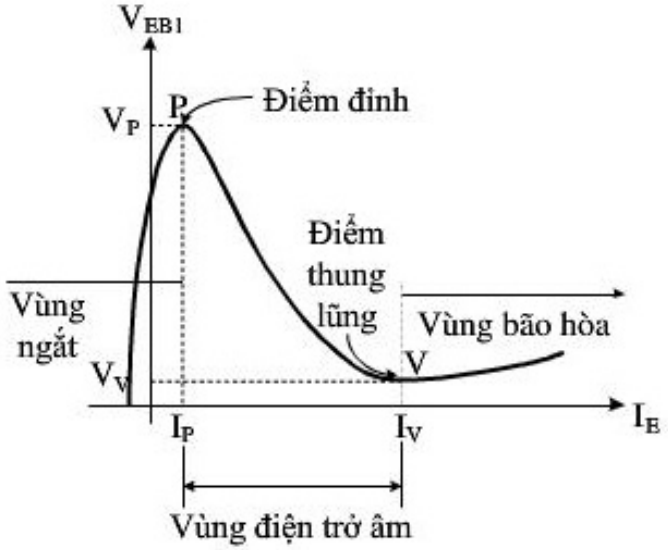
➢ ***Nguyên tắc hoạt động của UJT***:



Hình 14.30: *mạch phân cực và dòng điện trong UJT.*

Điện áp phân cực (V_{BB}) được đặt trên hai cực B_1 và B_2 và mối nối EB_1 được đặt điện áp V_{EB1} như hình 14.30. Khi tăng V_{EB1} từ 0V và nhỏ hơn V_p khi đó mối nối E – B_1 tương đương hở mạch vì chưa đủ điện áp để phân cực diode, khi V_{EB1} đạt tới giá trị V_p thì mối nối E - B_1 được phân cực thuận và nếu dòng qua cực E đạt đến giá trị I_P thì diode dẫn, lúc đó I_E qua điện trở R_{B1} và giá trị điện trở này giảm khi dòng I_E gia tăng, giá trị điện trở R_{B2} không thay đổi khi xuất hiện dòng I_E. Kết quả dòng điện có trong đường đặc tuyến hình 14.31. I_p chính là dòng tối thiểu để UJT dẫn. Và nếu I_E gia tăng trên giá trị I_p, R_{B1} giảm nhanh chóng, kết quả là V_{EB1} giảm khi I_E gia tăng. Điện áp V_{EB1} giảm đến khi bằng giá trị V_v và I_E bằng giá trị I_V (valley current) thì linh kiện đi vào vùng bão hòa và V_{EB1} tăng theo I_E.

➢ **Đặc tuyến Vôn – Ampe**



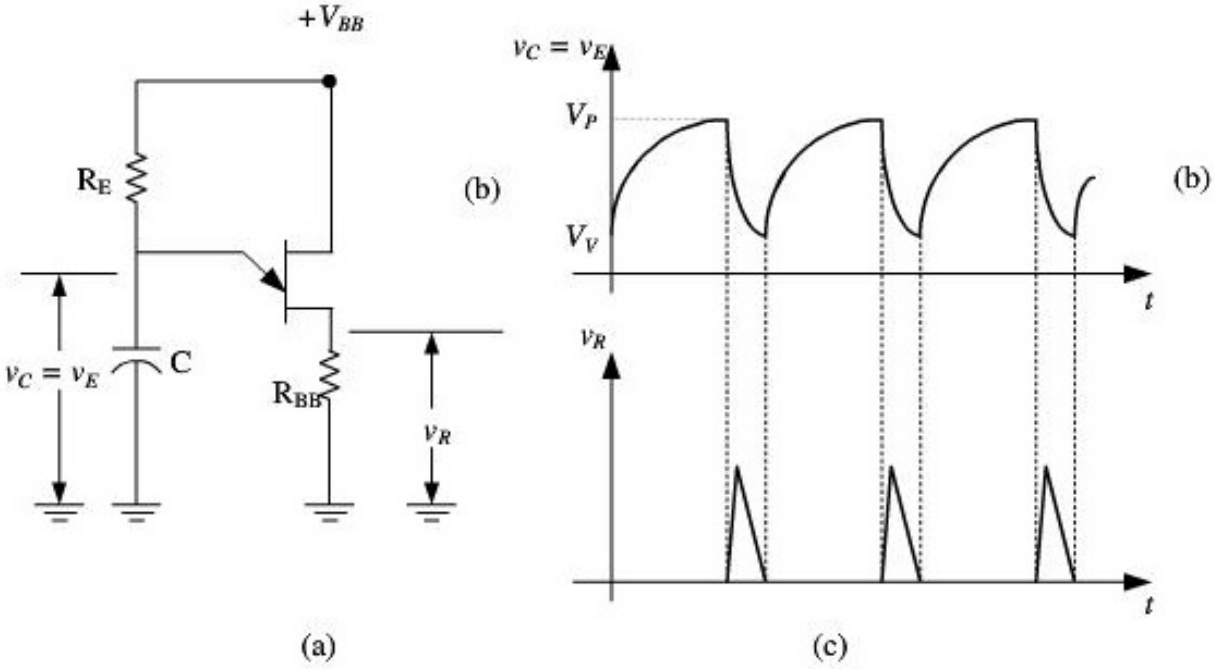
Hình 14.31: *Đặc tuyến Vôn – Ampe của UJT.*

Trong đường đặc tuyến vôn –ampe của UJT trong hình 14.31, V_{EB1} và I_E tỷ lệ nghịch giữa hai điểm đỉnh và điểm thung lũng nên gọi là vùng điện trở âm. Một UJT được kích khởi khi điện áp tại cực E của nó đạt đến giá trị V_P và dòng qua nó đạt đến giá trị I_P, khi đó nó sẽ dẫn và dẫn đến khi dòng I_E qua nó nhỏ hơn I_v. Khi I_E bé hơn I_v, UJT sẽ trở về vùng tắt và nó chỉ dẫn khi nhận được sự kích khởi trở lại.

❖ ***Mạch ứng dụng của UJT***

➢ Mạch dao động tích thoát dùng nguồn DC

UJT thường được sử dụng trong những mạch để kích các linh kiện Thyristor, ví dụ như SCR hay Triac. Một mạch ứng dụng của UJT thường gặp đó chính là mạch dao động tích thoát trong hình 14.32.



Hình 14.32. *Mạch dao động tích thoát dùng UJT*
a. Mạch tạo dao động; b. Điện áp cực E; c. Dạng sóng ngõ ra.

Khi điện áp nguồn đặt vào mạch trong hình 14.32a, tụ C chưa nạp nên $V_E = V_C = 0V$, UJT tắt, dòng rĩ I_{B1} và I_{B2} rất bé nên điện áp tại B_1: $V_{B1} = 0V$. Khi đó, tụ C bắt đầu nạp điện qua R_E từ thời điểm t_0 đến t_1, dạng sóng trên tụ trong hình 14.32b, điện áp trên tụ tăng dần đến thời điểm t_1 thì điện áp nạp trên tụ bằng V_p, do đó điện áp tại cực E bằng điện áp kích khởi làm cho UJT dẫn. Khi UJT dẫn điện trở mối nối EB_1 giảm, tụ C_T xả trong thời gian t_1 đến t_2 tạo một xung gai tại chân B_1. Tại thời điểm t_2 điện áp trên tụ giảm nhanh về giá trị V_v và dòng qua UJT giảm nhỏ hơn dòng I_P làm cho UJT tắt, điện áp chân B_1 lại bằng 0V, sau đó C_T tiếp tục nạp từ V_V đến V_p và quá trình lặp lại.

Yêu cầu để mạch dao động:

- Điện trở R_E phải đủ nhỏ để khi điện áp trên tụ đạt giá trị V_P thì dòng qua cực E phải đạt đến giá trị I_P (để UJT dẫn)

$$R_E < R_{E(\max)} = \frac{V_{BB} - V_P}{I_P}$$

- Điện trở R_E phải đủ lớn để dòng qua cực E nhỏ hơn I_V khi điện áp trên tụ xả đến giá trị V_v (để tắt UJT).

$$R_E > R_{E(\min)} = \frac{V_{BB} - V_V}{I_V}$$

Chu kì dao động của mạch được tính như sau: do thời gian xả của tụ khá nhanh nên có thể tính gần đúng chu kì dao động của mạch gần bằng thời gian nạp của tụ:

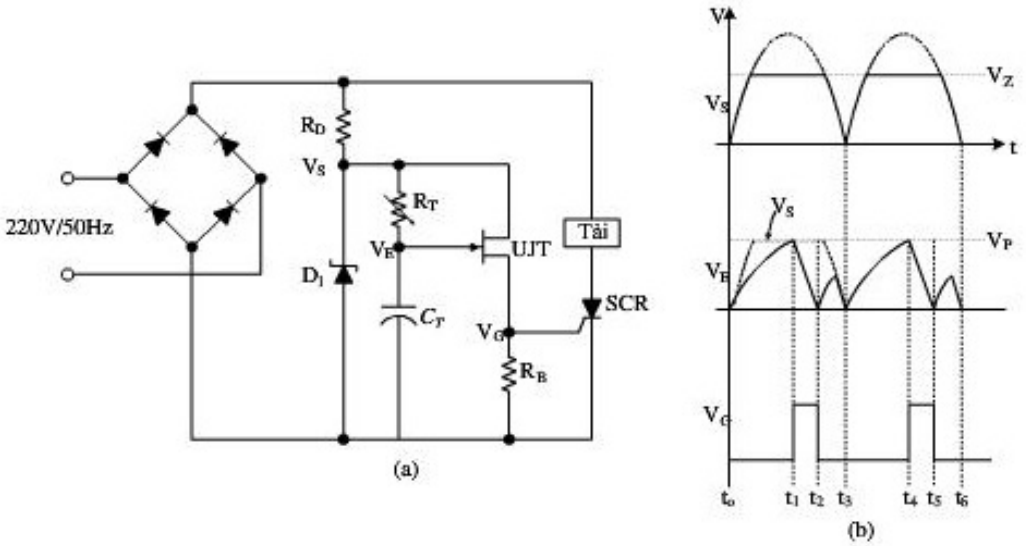
$$T = R_E C \ln \frac{V_{BB} - V_V}{V_{BB} - V_P}$$

Vì $V_V << V_B$ và $V_P = \eta V_{BB} + V_D >> V_D$, nên:

$$T \cong R_E C \ln \frac{V_{BB}}{V_{BB} - V_P} = R_E C \ln\left(\frac{1}{1-\eta}\right)$$

✓ *Lưu ý giá trị điện trở R_E phải bé hơn R_{BB} để không ảnh hưởng đến giá trị V_P.*

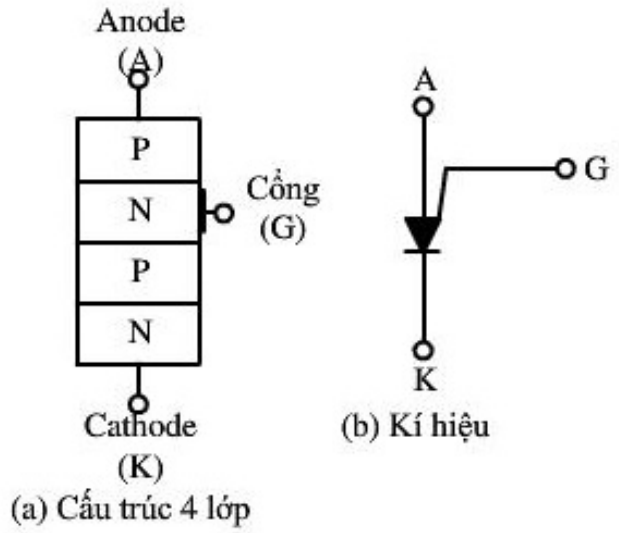
➢ Mạch dao động tích thoát dùng chung nguồn AC với SCR.



Hình 14.33. *Mạch ứng dụng của UJT kích SCR.*

- **PUT (The Programmable UJT)**

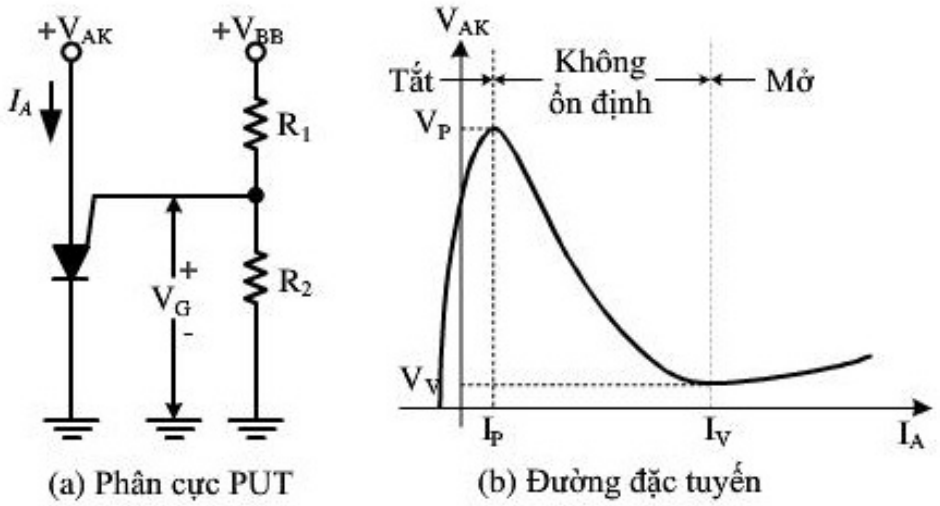
PUT là linh kiện 4 lớp tương tự SCR, tuy nhiên tên của nó được đặt dựa vào đặc điểm của đường đặc tuyến và các ứng dụng của nó tương tự UJT, cấu trúc và kí hiệu của PUT trong hình 14.34.



Hình 14.34. *Cấu trúc và kí hiệu PUT.*

Trong hình 14.34, ta thấy cấu trúc của PUT giống SCR nhưng chỉ khác là cực cổng nối với bán dẫn loại N, giống như cực cổng anode của SCS.

Trong ứng dụng, cực cổng của PUT được phân cực với một điện áp dương so với cực cathode của PUT (điện áp lập trình), khi đó nếu điện áp tại anode dương hơn điện áp cực cổng 0,7V thì PUT sẽ dẫn. Như vậy PUT "được lập trình" bằng điện áp phân cực giữa cực cổng và cathode. Mạch phân cực cho PUT và đường đặc tuyến trong hình 14.35.



Hình 14.35. *a. Mạch phân cực PUT; b. Đường đặc tuyến vôn –ampe của PUT.*

Từ hình 14.35, ta có thể định các thông số cho PUT (theo các thông số của UJT)

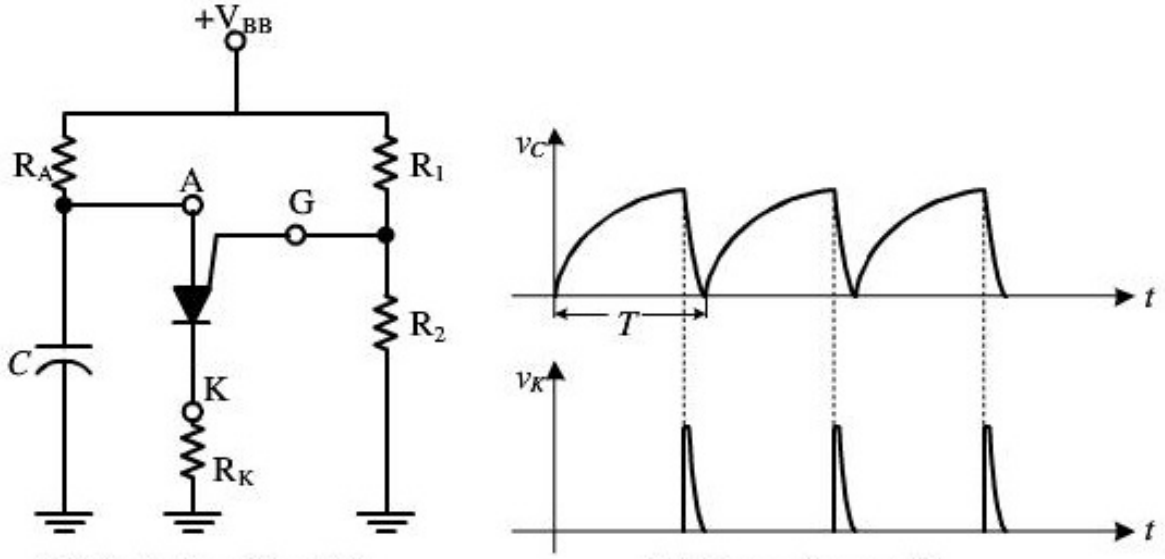
$$\eta = \frac{R_1}{R_1 + R_2}$$

R_1, R_2: điện trở trong mạch chia áp hình 14.35a.

$$V_G = \eta V_{BB}$$

$$V_P = V_G + V_D = \eta V_{BB} + V_D$$

Mạch dao động tích thoát dùng PUT.



(a) Mạch dao động tích thoát dùng PUT

(b) Dạng sóng mạch tạo dao động

Hình 14.36. *Mạch dao động tích thoát dùng PUT.*

Chu kì dao động của mạch:

$$T \cong R_A C \ln\left(\frac{1}{1-\eta}\right)$$

Điều kiện để mạch dao động:

$$R_A < R_{A(\max)} = \frac{V_{BB} - V_P}{I_P}$$

$$R_A > R_{A(\min)} = \frac{V_{BB} - V_V}{I_V}$$

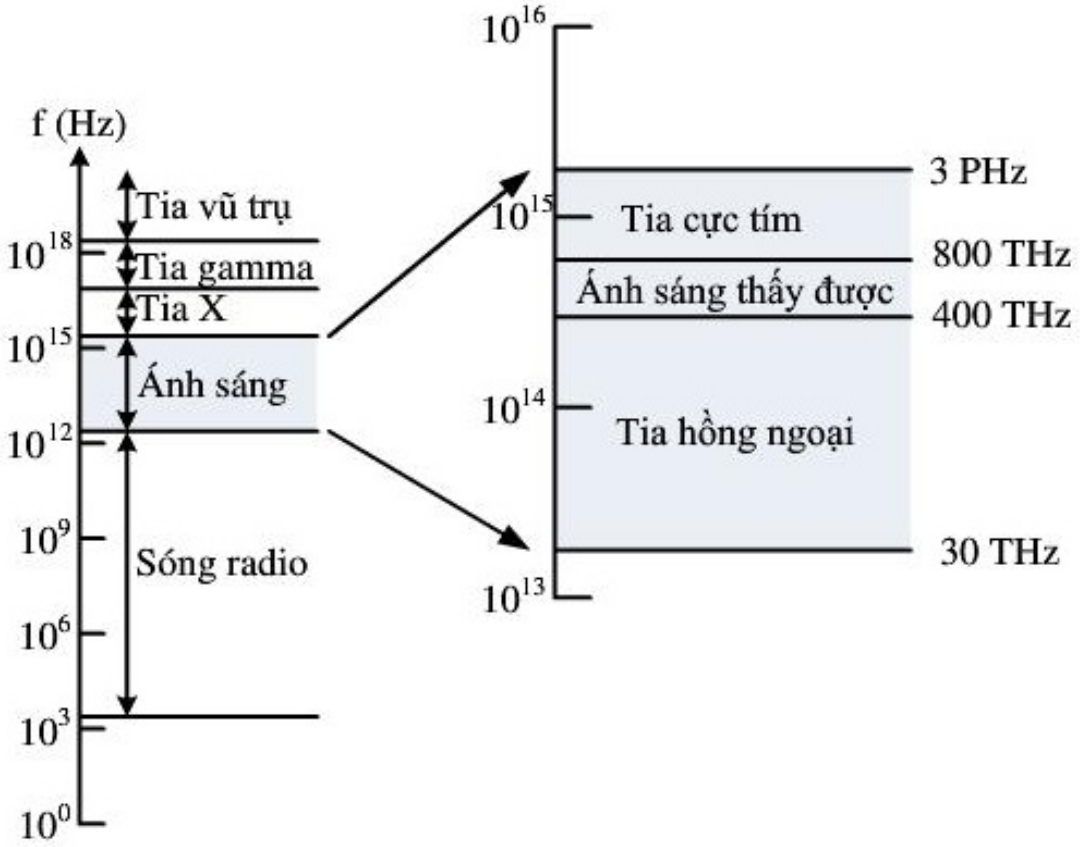
14.3. LINH KIỆN QUANG ĐIỆN.

Là các linh kiện biến đổi ánh sáng thành điện năng.

14.3.1. Đặc điểm của ánh sáng:

Ánh sáng là một loại năng lượng điện từ phụ thuộc giới hạn tần số như trong hình 14.48. Phổ ánh sáng từ 30 THz đến 3 PHz.

(P: peta 1PHz = 10^{15}Hz, T: tera 1THz = 10^{12}Hz)



Hình 14.37. *Phổ của ánh sáng.*

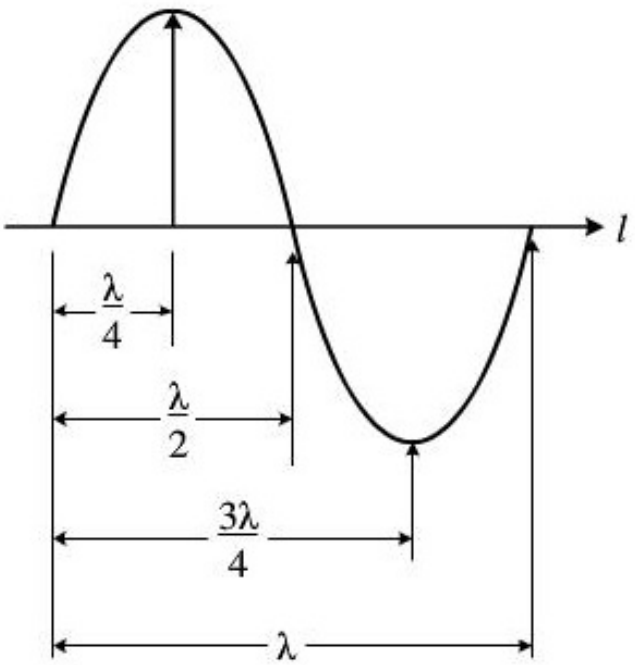
Hai thông số thường dùng cho ánh sáng: bước sóng (λ) và cường độ.

- Bước sóng là chiều dài vật lý của một chu kì của một sóng điện từ được truyền đi:

$$\lambda = \frac{c}{f}$$

c: tốc độ ánh sáng 3.10^8 m/s

f: tần số của tín hiệu được truyền



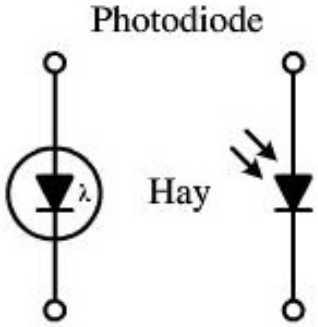
Hình 14.38. *Bước sóng ánh sáng.*

Linh kiện phát quang và thu quang phải phù hợp với nhau qua thông số bước sóng. Ví dụ ta dùng một linh kiện phát quang để điều khiển một linh kiện thu quang, thì hai linh kiện này phải cùng bước sóng.

– Cường độ ánh sáng là lượng ánh sáng trên một đơn vị diện tích mà thiết bị thu quang nhận được. Lưu ý cường độ ánh sáng giảm khi khoảng cách giữa linh kiện thu và phát tăng.

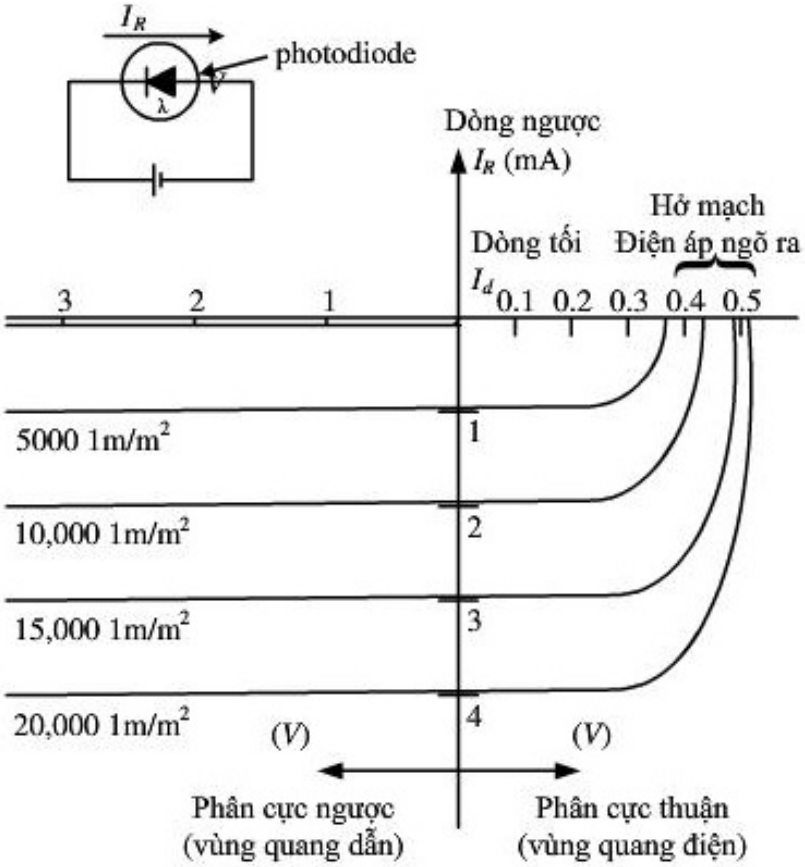
14.3.2. Photodidode (diode thu quang):

Photodiode là linh kiện bán dẫn có 2 cực cấu tạo cơ bản trên chuyển tiếp P-N đặc biệt sao cho vùng nghèo của chuyển tiếp P-N khi ánh sáng chiếu vào sẽ sinh ra các hạt dẫn và chuyển động tạo thành dòng trong photodiode. Khi cường độ ánh sáng tăng thì dòng ngược qua diode cũng tăng theo. Kí hiệu của photodiode như hình 14.39.



Hình 14.39. *Kí hiệu của photodiode.*

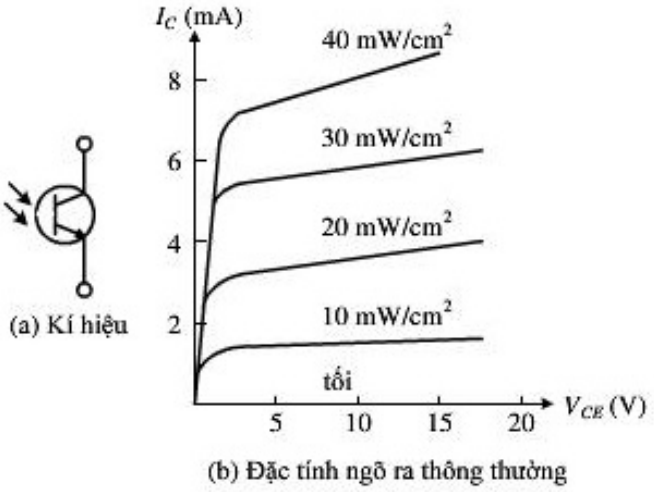
➢ ***Đặc tuyến của photodiode***



Hình 14.40. *Đặc tuyến của photodiode.*

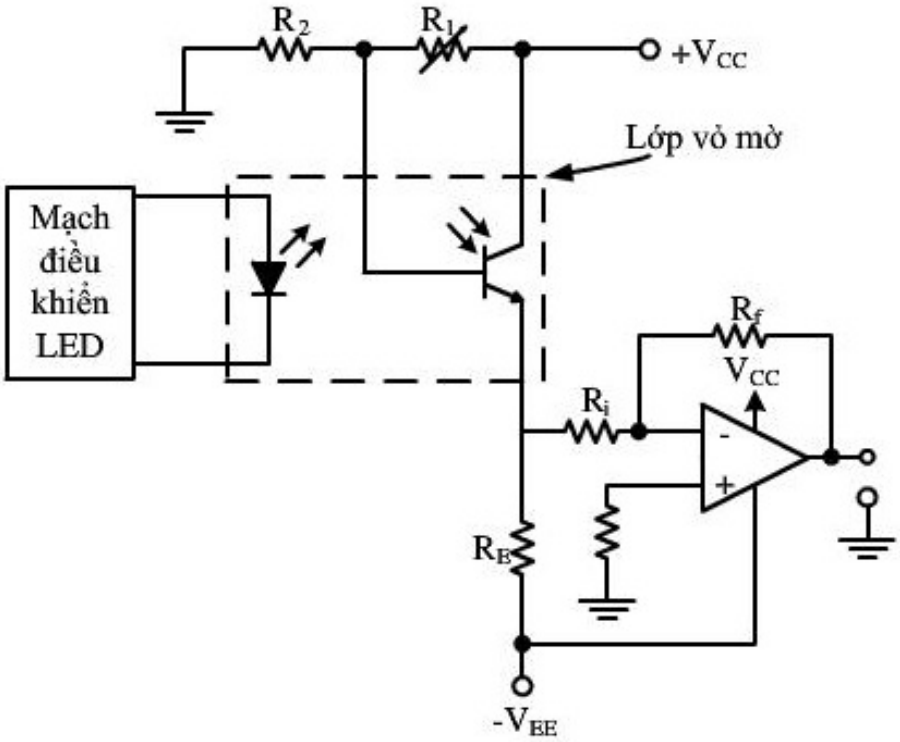
14.3.3. Phototransistor:

Là linh kiện thu quang ba cực, trong đó dòng collector (I_C) được điều khiển bởi cường độ ánh sáng tại ngõ vào quang học là miền nền (Base).



Hình 14.41. *a. Kí hiệu của phototransistor; b. Đặc tuyến Volt - Ampe của phototransistor.*

➢ ***Mạch sử dụng phototransistor***

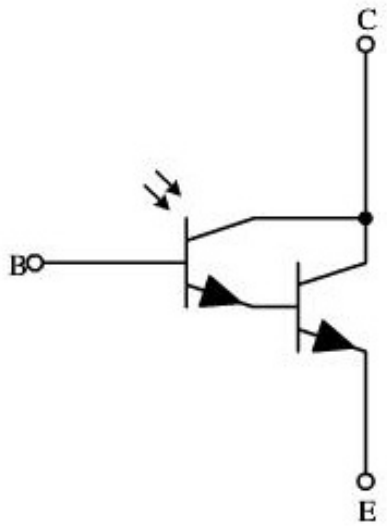


Hình 14.42. *Mạch ứng dụng phototransistor.*

Mạch có thể dùng để điều khiển các động cơ mở cầu đường thu phí hoặc máy đếm sản phẩm.

14.3.4. Photo - Darlington

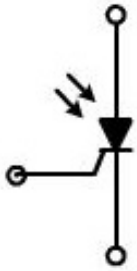
Photo - Darlington là phototransistor mà cấu trúc là hai transistor mắc darlington lại với nhau như Hình 14.43:



Hình 14.43. *Kí hiệu của photo-darlington.*

14.3.5. LASCR (light - activated SCR) hay photo-SCR

Là linh kiện ba cực, trong đó cực cổng được điều khiển bởi cường độ ánh sáng (Hình 14.44). Kí hiệu LASCR.

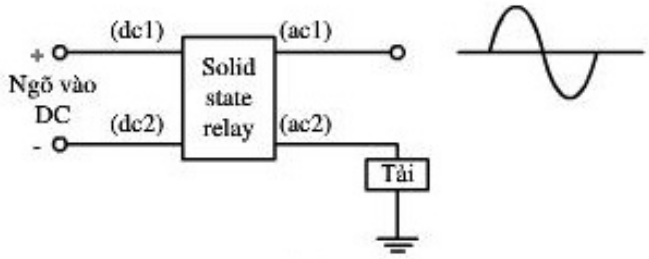


Hình 14.44. *Kí hiệu LASCR.*

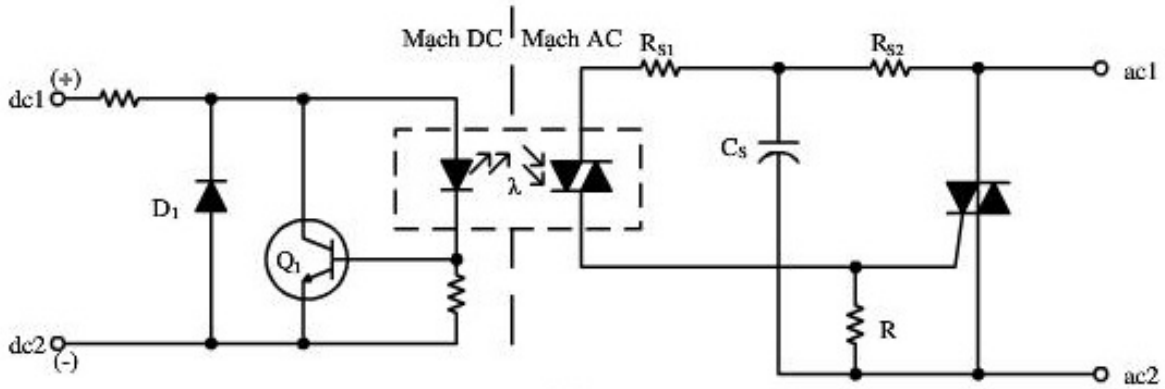
14.3.6. Bộ ngẫu hợp quang điện Opto

Là một mạch tích hợp gồm cả hai linh kiện thu quang và phát quang. Trong đó, linh kiện phát quang luôn luôn là led còn linh kiện thu quang có thể là bất cứ linh kiện nào ở trên. Ứng dụng thường gặp của opto là dùng để cách ly mạch điều khiển và mạch công suất.

➢ *Mạch ứng dụng của opto:*



(a)



(b)

Hình 14.45. *Mạch ứng dụng của opto.*

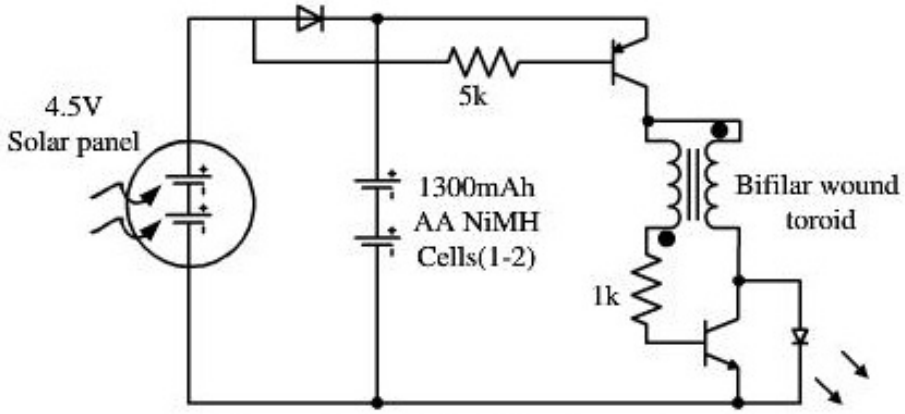
14.3.7. Tế bào quang điện (pin mặt trời – solar cell)

Tế bào quang điện là linh kiện bán dẫn cấu tạo cơ bản trên chuyển tiếp P-N đặc biệt, sao cho khi có ánh sáng chiếu vào các liên kết cộng hóa trị trong tiếp giáp bị phá vỡ tạo thành các hạt dẫn dương và âm làm tăng điện thế phát ra.

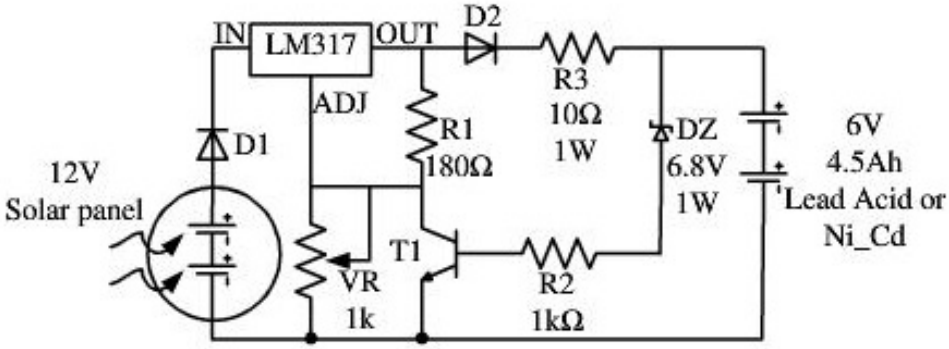
Một tấm pin silic có đường kính 6 cm khi được chiếu sáng có thể phát ra dòng điện khoảng 0.5A và có điện áp ngõ ra khoảng 0.5V.

Hình 14.46. *Kí hiệu của tế bào quang điện.*

Ứng dụng của tế bào quang điện: Trên hình 14.47 mô tả hoạt động của đèn sân vườn sử dụng pin mặt trời. Khi trời sáng các tế bào quang điện hấp thu ánh sáng và chuyển hóa thành dòng điện nạp vào pin AA thông qua diode. Khi trời tối nguồn pin này kích dẫn cho transistor và cấp nguồn cho đèn phát sáng.



Hình 14.47. *Mạch đèn sân vườn.*



Hình 14.48. *Mạch sạc pin dùng năng lượng mặt trời*

Hình 14.48 trình bày mạch điện sạc pin dùng năng lượng mặt trời. Mạch điện sử dụng solar panel 12V, trong đó solar panel gồm 10 solar cell 1.2V mắc nối tiếp nhau. Dòng điện chạy qua D1 đến ngõ vào IC LM317 để điều khiển dòng và áp nạp pin thông qua biến trở VR. Điện trở R_3 hạn dòng cho D2 và ngăn dòng xả từ pin. Transistor T1 và Zener có vai trò ngắt nguồn khi pin đã sạc đầy. Khi pin chưa sạc đủ 6.8V thì T1 và Zener không dẫn, nên pin được sạc. Khi pin nạp trên 6.8V, T1 và zener dẫn, điện áp ngõ ra của LM317 sẽ nối đất và mạch ngừng sạc.

BÀI TẬP CHƯƠNG 14

14.4.1. SCR là linh kiện chỉnh lưu.....

14.4.2. SCR hoạt động giống như diode khi được kích. Đúng:… Sai:

14.4.3. SCR dẫn điện khi A-K phân cực..... và.....

14.4.4. Tại sao có hiện tượng tự kích trong SCR, nêu biện pháp bảo vệ.

14.4.5. Tại sao phải tắt SCR trong mạch DC, nêu các biện pháp tắt.

14.4.6. Có cần biện pháp đặc biệt để tắt SCR trong mạch AC, tại sao?

14.4.7. TRIAC được cấu tạo bởi... lớp bán dẫn.

14.4.8. TRIAC được xem như 2 SCR mắc.....

14.4.9. TRIAC dẫn điện ở cả bán kỳ dương và bán kỳ âm. Đúng:… Sai:..

14.4.10. Giải thích nguyên tắc hoạt động của TRIAC theo hình 14.15(b)

14.4.11. DIAC là linh kiện bán dẫn có... cực, dẫn theo... chiều.

14.4.12. DIAC chỉ dẫn điện khi điện áp phân cực lớn hơn giá trị ngưỡng.

Đúng:… Sai:…

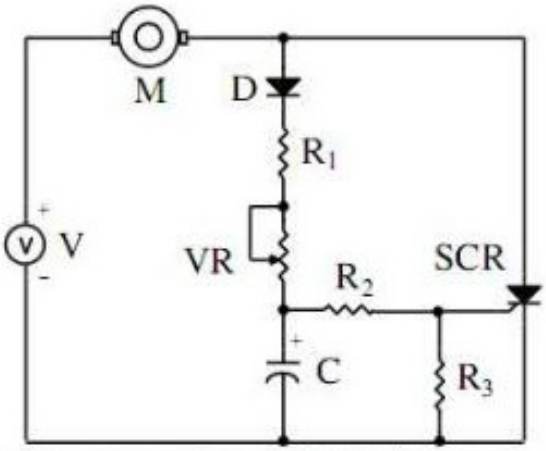
14.4.13. Hãy so sánh sự giống và khác nhau giữa diode, SCR, DIAC, TRIAC.

14.4.14. Cho mạch điện như hình 14.49(a), biết điện áp nguồn xoay chiều, $V_S = 311\sin 314t$ [V].

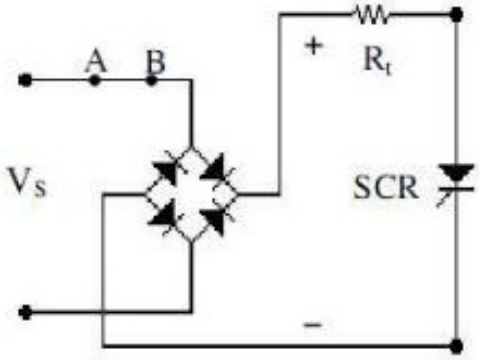
a. Tính giá trị trung bình của điện áp trên động cơ M khi góc kích cho SCR $\alpha = \frac{\pi}{2}$.

b. Vẽ dạng sóng điện áp trên động cơ M trong trường hợp trên.

c. Tính phạm vi điều khiển của điện áp trên động cơ M (V_{Mmin}, V_{Mmax}).



Hình 14.49(a) Mạch điều khiển động cơ.



Hình 14.49(b) Điều khiển toàn kỳ.

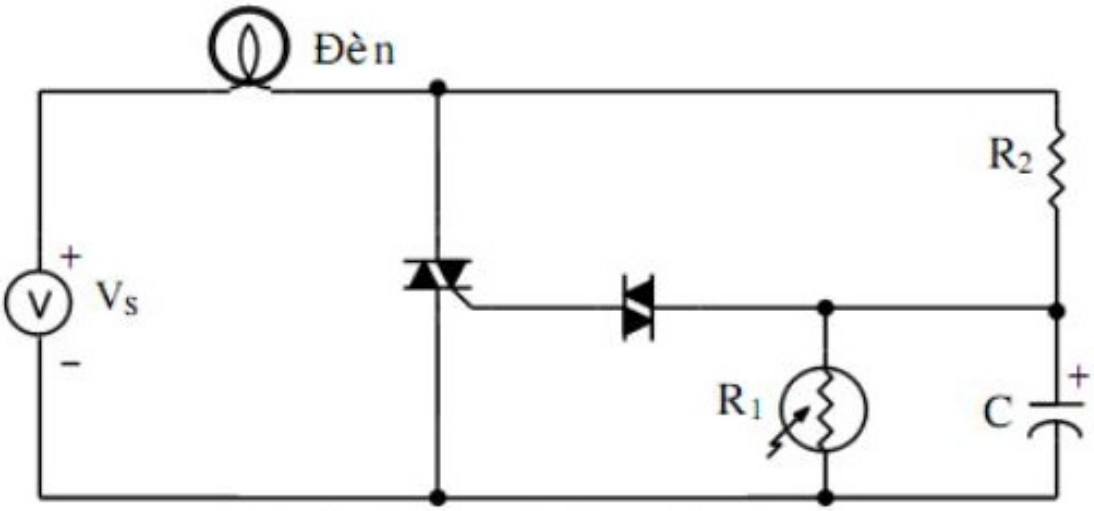
14.4.15. Cho mạch như hình 14.49(b), tải R_t ở vị trí như trên hình vẽ. Biết điện áp nguồn xoay chiều, $V_S = 311\sin 314t$ [V].

a. Tính giá trị trung bình của điện áp trên tải R_t khi góc kích cho SCR $\alpha = \frac{\pi}{2}$.

b. Vẽ dạng sóng điện áp trên tải R_t trong trường hợp trên.

c. Tính phạm vi điều khiển của điện áp trên tải R_t (V_{Rtmin}, V_{Rtmax}).

14.4.16. Dựa vào hình 14.50, hãy vẽ mạch đóng mở cửa theo yêu cầu sau: cửa đóng khi có ánh sáng và cửa mở khi không có ánh sáng.



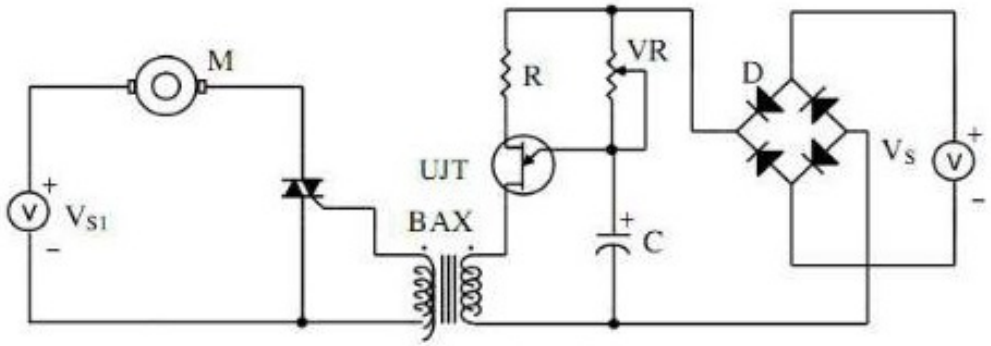
Hình 14.50. *Mạch tự động đóng mở đèn.*

14.4.17. Cho mạch điện như hình 14.51, biết điện áp nguồn xoay chiều, $V_{S1} = 311\sin 314t$ [V].

a. Tính giá trị hiệu dụng của điện áp trên động cơ M khi góc kích cho TRIAC $\alpha = \frac{\pi}{2}$.

b. Vẽ dạng sóng điện áp trên động cơ M trong trường hợp trên.

c. Tính phạm vi điều khiển của điện áp trên động cơ M (V_{Mmin}, V_{Mmax}).



Hình 14.51 *Mạch điều khiển động cơ AC.*

14.4.18. Nếu thay TRIAC trong mạch 14.51 bằng 2 SCR mắc song song ngược nhau.

a. Hãy thiết kế mạch cấp xung điều khiển cho 2 SCR.

b. Giải thích nguyên tắc hoạt động của mạch vừa thiết kế.

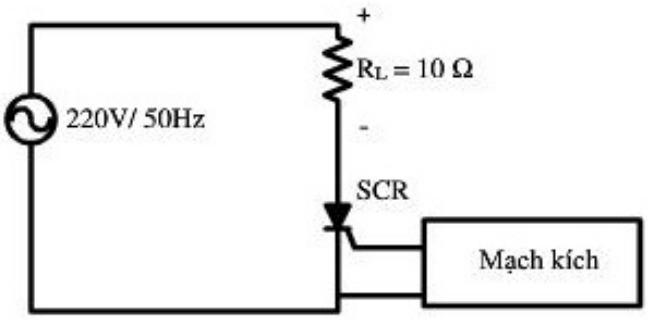
Hướng dẫn: Sử dụng hai biến áp xung cuộn sơ cấp mắc song song, hoặc sử dụng một biến áp xung có một cuộn sơ cấp và hai cuộn thứ cấp.

14.4.19. Cho mạch điều khiển như Hình 14.52.

a. Vẽ dạng sóng điện áp ngõ ra với $\alpha = 45^o$

b. Tính điện áp trung bình qua tải V0TB, dòng I0TB, công suất PRL.

c. Xác định góc kích α để PRL = 20W.



Hình 14.52.

14.4.20. Cho mạch chỉnh lưu như Hình 14.53.

a. Vẽ dạng sóng điện áp ngõ ra V_o.

b. Tính V_{0TB}, I_R, P_R.

c. Thay Diode D_1 bằng một SCR_1.

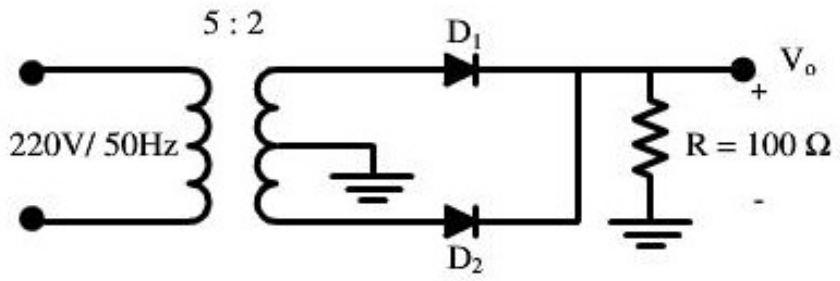
– Vẽ dạng sóng ngõ ra khi góc kích $\alpha = 45^o$.

– Tính V_{0TB}, I_R, P_R tương ứng.

d. Thay Diode D_1 và D_2 bằng 2 SCR_1 và SCR_2.

– Vẽ dạng sóng ngõ ra khi góc kích $\alpha = 30^o$.

– Tính V_{0TB}, I_R, P_R tương ứng.



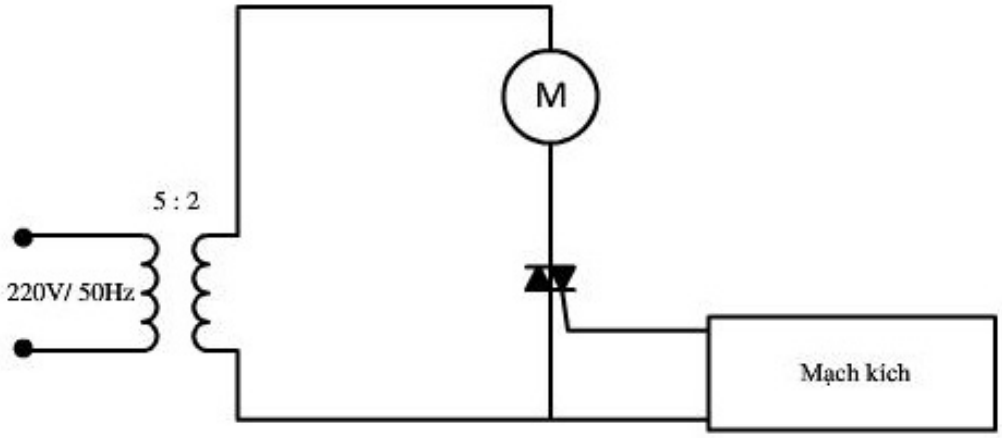
Hình 14.53

14.4.21. Cho mạch điều khiển động cơ như Hình 14.54.

a. Vẽ dạng sóng điện áp trên động cơ ($\alpha = 60^o$).

b. Tính điện áp hiệu dụng trên động cơ.

c. Tính tốc độ quay của động cơ, biết rằng $U_{đc} = 100V$ và n = 1000 vòng/phút.

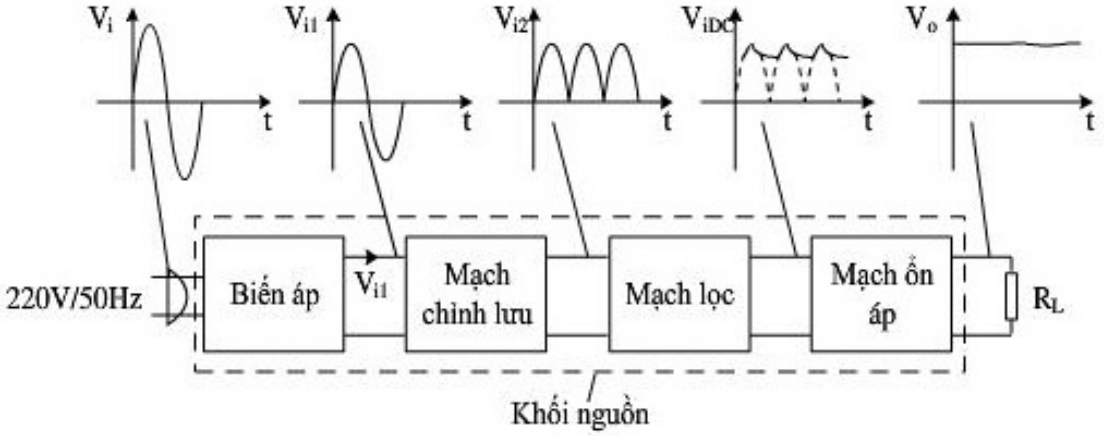


Hình 14.54.

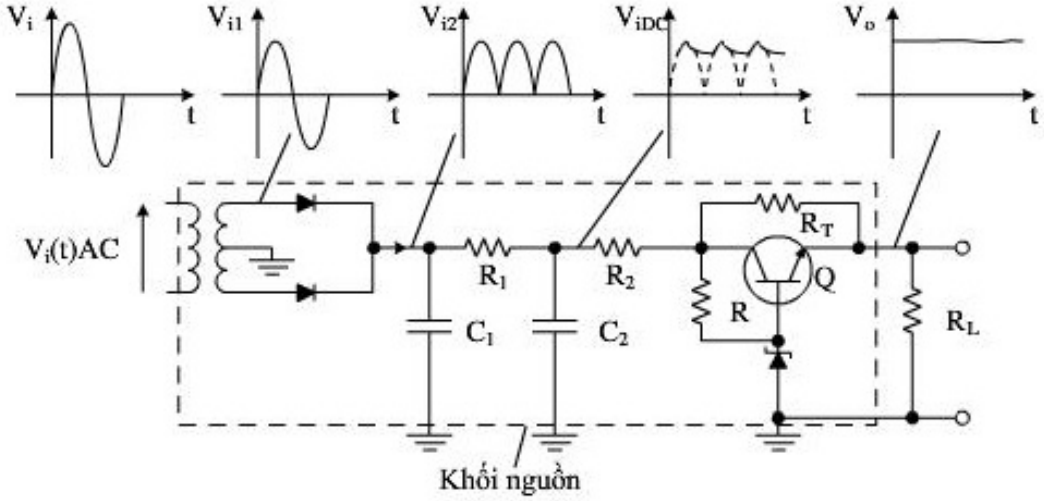
Chương 15
NGUỒN VÀ MẠCH ỔN ÁP

15.1. GIỚI THIỆU

Khối nguồn là khối biến đổi năng lượng xoay chiều ac thành năng lượng một chiều DC để cung cấp nguồn phân cực cho các mạch điện tử. Ngõ vào của một khối nguồn chính là nguồn điện xoay chiều thường được lấy từ lưới điện quốc gia 220V/50Hz. Một bộ nguồn DC cơ bản bao gồm các khối sau:



Hình 15.1. *a. Sơ đồ nguyên lý của bộ nguồn DC.*



Hình 15.1. *b. Sơ đồ nguyên lý của bộ nguồn DC.*

Biến áp: hạ áp từ lưới điện nguồn 220V/50Hz xuống mức điện áp cần thiết cho điện áp DC được chuyển đổi tương ứng ở ngõ ra.

Mạch chỉnh lưu: biến đổi từ dòng ac thành dòng DC, là khối chính của khối nguồn.

Mạch lọc: có chức năng làm giảm độ gợn sóng điện áp chỉnh lưu.

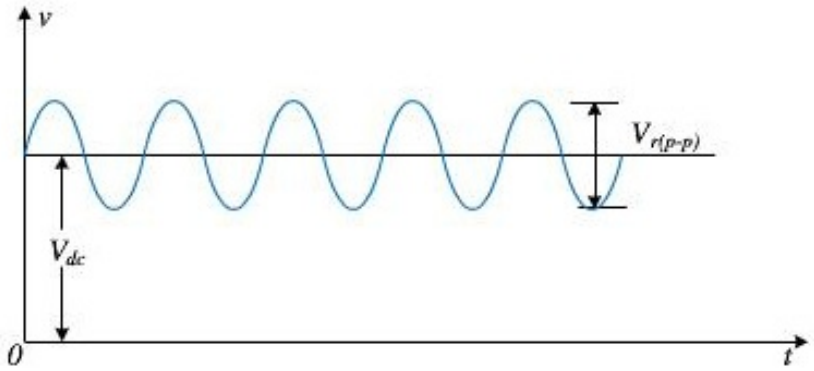
Mạch ổn áp: có nhiệm vụ ổn định điện áp ở ngõ ra khi điện áp ngõ vào thay đổi, bảo vệ tải và bảo vệ nguồn khi tải có sự cố.

➢ **Các thông số của bộ nguồn:**

Điện áp ngõ ra của mạch chỉnh lưu và mạch lọc không chỉ có điện áp DC mà vẫn còn thành phần điện áp ac biến thiên gọi là điện áp gợn sóng.

Độ gợn sóng: là tỉ số giữa trị hiệu dụng của điện áp gợn sóng với trị trung bình của điện áp chỉnh lưu. $r\% = \dfrac{V_r(rms)}{V_{dc}} \times 100\%$ (15.1)

- $V_r(rms)$: trị hiệu dụng của điện áp gợn sóng.
- V_{dc}: trị trung bình điện áp DC ở ngõ ra.
- $V_{r(p-p)}$: điện áp gợn sóng đỉnh.



Hình 15.2. *Dạng sóng điện áp ngõ ra sau khi đi qua mạch lọc và chỉnh lưu.*

Một mạch chỉnh lưu và lọc lí tưởng là có độ gợn sóng bằng 0%.

Mạch ổn áp: Một mạch nguồn DC ổn áp lí tưởng là điện áp DC ngõ ra V_o bằng hằng số và không bị ảnh hưởng bởi sự thay đổi của điện áp ngõ vào hay sự thay đổi của tải.

Độ ổn định: Độ ổn định của điện áp ra theo điện áp vào:

$$Lineregulation\% = \frac{(\Delta V_O / V_O)}{\Delta V_i} \times 100\% \qquad (15.2)$$

Ví dụ: Một mạch ổn áp có độ ổn định bằng 1%/V, có nghĩa là điện áp ra thay đổi 1% cho mỗi một volt thay đổi của điện áp vào. Nếu điện áp vào là 20V ± 5V, thì điện áp ra có thể bị thay đổi là (5V)(1%/V) = 5%, $V_o = V_0 \pm 5\% V_0$.

Độ ổn định của điện áp ra theo sự thay đổi của dòng tải:

$$VR\% = \frac{\Delta V_{NL} - \Delta V_{FL}}{\Delta V_{FL}} \times 100\% \qquad (15.3)$$

hay $VR\% = R_O\left(\frac{I_{FL}}{V_{FL}}\right) \times 100\%$

- V_{NL} : *điện áp ra khi chưa có tải.*
- V_{FL} : *điện áp ra khi có tải.*
- I_{FL} : *dòng tải ngõ ra.*
- R_O : *điện trở ngõ ra của nguồn.*

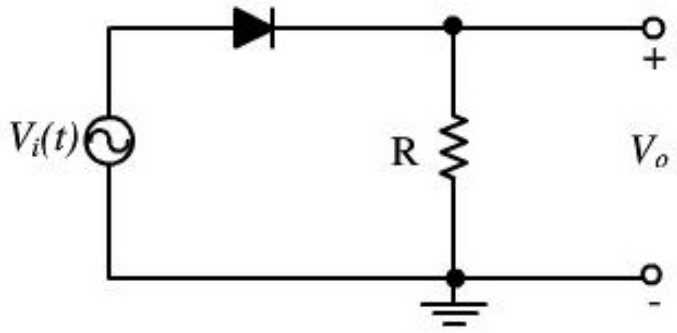
15.2. MẠCH CHỈNH LƯU

Như đã khảo sát ở chương 2, mạch chỉnh lưu chia làm hai loại: mạch chỉnh lưu bán kì và mạch chỉnh lưu toàn kì.

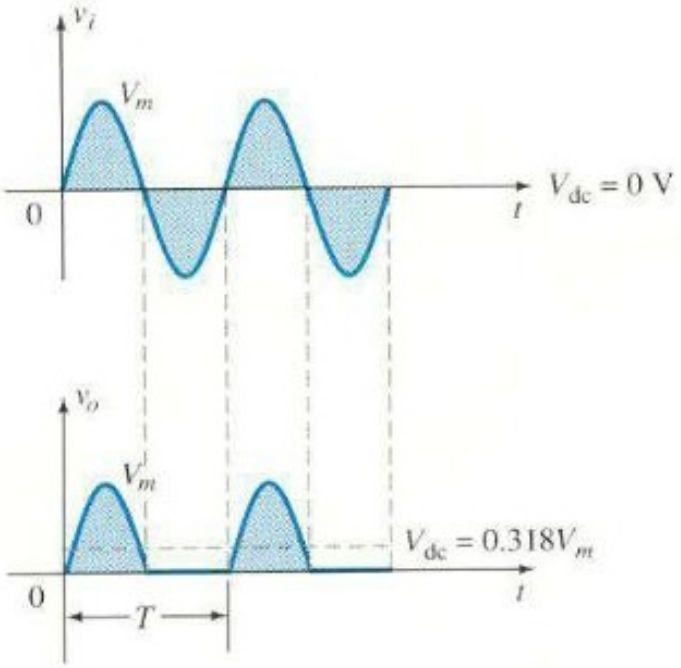
Các thông số của mạch chỉnh lưu gồm:

- Điện áp trung bình ngõ ra V_{DC}
- Dòng điện trung bình ngõ ra: I_{DC}
- Công suất một chiều ở ngõ ra: P_{DC}
- Hệ số gợn sóng ngõ ra: r%
- Các thông số giới hạn của diode.

15.2.1. Mạch chỉnh lưu bán kì



Hình 15.3.*a.Mạch chỉnh lưu bán kì.*



***Hình 15.3.**b. Dạng sóng vào và ra của mạch chỉnh lưu bán kì.*

– Điện áp trung bình ngõ ra:

$$V_{dc} = \frac{1}{T}\int_0^T V_o dt = \frac{1}{T}\int_0^{T/2} V_m \sin \omega t dt = \frac{V_m}{\pi} = 0.318V_m \qquad (15.4)$$

Dòng điện trung bình ngõ ra: I_{dc} $\qquad I_{dc} = \dfrac{V_{dc}}{R_L}$ $\qquad$ (15.5)

– Công suất một chiều ở ngõ ra: P_{dc} $\qquad P_{dc} = V_{dc} I_{dc}$ $\qquad$ (15.6)

– Hệ số gợn sóng ngõ ra:

Điện áp hiệu dụng gợn sóng ngõ ra:

$$V_r(rms) = \sqrt{\frac{1}{T}\int_0^T v_{ac}^2 dt} = \sqrt{\frac{1}{T}\int_0^T (v_o - V_{dc})^2 dt} = \sqrt{\frac{1}{T}\int_0^T (v_o^2 - 2v_o V_{dc} + V_{dc}^2) dt}$$

$$= \sqrt{\left(\frac{V_m}{2}\right)^2 - V_{dc}^2}$$

Thay giá trị V_{dc} trong công thức 15.4 vào phương trình trên:

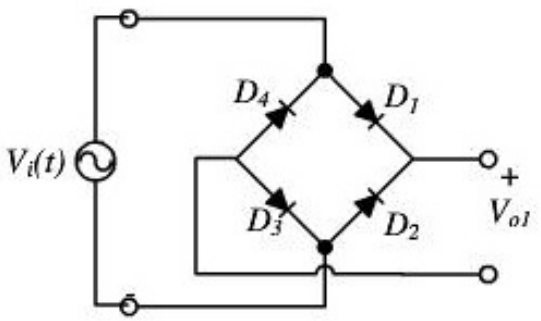
$$V_r(rms) = \sqrt{\left(\frac{V_m}{2}\right)^2 - \left(\frac{V_m}{\pi}\right)^2} = 0.385V_m \qquad (15.7)$$

Độ gợn sóng ngõ ra theo công thức 15.1 là:

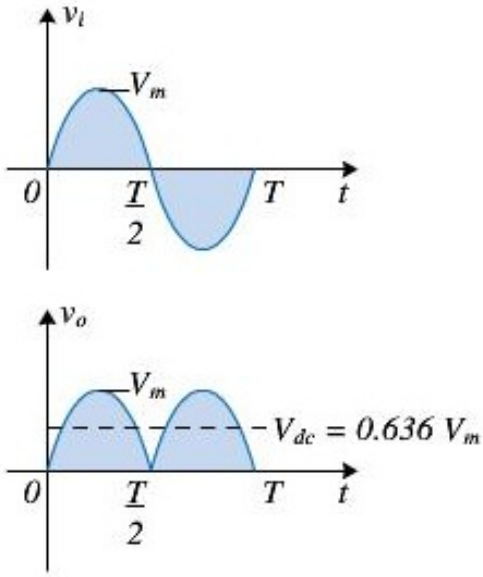
$$r\% = \frac{V_r(rms)}{V_{dc}} \times 100\% = \frac{0.385V_m}{0.318V_m} \times 100\% = 121\%$$

Vậy mạch chỉnh lưu bán kì có độ gợn sóng là 121%.

15.2.2. Mạch chỉnh lưu toàn kì



Hình 15.4.a. Sơ đồ nguyên lý mạch chỉnh lưu cầu



Hình 15.4. b. Dạng sóng vào ra của mạch chỉnh lưu toàn kì.

Hình 15.4.a trình bày mạch chỉnh lưu cầu có điện áp ra được chỉnh lưu là V_{o1} là điệp áp vào của mạch lọc V_i trong hình 15.1. b.

– Điện áp trung bình ngõ ra:

$$V_{dc} = \frac{1}{T}\int_0^T V_o dt = \frac{2}{T}\int_0^{T/2} V_m \sin \omega t dt = \frac{2V_m}{\pi} = 0.636V_m \qquad (15.8)$$

– Dòng điện trung bình ngõ ra: I_{dc} $\qquad I_{dc} = \frac{V_{dc}}{R_L}$

– Công suất một chiều ở ngõ ra: P_{dc} $\qquad P_{dc} = V_{dc}I_{dc}$

– Hệ số gợn sóng ngõ ra:

Điện áp hiệu dụng gợn sóng ngõ ra:

$$V_r(rms) = \sqrt{\frac{1}{T}\int_0^T v_{ac}^2 dt} = \sqrt{\frac{1}{T}\int_0^T (v_o - V_{dc})^2 dt} = \sqrt{\frac{1}{T}\int_0^T (v_o^2 - 2v_o V_{dc} + V_{dc}^2) dt}$$

$$= \sqrt{\left(\frac{V_m}{\sqrt{2}}\right)^2 - V_{dc}^2}$$

Thay giá trị V_{dc} trong công thức 15.4 vào phương trình trên:

$$V_r(rms) = \sqrt{\left(\frac{V_m}{\sqrt{2}}\right)^2 - \left(\frac{V_m}{\pi}\right)^2} = 0.308V_m \qquad (15.9)$$

Độ gợn sóng ngõ ra theo công thức 15.1 là:

$$r\% = \frac{V_r(rms)}{V_{dc}} \times 100\% = \frac{0.308V_m}{0.636V_m} \times 100\% = 48\%$$

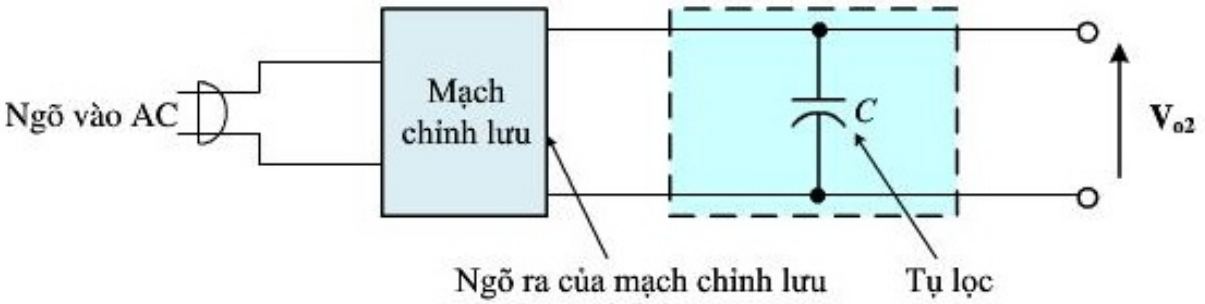
Vậy mạch chỉnh lưu toàn kì có độ gợn sóng chỉ là 48% thấp hơn rất nhiều so với mạch chỉnh lưu bán kì, thường được sử dụng nó để chỉnh lưu rồi đưa tín hiệu vào mạch lọc.

15.3. MẠCH LỌC

Để giảm độ gợn sóng ở ngõ ra mạch chỉnh lưu, ta sử dụng thêm mạch lọc để loại bỏ các thành phần xoay chiều (ac) còn xuất hiện ở ngõ ra.

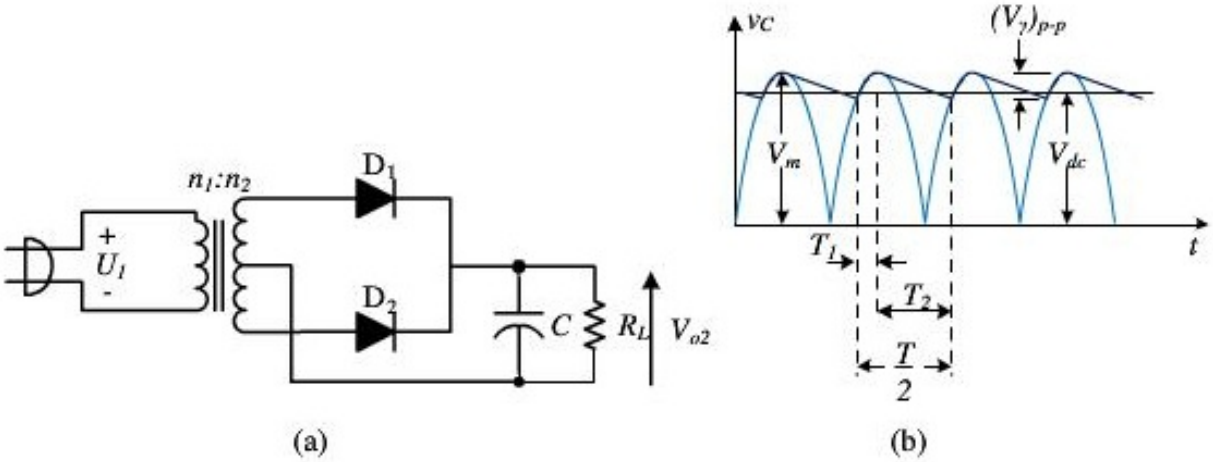
15.3.1. Mạch lọc dùng tụ điện

Sử dụng nguyên tắc lọc thông thấp trong việc cung cấp điện năng, đối với dạng mạch lọc này chỉ dùng một tụ điện mắc ở ngõ ra song song với tải.



Hình 15.5. *Mạch lọc dùng tụ C.*

Xét mạch chỉnh lưu toàn kì sử dụng dây trung tính máy biến áp có tụ lọc C:



Hình 15.6. *(a). Mạch chỉnh lưu có tụ lọc C; (b). Dạng sóng ngõ ra có tụ lọc.*

Hình 15.6a là mạch chỉnh lưu toàn kì dùng hai diode, sử dụng máy biến áp nguồn đôi, có tụ lọc C và hình 15.6b là dạng sóng ngõ ra trên tải hay trên tụ C của nó. Điện áp ngõ ra là lí tưởng khi điện áp V_{dc} bằng giá trị V_m, có nghĩa là thành phần AC bằng 0 ở ngõ ra.

Theo hình 15.6a, ban đầu D_1 dẫn, C nạp đến điện áp đỉnh V_m, khi đó điện áp vào nhỏ hơn điện áp trên tụ nên D_1 ngắt, C xả dòng qua tải, lúc này điện áp trên C bắt đầu giảm cho đến khi nhỏ hơn giá trị tức thời điện áp xoay chiều ngõ vào. Ở bán kì kế thì D_2 dẫn, C nạp lại đến điện áp đỉnh V_m thì D_2 ngắt, C xả dòng qua tải, … Cứ như vậy hình thành dạng sóng trên C là dạng sóng ở hình 15.6b, với T_1là thời gian diode dẫn và khi đó tụ C nạp, T_2 là thời gian tụ C xả. Chu kì nạp xả của tụ C xảy ra cho mỗi bán kì của mạch chỉnh lưu toàn kì, do đó chu kì nạp, xả của tụ C là T/2.

– Điện áp trung bình ngõ ra:

$$V_{dc} = V_m - \frac{V_r(p-p)}{2} \qquad (15.10)$$

– Điện áp xả trên tụ C:

$$V_r(p-p) = \frac{I_{dc}T_2}{C} \qquad (15.11)$$

– Từ dạng sóng tam giác trên hình 15.6b:

$$V_r(rms) = \frac{V_r(p-p)}{2\sqrt{3}} \qquad (15.12)$$

Và thời gian xả của tụ:

$$T_2 = \frac{T}{2} - T_1 \qquad (15.13)$$

Do $T_1 << T_2$, nên có thể tính gần đúng: $T_2 \cong \frac{T}{2}$

Thay T_2 vào (15.13): $V_r(p-p) = \frac{I_{dc}}{C}\frac{T}{2}$

Thay T=1/f: $$V_r(p-p) = \frac{I_{dc}}{2fC} \qquad (15.14)$$

Thay (15.16) vào (15.14), và $I_{DC}=V_{DC}/R_L$:

$$V_r(rms) = \frac{V_r(p-p)}{2\sqrt{3}} = \frac{I_{dc}}{4\sqrt{3}fC} = \frac{V_{dc}}{4\sqrt{3}fR_LC} \qquad (15.15)$$

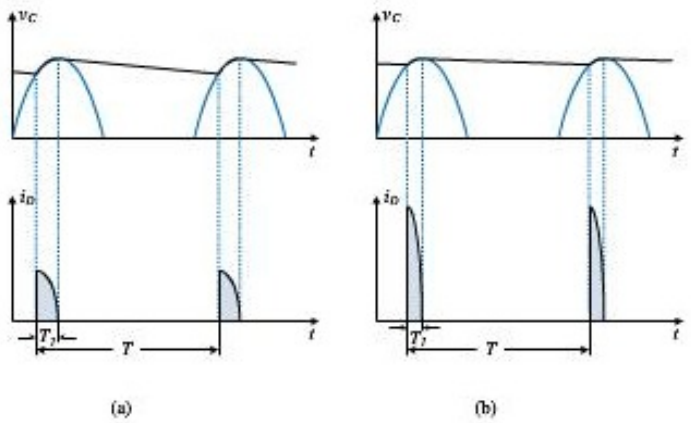
Vậy hệ số gợn sóng sau khi lọc:

$$r\% = \frac{V_r(rms)}{V_{dc}} \times 100\% = \frac{1}{4\sqrt{3}fR_LC} \times 100\% \qquad (15.16)$$

Và điện áp trung bình ngõ ra của công thức (15.12) được tính lại như sau:

$$V_{dc} = \frac{4fR_LC}{4fR_LC+1}V_m \qquad (15.17)$$

Từ công thức (15.15) và (15.16), ta thấy khi tăng R_L hay tăng C thì điện áp DC ở ngõ ra tăng và hệ số gợn sóng giảm. Vậy với R_L cố định thì khi dùng tụ C có giá trị càng cao thì điện áp trên tải có độ gợn sóng càng bé và điện áp DC càng lớn, tuy nhiên khi đó dòng cực đại qua diode tăng xem hình 15.7:



Hình 15.7. *Dạng sóng điện áp ngõ ra và dòng điện qua diode (a).với tụ có giá trị C nhỏ; (b). với tụ có giá trị C lớn.*

Theo nguyên lý hoạt động của mạch đã giải thích ở trên, diode chỉ dẫn trong thời gian T_1. Trong thời gian này, diode phải cung cấp dòng điện cần

thiết để nạp cho tụ, nếu giá trị tụ C càng lớn thì thời gian xả càng dài đồng thời thời gian nạp càng ngắn lại, khi đó dạng sóng dòng điện liên quan đến giá trị tụ C như hình 15.7. Vậy dòng trung bình từ nguồn phải tương đương dòng trung bình qua diode trong thời gian nạp, khi đó:

$$I_{dc} = \frac{T_1}{T} I_p$$

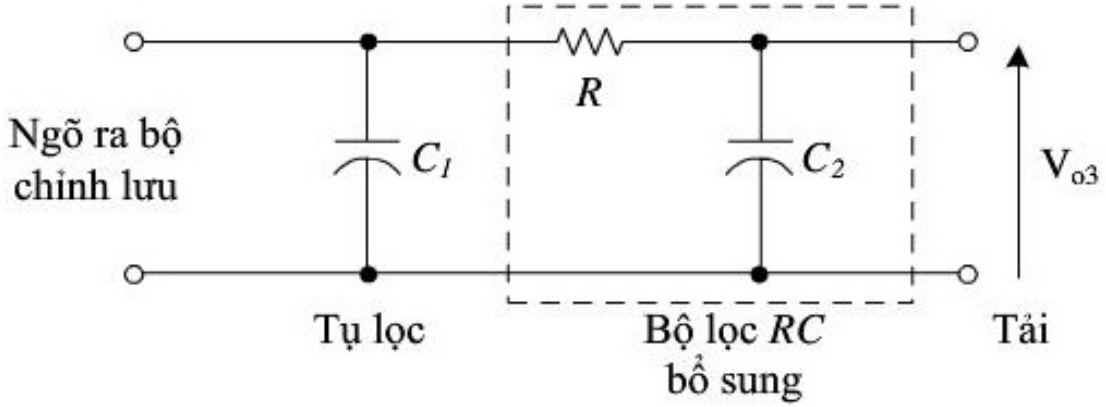
Hay:

$$I_p = \frac{T}{T_1} I_{dc} \qquad (15.18)$$

Trong đó:

- T=1/f
- I_p: dòng cực đại qua diode khi nó dẫn.
- I_{dc}: dòng trung bình ra tải.

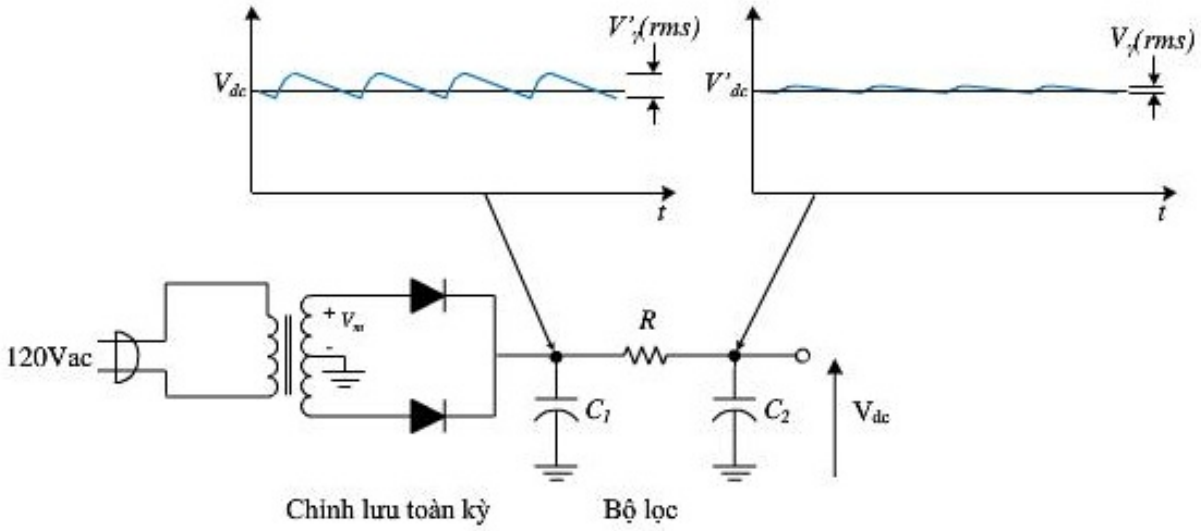
15.3.2. Mạch lọc RC



Hình 15.8. *Mạch lọc RC.*

Để giảm độ gợn sóng của ngõ ra, có thể mắc thêm các mắt lọc RC như hình 15.8.

Hình 15.9 là một mạch chỉnh lưu toàn kì có tụ lọc C_1 và một mạch lọc RC. Hoạt động của mạch lọc này giúp điện áp ra có độ gợn sóng giảm, phụ thuộc vào giá trị R và C (xem dạng sóng ngõ ra khi có thêm mạch lọc RC trên hình 15.9).



Hình 15.9. *Mạch chỉnh lưu toàn kì và mạch lọc RC.*

Điện áp DC ở ngõ ra là:

$$V'_{dc} = \frac{R_L}{R + R_L} V_{dc} \qquad (15.19)$$

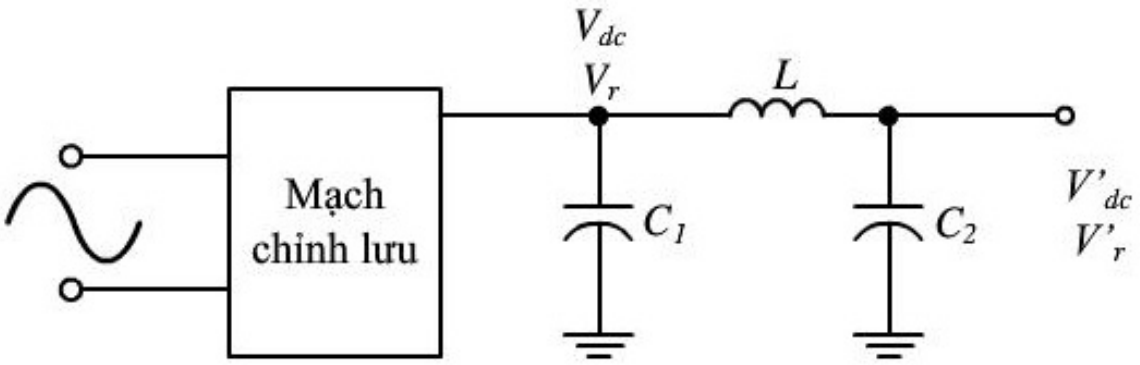
Điện áp hiệu dụng gợn sóng ngõ ra:

$$V'_r = \frac{Z}{R + Z} V_r \qquad (15.20)$$

Với $Z = R_L \parallel (-jX_{C2})$.

15.3.3. Mạch lọc LC

Mạch lọc RC làm giảm điện áp ra tải, nên khi dòng tải tăng thì điện áp trên tải bị giảm. Mạch lọc LC được sử dụng trong trường hợp dòng tải cao và có biến thiên rộng.



Hình 15.10. *Mạch lọc LC.*

Ta có:

$$V'_{dc} = \frac{R_L}{R' + R_L} V_{dc} \qquad (15.21)$$

Trong đó R' là điện trở cuộn dây, do $R' << R_L$ nên:

$$V'_{dc} \approx V_{dc}$$

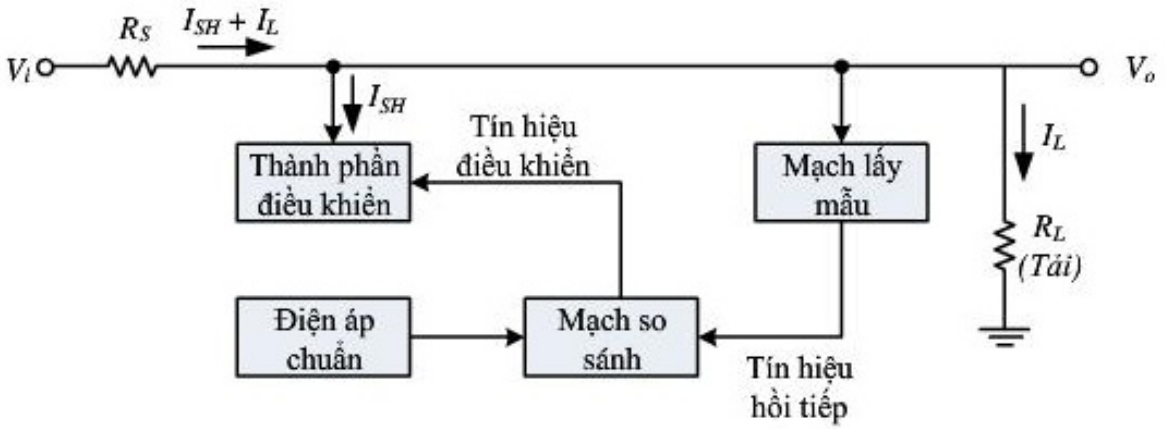
$$V'_r \approx \frac{(-jX_{C2}) \parallel R_L}{jX_L + (-jX_{C2}) \parallel R_L} V_r \qquad (15.22)$$

15.4. MẠCH ỔN ÁP

15.4.1. Mạch ổn áp dùng linh kiện rời

Mạch ổn áp dùng linh kiện rời được chia làm hai loại cơ bản là mạch ổn áp song song và mạch ổn áp nối tiếp.

a. Mạch ổn áp song song



Hình 15.11. *Sơ đồ khối của mạch ổn áp song song.*

Chức năng của các khối trong mạch ổn áp song song (hình 15.11) là:

– Khối lấy mẫu: lấy điện áp hồi tiếp từ ngõ ra đưa trở về để làm tín hiệu so sánh.

– Khối điện áp chuẩn: tạo ra một điện áp chuẩn.

– Khối so sánh: thực hiện so sánh điện áp mẫu và điện áp chuẩn và phát hiện sự thay đổi điện áp trên tải từ đó tạo tín hiệu điều khiển đến phần tử điều khiển.

– Khối phần tử điều khiển: nhận tín hiệu điều khiển từ khối so sánh để điều khiển dòng I_{SH} - từ đó điều khiển dòng qua tải dẫn đến điều khiển điện áp trên tải ổn định.

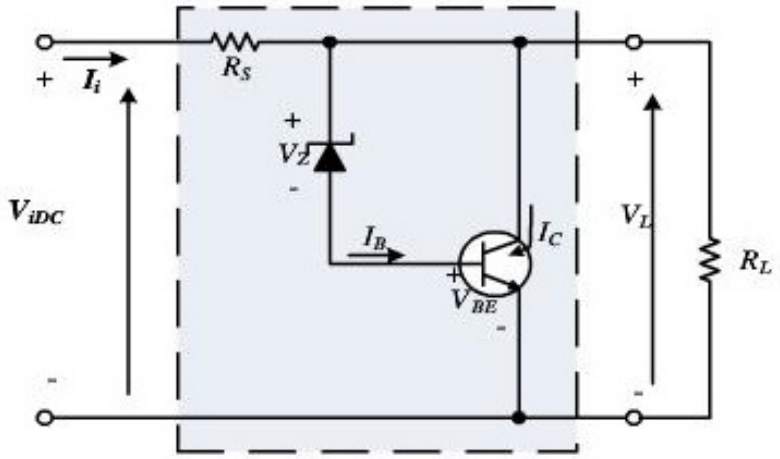
➢ **Nguyên tắc hoạt động:**

– Khi điện áp ra tăng, mạch so sánh nhận tín hiệu hồi tiếp từ mạch lấy mẫu và so sánh với điện áp chuẩn, lúc đó nó cung cấp tín hiệu điều khiển đến phần tử điều khiển để điều khiển điện áp ra giảm trở lại, duy trì điện áp ổn định ở ngõ ra.

– Khi điện áp ra giảm, mạch so sánh nhận tín hiệu hồi tiếp từ mạch lấy mẫu và so sánh với điện áp chuẩn, lúc đó nó cung cấp tín hiệu điều khiển đến phần tử điều khiển để điều khiển điện áp ra tăng trở lại, duy trì điện áp ổn định ở ngõ ra.

➢ Mạch ổn áp song song dùng một transistor

Mạch được gọi là ổn áp song song vì tải được mắc song song với V_{CE} của transistor ổn áp.



Hình 15.12. *Mạch ổn áp song song dùng một transistor.*

➢ **Nguyên tắc hoạt động:**

Đây là mạch ổn áp song song có R_S là điện trở nối tiếp với nguồn vào, ta có biểu thức quan hệ theo hình 15.12 như sau:

$$V_{idc} = I_i R_S + (V_z + V_{BE}) = I_i R_S + V_{CE}\ ;\ V_{idc} \simeq V_{CE} \simeq V_L (R_i \ll)$$

$$V_L = V_Z + V_{BE} \qquad (15.23)$$

Hình 15.12 có thể mô tả việc ổn định điện áp như sau:

Theo chiều thuận (Chiều 1): Bảo vệ tải khi nguồn thay đổi.

Khi V_{idc} thay đổi tăng lên, nếu không có ổn áp thì điện áp trên tải V_L cũng tăng lên. Nhờ có khối ổn áp ta có phương trình (15.23).

$$V_{BE}\uparrow = V_L\uparrow - V_{Z=const}$$

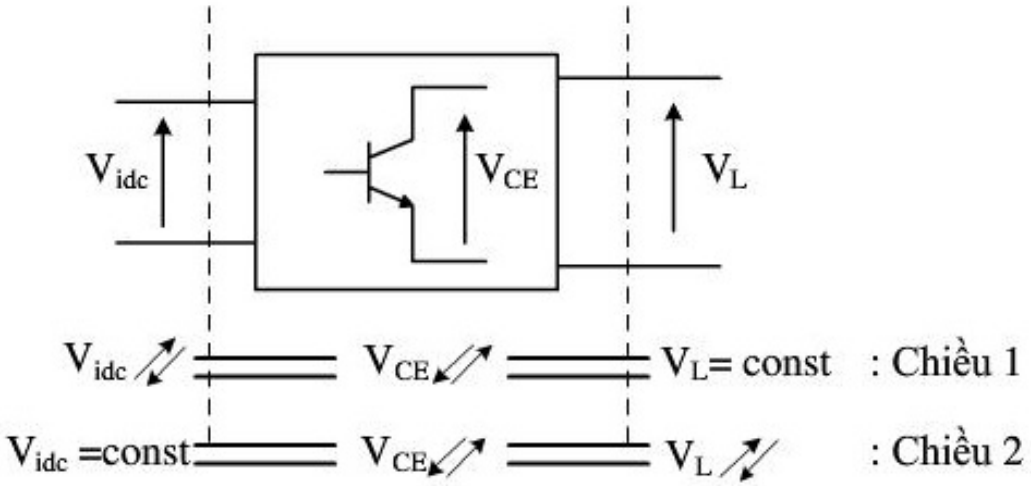
Suy ra khi $V_{BE}\uparrow$, điện áp vào cực B của transistor tăng làm cho transistor dẫn mạnh, dòng $I_C\uparrow$ và $V_{CE}\downarrow$ một lượng $\triangle V$ bù lượng tăng đáng lý sẽ xảy ra trên tải bảo vệ tải V_L là một hằng số, ta kết luận khối ổn định điện áp đã hoàn thành nhiệm vụ ổn định điện áp bảo vệ tải khi nguồn thay đổi (Chiều 1).

Theo chiều thuận (Chiều 2): Bảo vệ nguồn khi tải thay đổi.

Khi V_L thay đổi tăng, nếu không có ổn áp thì khối lọc và khối chỉnh lưu bị điện áp ngược đánh thủng. Nhờ có ổn áp theo phương trình (15.23), ta có

$$V_{BE}\uparrow = V_L\uparrow - V_{Z=const} \qquad (15.24)$$

Suy ra khi $V_{BE}\uparrow$, điện áp vào cực B của transistor tăng làm cho transistor dẫn mạnh, dòng $I_C\uparrow$ và $V_{CE}\downarrow$ một lượng $\triangle V$ bù lượng tăng xảy ra trên tải, ta có $V_{CE}\downarrow$ suy ra V_{idc} là một hằng số bảo vệ khối nguồn (bảo vệ khối lọc và khối chỉnh lưu), ta kết luận khối ổn định điện áp đã hoàn thành nhiệm vụ ổn định điện áp bảo vệ nguồn khi tải thay đổi (Chiều 2).

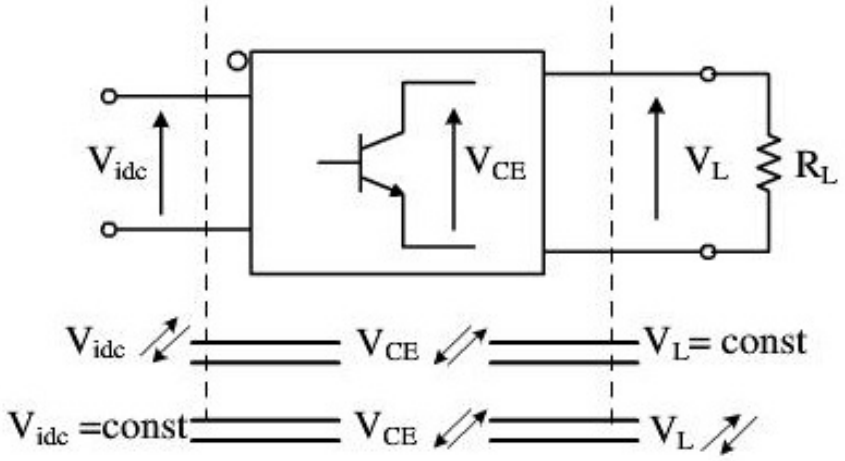


Hình 15.13. *Sơ đồ mô hình ổn áp song song*

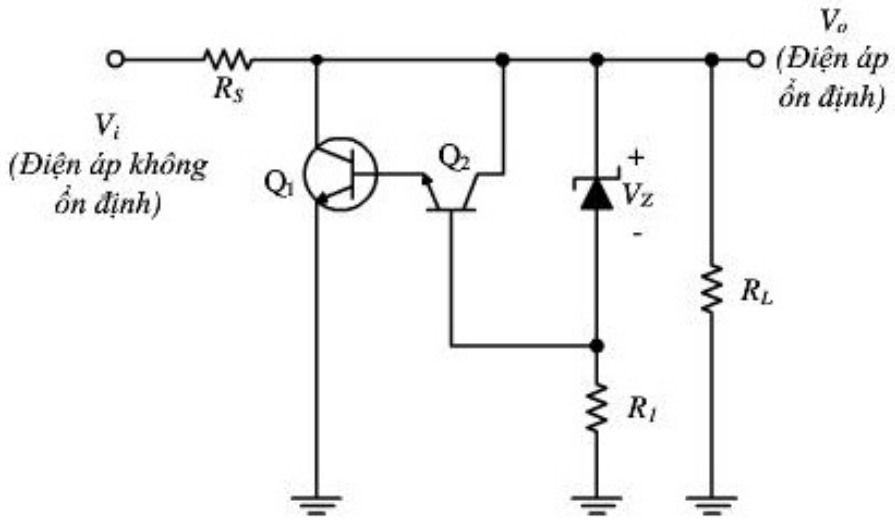
Mạch ổn áp song song có nhiệm vụ bảo vệ cầu chỉnh lưu và các mạch vào của khối ổn áp khi tải thay đổi.

Nếu không có khối ổn áp, khi V tăng đột ngột các cầu chỉnh lưu hoặc các tụ có thể bị đánh thủng. Nhưng nhờ có ổn áp song song, theo phương trình 15.24 ta có V_{BE} tăng làm Q dẫn. Q dẫn làm cho I_C tăng và V_{CE} giảm, suy ra V_i cũng giảm 1 lượng bằng với lượng vừa tăng lên. Tức là V_i trở về giá trị ban đầu (V_i = const), mạch ổn áp theo chiều 2 trên hình 15.13. Tương tự khi áp trên tải tăng.

➢ Mạch ổn áp song song dùng hai transistor



***Hình 15.14.**a. Nguyên lý ổn áp song song dùng hai transistor.*



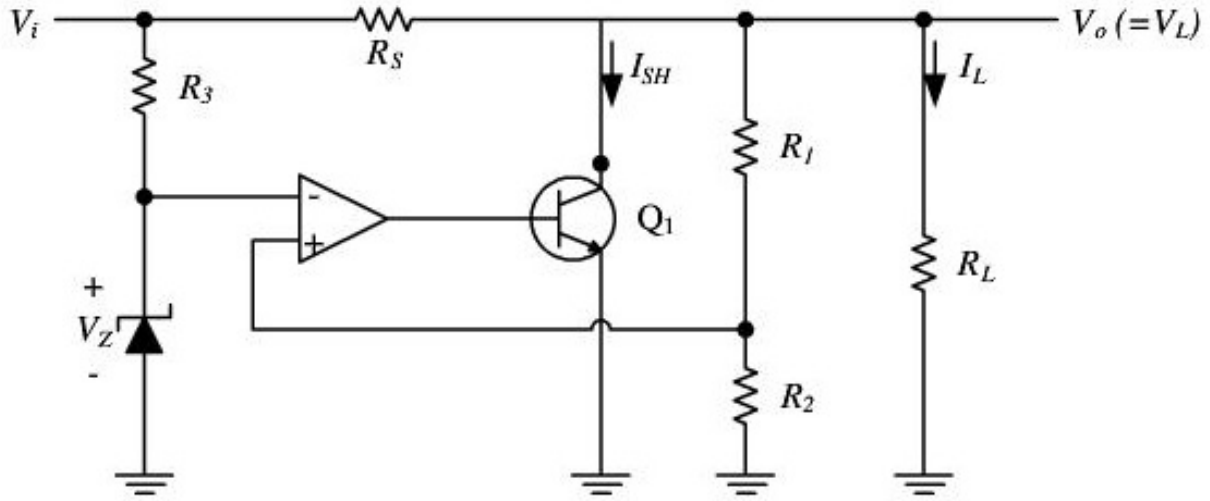
***Hình 15.14.**b.Sơ đồ nguyên lý mạch ổn áp song song dùng hai transistor*

Trên hình 15.14b sử dụng hai Transistor Q_2 là Transistor dò điện áp sai lệch (dò sai), Q_1 là Transistor công suất được phân cực nhờ nguồn V_i; Diode Zener được phân cực nhờ nguồn V_i qua điện trở R_S ở trạng thái dẫn, ghim điện áp phân cực cho Q_2 tại cực nền của Q_2. Mạch ổn áp song song dùng 2 Transistor có khả năng ổn định điện áp tốt hơn (lượng thay đổi điện áp có thể nhiều hơn) mạch dùng 1 Transistor.

Khi V_{idc} thay đổi tăng lên, nếu không có ổn áp thì điện áp trên tải V_L cũng tăng lên. Nhờ có khối ổn áp, điện áp cực V_{BE2} tăng lên làm Q_2 dẫn mạnh dẫn tới $I_{E2} = I_{C2}$ tăng lên; suy ra $I_{E2} = I_{B1}$ tăng lên. Ta có Transistor Q_1 dẫn mạnh $I_C\uparrow$ và $V_{CE}\downarrow$ một lượng $\triangle V$ bù lượng tăng đáng lý sẽ xảy ra trên tải bảo vệ tải V_L là một hằng số, ta

kết luận khối ổn định điện áp đã hoàn thành nhiệm vụ ổn định điện áp bảo vệ tải khi nguồn thay đổi.

➢ Mạch **ổn** áp dùng op-amp



Hình 15.15. *Mạch ổn áp song song dùng op-amp.*

Mạch hình 15.15 là mạch ổn áp song song trong đó op-amp đóng vai trò là khối so sánh, tín hiệu chuẩn được lấy trên diode Zener và điện trở R_3, khối mẫu chính là cầu phân áp R_1 và R_2. Khi điện áp ngõ ra thay đổi, điện áp trên R_2 thay đổi làm điện áp ở ngõ vào cộng của op-amp thay đổi theo dẫn đến áp ngõ ra cũng thay đổi theo làm áp tại cực B của transistor thay đổi dẫn đến dòng I_C thay đổi theo duy trì điện áp trên tải không đổi.

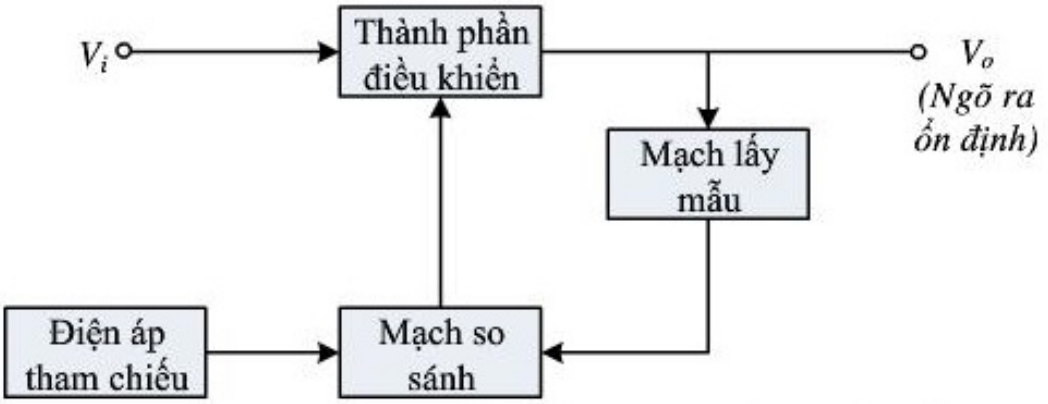
Giả sử điện áp trên tải giảm ($V_L\downarrow$), thì áp trên R_2 giảm, làm áp tại ngõ vào cộng của op-amp giảm nên điện áp ngõ ra giảm ($V_{BE}\downarrow$) nên transistor dẫn yếu $I_C\downarrow$, khi đó dòng tải tăng ($I_L\uparrow$) và đồng thời $V_L\uparrow$ đến giá trị ổn định. Điện áp ngõ ra V_o được tính theo công thức sau:

$$V_o = \frac{V_Z}{R_2}(R_1 + R_2)$$

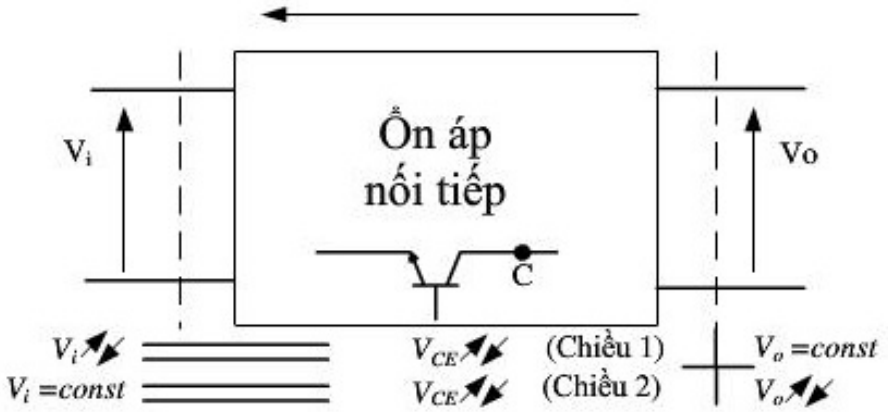
b. Mạch ổn áp nối tiếp

Là mạch có tải được mắc nối tiếp với phần tử ổn áp (BJT).

Trong mạch ổn áp nối tiếp, phần tử ổn áp mắc nối tiếp với tải. Vì vậy để duy trì điện áp ra ổn định cho tải thì phần tử điều khiển sẽ thay đổi điện áp trên nó. Ta có sơ đồ như Hình 15.16.b.



***Hình 15.16.a**. Sơ đồ khối của mạch ổn áp nối tiếp.*



***Hình 15.16.b.** Nguyên lý ổn áp của mạch ổn áp nối tiếp*

Ta có phương trình 15.25.

$$V_i \nearrow\swarrow = V_{CE} \nearrow\swarrow + V_o \qquad (15.25)$$

Ta phải chứng minh sự thay đổi tương quan tỷ lệ thuận theo đẳng thức 15.25.

Trên hình 15.16b, ta có:

$$V_i = V_{CE} + V_o \qquad (15.26)$$

Khi điện áp ngõ vào V_i tăng hoặc giảm thì điện áp V_{CE} trên phần tử ổn áp cũng tăng hoặc giảm tương ứng để điện áp ngõ ra V_o được ổn định.

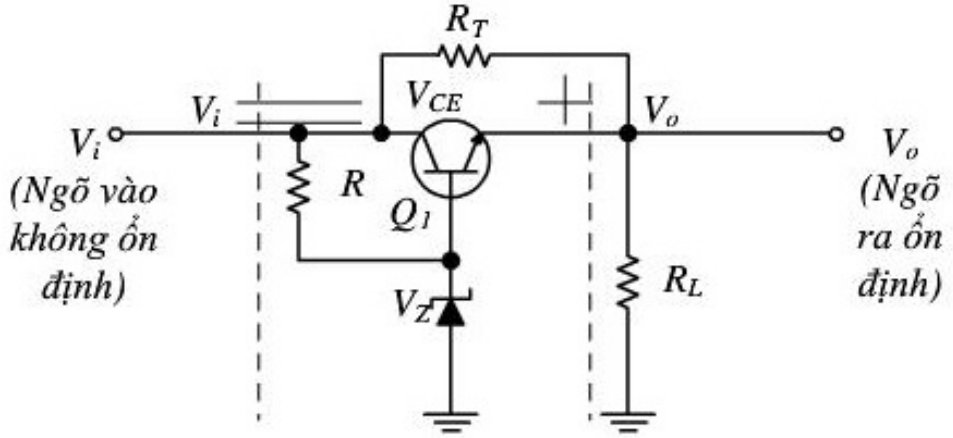
➢ **Mạch ổn áp nối tiếp đơn giản**

Chức năng của các linh kiện trong mạch ổn áp nối tiếp đơn giản ở hình 15.16:

– Transistor Q_1 đóng vai trò là phần tử ổn định điện áp, được phân cực nhờ V_i, R và Zener ghim áp tải cực B, R_T bảo vệ transistor Q_1

– Diode Zener cung cấp điện áp chuẩn, được phân cực nhờ V_o, R và dẫn điện với V_Z xác định.

– Điện trở R đóng vai trò phân cực và hạn dòng cho diode Zener.



Hình 15.16. *Mạch ổn áp nối tiếp đơn giản.*

➢ ***Nguyên tắc hoạt động của mạch:***

Khi V_i tăng (hoặc giảm) thì phần tử ổn áp sẽ giữ lại điện áp tăng (hoặc giảm) đó để đảm bảo ngõ ra không đổi. Giả sử khi không có ổn áp, V_i làm cho V_o tăng, nhờ có khối ổn áp ta có:

$$V_{BE} = V_B - V_E = V_Z - V_o$$

$$V_{BE} \searrow = V_Z - V_o \nearrow \qquad (15.27a)$$

V_{BE} giảm làm cho điện áp vào cực nền của transistor giảm dẫn tới Q_1 dẫn yếu, I_{C1} giảm, V_{CE} tăng, theo phương trình 15.26 ($V_i\nearrow = V_{CE}\nearrow + V_o$) khối ổn áp giữ lại phần tăng của điện áp nguồn trước khi ra tải, làm cho điện áp tải không đổi giúp bảo vệ tải. (Chiều 1)

Nếu điện áp trên tải tăng, thì điện áp phân cực V_{BE} của Q_1 giảm, làm Q_1 dẫn yếu, dẫn đến điện áp trên tải giảm, duy trì điện áp tải ổn định.

Điện áp ổn áp ra tải của mạch:

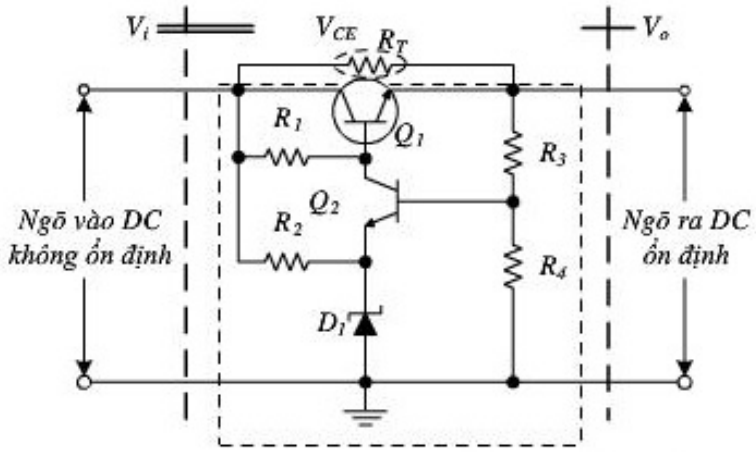
$$V_O = V_Z - V_{BE} \qquad (15.27b)$$

Mạch hình 15.17 là mạch ổn áp nối tiếp dùng 2 transistor. Transistor Q_2 đóng vai trò dò sai, được phân cực nhờ V_o, R_3, R_4. Diode Zener phân cực nhờ V_i, R_2.

– Transistor Q_2 phân cực ViR1 đến cực C của Q2, Q2 ở trạng thái khuếch đại, ghim điện áp tại cực E là VZ = IE.RE.

– Transistor Q_1 là transistor ổn định điện áp (transistor công suất) phân cực do V_iR_1; R_T là điện trở nhiệt bảo vệ Q_1, bảo vệ BJT ổn áp.

➢ **Mạch ổn áp nối tiếp dùng hai transistor**



Hình 15.17. *Mạch ổn áp nối tiếp.*

Trong trường hợp không có ổn áp, V_i tăng sẽ làm V_o tăng theo. Nhưng nhờ có ổn áp làm V_{R4} tăng, Q_2 dẫn mạnh dẫn tới I_{C2} tăng, V_{CE2} giảm nên V_{B1} giảm làm Q_1 dẫn yếu đi. Q_1 dẫn yếu khiến I_{C1} giảm và V_{CE} tăng, theo phương trình 15.26 ta nói mạch ổn định điện áp.

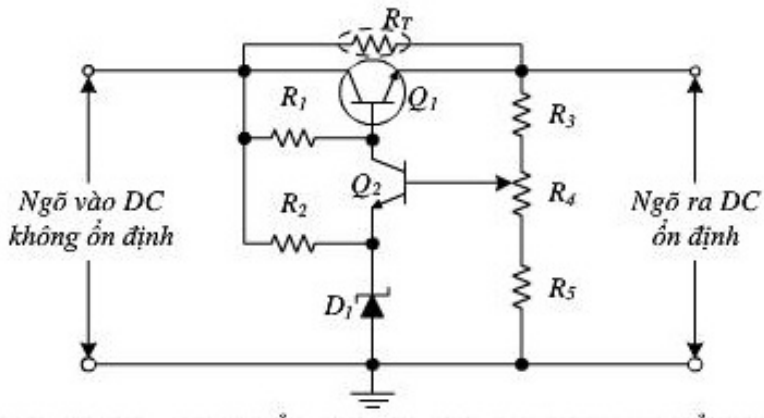
➢ ***Nguyên tắc hoạt động:***

Nếu điện áp ra tải tăng, điện áp lấy mẫu trên R_3 và R_4 tăng, làm điện áp V_{BE} của Q_2 tăng (do điện áp V_Z cố định), Q_2 dẫn mạnh làm dòng cực nền của Q_1 giảm, Q_1 dẫn yếu, dòng ra tải giảm, làm điện áp trên tải giảm, duy trì điện áp ra ổn định. Ngược lại nếu áp tăng thì quá trình ngược lại.

Điện áp ổn áp ngõ ra của mạch là:

$$V_o = \frac{R_3 + R_4}{R_4}(V_Z + V_{BE}) \qquad (15.28)$$

Để có thể thay đổi điện áp ngõ ra của mạch ổn áp bằng cách mắc thêm biến trở R_4.

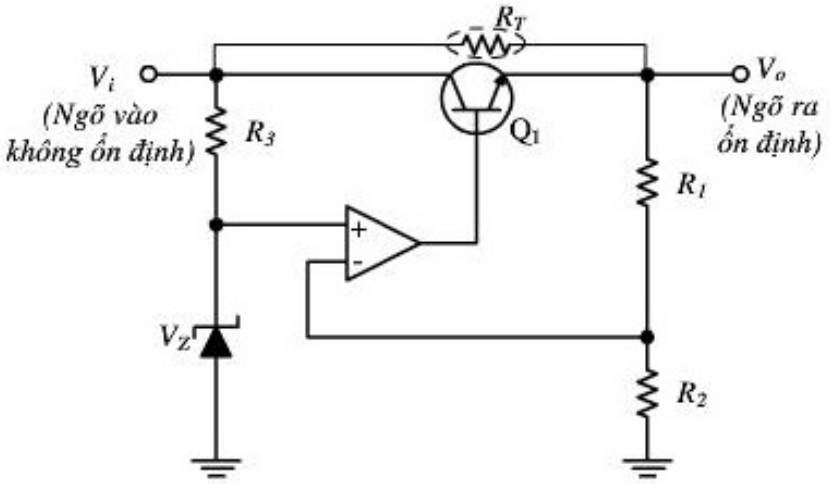


Hình 15.18. *Mạch ổn áp có điện áp ra thay đổi được.*

➢ Mạch ổn áp nối tiếp dùng op-amp:

Giả sử V_o tăng thì V_{R1} và V_{R2} tăng, mà V_{R2} bằng V_- suy ra hiệu điện thế giữa hai ngõ vào op-amp ($V_Z - V_-$) giảm (V_Z cố định). Khi đó, điện áp ngõ ra op-amp giảm khiến transistor Q_1 dẫn yếu làm cho điện áp giữa hai cực V_{CE1} tăng. Điều này làm cho $V_o = V_i - V_{CE1}$ giảm xuống, như vậy điện áp ngõ ra sẽ được ổn định. Tương tự với trường hợp V_o giảm.

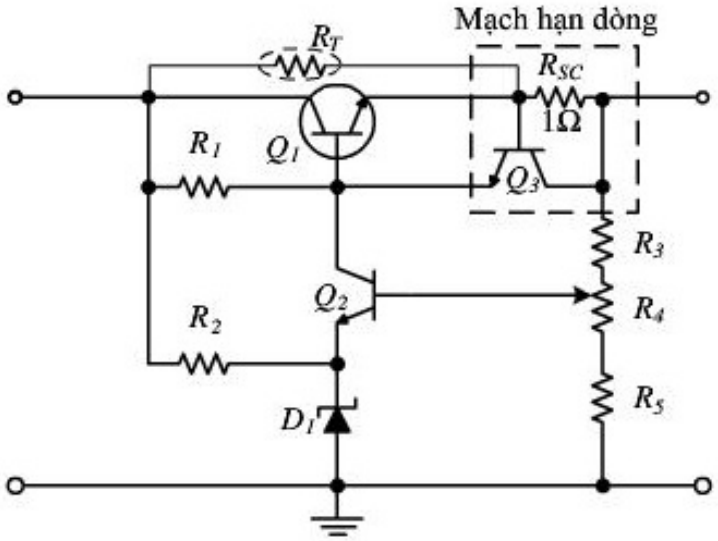
$$V_o = \frac{V_Z}{R_2}(R_1 + R_2) \qquad (15.29)$$



Hình 15.19. *Mạch ổn áp dùng op – amp.*

c. Mạch bảo vệ quá dòng:

Để tránh trường hợp tải ngắn mạch hay quá dòng thì phải mắc thêm một mạch bảo vệ quá dòng như hình 15.20.



Hình 15.20. *Mạch ổn áp có mạch giới hạn dòng điện.*

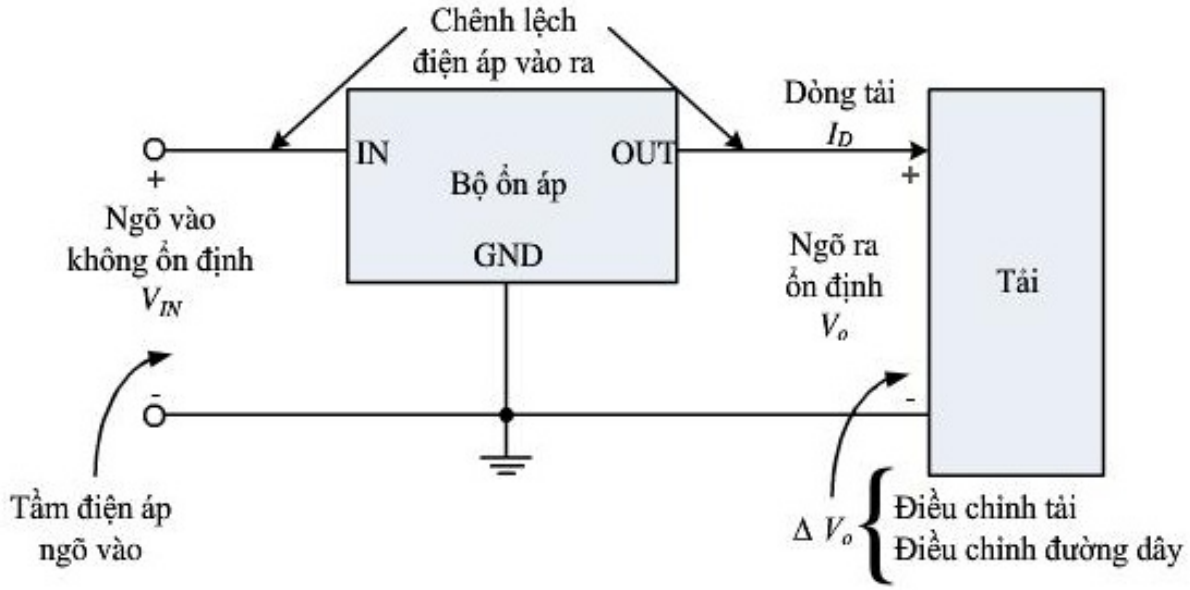
Khi dòng tải tăng, điện áp trên R_{SC} tăng và khi điện áp này đủ lớn nó sẽ điều khiển Q_3 dẫn, khi đó Q_3 sẽ dẫn mạnh rút dòng cực base của Q_1, làm Q_1 dẫn yếu đi, dòng ra tải giảm. Vậy giá trị điện trở R_{SC} và điện áp V_{BE} của transistor Q_3 sẽ quyết định dòng giới hạn cực đại ra tải.

$$I_{SC} = \frac{V_{BE}}{R_{SC}}$$

15.4.2. Mạch ổn áp dùng IC (Integrated Circuit - mạch tích hợp) ổn áp

IC ổn áp thường được sử dụng rộng rãi trong các mạch ổn áp. Các IC ổn áp này thường được chế tạo gồm mạch tạo điện áp chuẩn, mạch khuếch đại so sánh, phần tử điều khiển và mạch bảo vệ quá tải được tích hợp trên một chip đơn, mặc dù cấu trúc bên trong có vài điểm khác biệt so với các mạch ổn áp dùng linh kiện rời nhưng về nguyên tắc hoạt động thì cũng tương tự như nhau.

Phân loại IC ổn áp được chia thành hai loại: IC ổn áp âm và IC ổn áp dương. Những IC ổn áp này thường được chế tạo chịu được dòng tải từ hàng trăm mA đến hàng chục ampe đáp ứng cho tải có công suất từ miliwatts đến hàng chục watts.



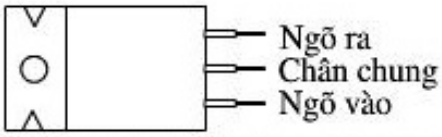
Hình 15.21. Sơ đồ mạch của mạch ổn áp dùng IC ổn áp ba chân.

a. IC ổn áp dương

IC ổn áp dương gồm hai loại: IC ổn áp dương có điện áp ra cố định và IC ổn áp dương có điện áp ra thay đổi được:

- IC ổn áp dương có điện áp ra cố định:

Một họ IC thông dụng thường được sử dụng cho những tải có yêu cầu điện áp cung cấp cố định là họ IC ổn áp 78xx, họ IC này cung cấp điện áp cố định từ 5V đến 24V, hai số sau tiếp đầu ngữ 78 là chỉ ra điện áp cố định ở ngõ ra của IC.



Hình 15.22. *Sơ đồ chân của họ IC*

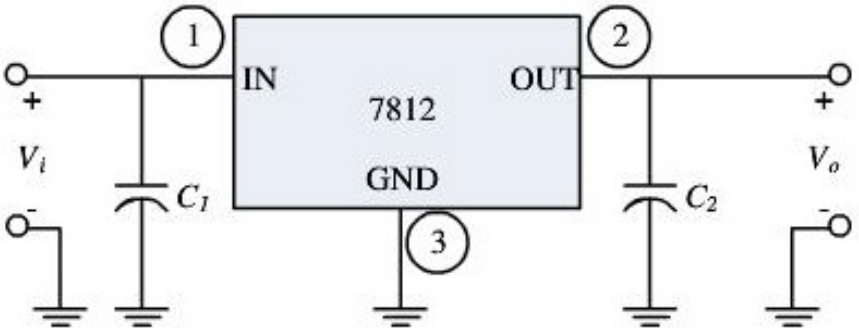
IC ổn áp	Điện áp ổn áp ngõ ra
7805	5V
7806	6V
7808	8V
7810	10V
7812	12V
7815	15V
7818	18V
7824	24V

Các thông số của IC ổn áp:

- Điện áp giới hạn ngõ vào.
- Điện áp tối thiểu của ngõ vào.
- Công suất giới hạn tiêu tán.
- Điện áp ngõ ra.
- Độ ổn định điện áp ngõ ra.
- Dòng ngõ ra ngắn mạch.
- Dòng ngõ ra cực đại.

Để IC hoạt động ổn áp (hay điện áp ra đúng yêu cầu) thì điện áp ngõ vào phải lớn hơn hay bằng điện áp tối thiểu ngõ vào của IC.

Ví dụ: Hình 15.23 trình bày mạch điện kết nối của IC 7812.



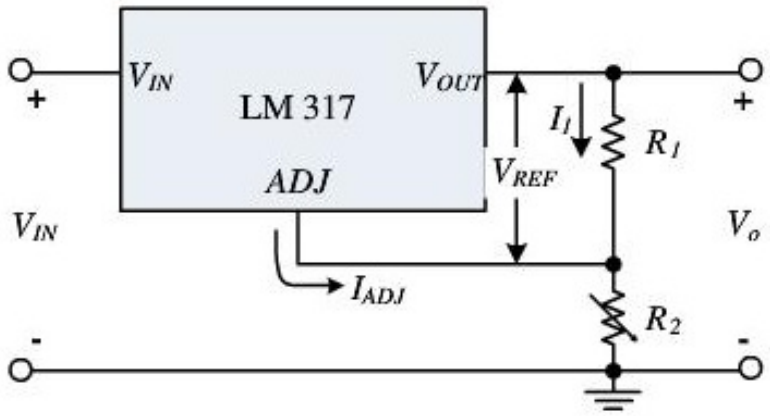
Hình 15.23. *Mạch ổn áp dùng IC ổn áp 7812.*

Để điện áp ra được 12 V thì điện áp V_i phải:

$$14.6V \le V_i \le 40V$$

- IC ổn áp dương có điện áp ra điều chỉnh được:

Tương tự như vậy một IC thông dụng thường được sử dụng là IC LM317, điện áp ngõ ra của IC này có thể điều chỉnh được trong giới hạn từ 1.2V đến 37V. Hình 15.24 trình bày mạch kết nối dùng IC LM315.



Hình 15.24. *Mạch ổn áp sử dụng IC LM317.*

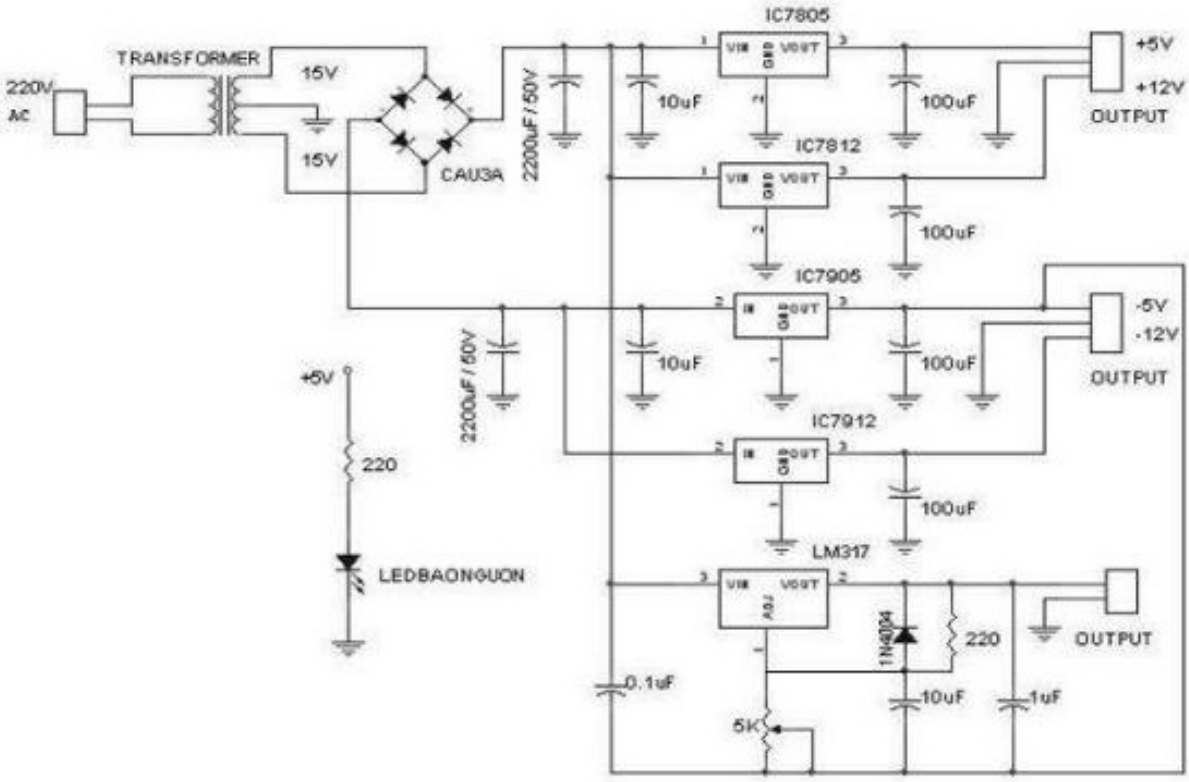
Điện áp ra: $$V_o = V_{ref}(1+\frac{R_2}{R_1}) + I_{adj}R_2 \qquad (15.30)$$

Trong đó đối với LM317 thì: $V_{ref} = 1.25V$ và $I_{adj} = 100\mu A$.

b. IC ổn áp âm

IC ổn áp âm cũng gồm hai loại: IC ổn áp âm có điện áp ra cố định và IC ổn áp âm có điện áp ra thay đổi được: là họ IC 79XX là IC LM337.

Sơ đồ mạch nguồn ổn áp tạo nguồn điện DC thực tế:



15.5. BÀI TẬP CHƯƠNG 15

15.5.1. Có hai loại mạch ổn áp là..... và.....

15.5.2. Nêu sự khác biệt của hai loại mạch này.

15.5.3. Khối tạo áp mẫu trong mạch ổn áp có giá trị không đổi. Đúng...Sai..

15.5.4. BJT trong các mạch ổn áp được phân cực hoạt động ở chế độ....

15.5.5. Zener trong mạch ổn áp thường được dùng làm khối.....

15.5.6. IC 78xx là IC ổn áp nguồn.....

15.5.7. IC 79xx là IC ổn áp nguồn.....

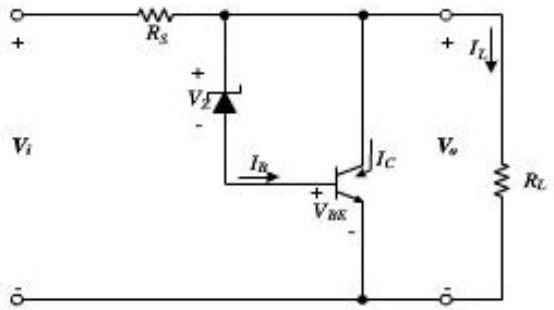
15.5.8. Dựa vào các mạch ổn áp nối tiếp, hãy vẽ mạch ổn áp có thể điều chỉnh điện áp ra.

15.5.9. Hãy thiết kế mạch ổn áp sử dụng IC LM317 có điện áp ra thay đổi từ 0V.

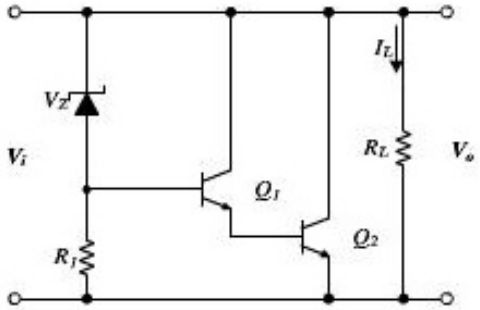
15.5.10. Hãy vẽ hoàn chỉnh mạch nguồn DC 0, 5, +/-12V từ nguồn AC.

15.5.11. Hãy thiết kế mạch ổn áp nối tiếp sử dụng một BJT có điện áp vào thay đổi từ 18 đến 24V_{DC}, điện áp ra phải ổn định 12V_{DC}. Dòng điện ra tải là 500mA. Sử dụng BJT có hệ số khuếch đại dòng điện 50.

15.5.12. Cho mạch như hình 15.25, với V_i = 12V, V_Z = 5.6V, R_L = 100Ω, R_S = 22Ω. Hãy tính V_o, I_L và P_{RL}.



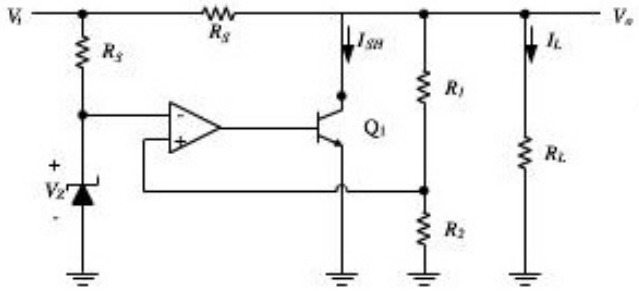
Hình 15.25



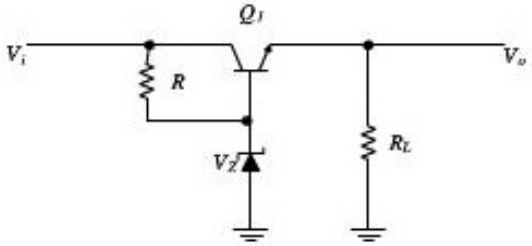
Hình 15.26

15.5.13. Cho mạch như hình 15.26, với $V_i = 20V$, $V_Z = 12V$, $R_L = 10V$. Hãy tính V_o, I_L và P_R.

15.5.14. Cho mạch như hình 15.27 với $V_i = 20V$, $V_Z = 5.6V$, $R_L = 100\Omega$, $R_1 = R_2 = 1K\Omega$. Hãy tính V_o, I_L, P_{RL}.



Hình 15.27



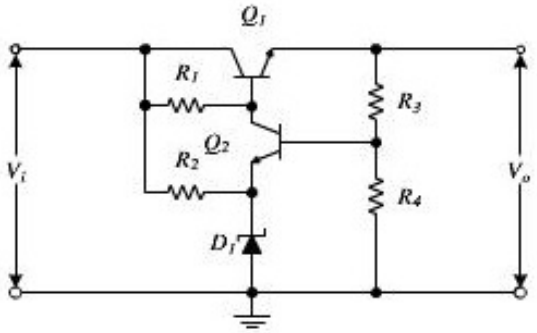
Hình 15.28

15.5.15. Cho mạch như hình 15.28, với $V_i = 15V$, $V_Z = 12V$, $R_L = 10\Omega$, $R = 22\Omega$, $\beta = 50$.

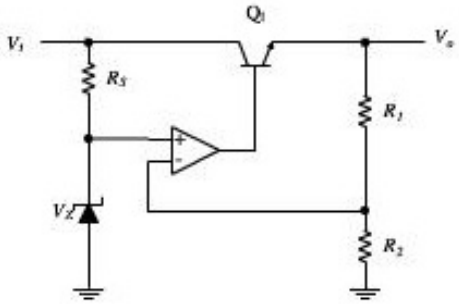
a. Tính V_o, I_L, P_{RL}.

b. Tính P_Z, P_C, P_i, $\eta\%$.

15.5.16. Cho mạch như hình 15.29, với $V_i = 20V$, $V_Z = 5.6V$, $R_3 = 2k\Omega$, $R_4 = 3.3k\Omega$. Hãy tính V_o.



Hình 15.29



Hình 15.30

15.5.17. Cho mạch hình 15.30, với $V_i = 15V$, $V_Z = 5.6V$. Tính R_1, R_2 để $V_o = 10V$.

Chương 16
CÁC MẠCH ĐIỆN TỬ ỨNG DỤNG DÂN DỤNG VI MẠCH TRONG CÔNG NGHIỆP

16.1. TỔNG HỢP CÁC MẠCH ĐIỆN TỬ CƠ BẢN

Trong chương này tác giả muốn tổng kết lại toàn bộ các kiến thức của 15 chương, điều này giúp người đọc có một cái nhìn tổng thể về các mạch điện tử cơ bản nhất. Nó cung cấp kiến thức nền tảng cho các chuyên ngành kỹ thuật và các ngành có liên quan, như điện – điện tử, cơ điện tử …

Bảng 16.1 là bảng tổng kết toàn bộ bốn dạng mạch cơ bản trong điện – điện tử:

1. **Mạch khuếch đại tín hiệu và khuếch đại tín hiệu nhỏ** được coi là khối phần tử khuếch đại tín hiệu DC và AC. Tín hiệu ngõ ra AC có công suất lớn hơn tín hiệu ngõ vào, các mạch này thường sử dụng các linh kiện như: FET, BJT, op-amp. Các linh kiện bán dẫn đều được phân cực ở *trạng thái khuếch đại (Q nằm trong vùng tích cực).*

2. **Mạch khuếch đại công suất và mạch khuếch đại cộng hưởng** là khối khuếch đại tiếp xúc trực tiếp với tải nên có công suất ngõ ra lớn, thực hiện các nhiệm vụ chính như điều khiển động cơ, khuếch đại công suất âm tần, thu phát tín hiệu, truyền dẫn … Các mạch này thường sử dụng các linh kiện bán dẫn có công suất lớn. Các linh kiện bán dẫn có thể phân cực ở trạng thái khuếch đại, trạng thái ngắt hoặc ở chế độ khuếch đại Max Swing.

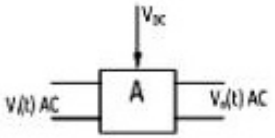
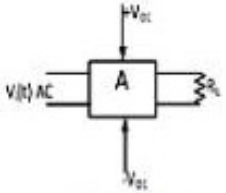
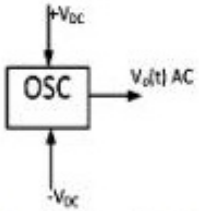
3. **Mạch dao động** là mạch biến đổi năng lượng một chiều DC thành năng lượng xoay chiều AC, các mạch này thường được ứng dụng trong các mạch phát sóng, mạch so sánh, mạch điều khiển … Các linh kiện bán dẫn đều được phân cực và làm việc ở vùng khuếch đại.

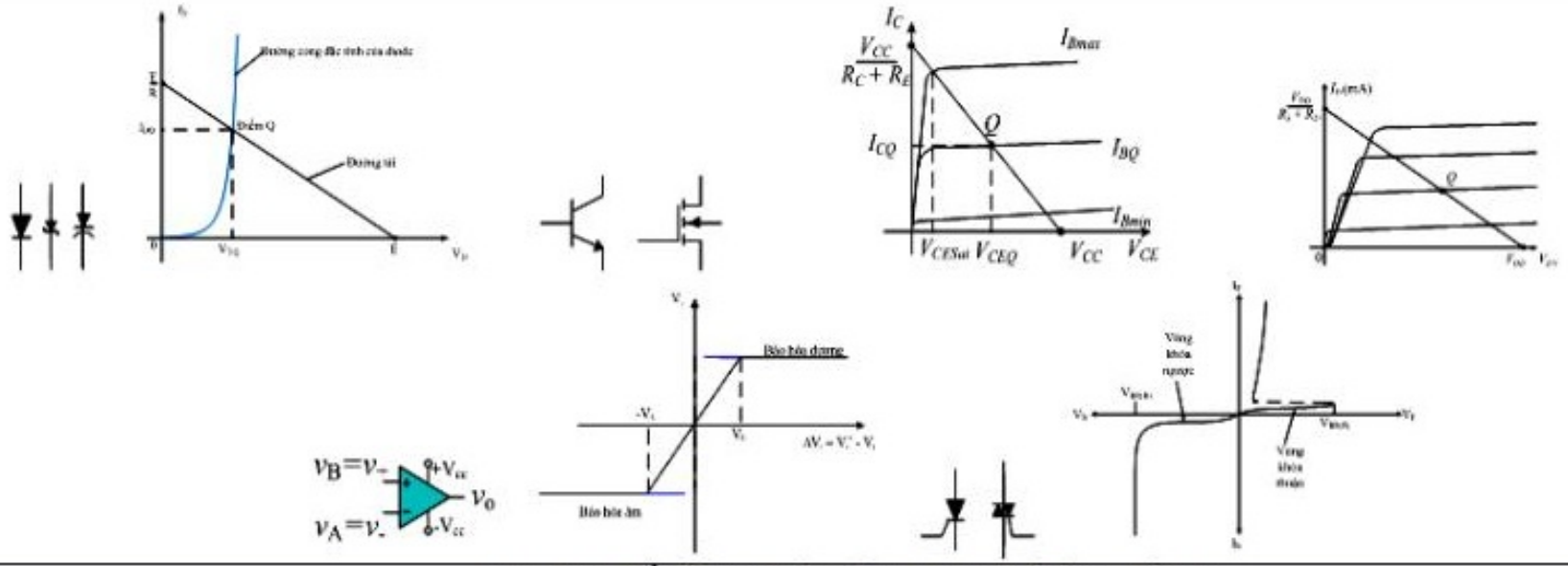
4. **Khối nguồn và mạch ổn áp** là mạch biến đổi năng lượng xoay chiều AC thành năng lượng một chiều DC để cung cấp cho tất cả các linh kiện bán dẫn trong cách mạch điện – điện tử (mạch khuếch đại tín hiệu, khuếch đại tín hiệu nhỏ, mạch khuếch đại công suất, mạch khuếch đại cộng hưởng, mạch dao động …) và các vi điều khiển, vi xử lý.

Bảng 16.2 diễn tả các cách mắc chung của Transistor lưỡng cực, BJT, transistor trường, FET và sơ đồ tương đương tín hiệu nhỏ cùng tham số xoay chiều hỗn hợp.

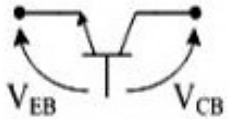
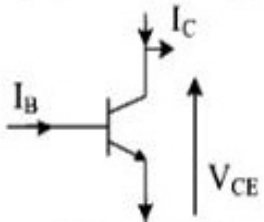
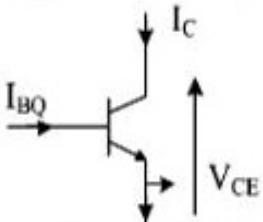
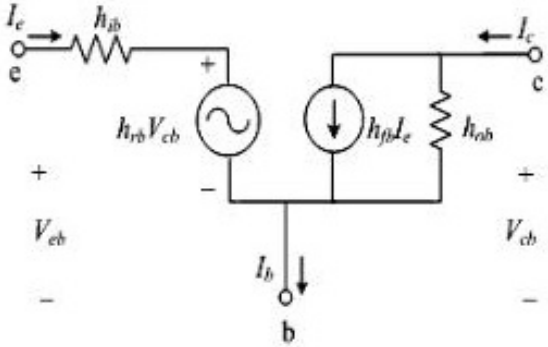
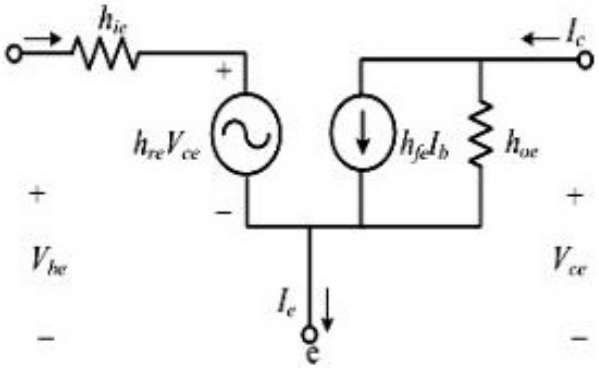
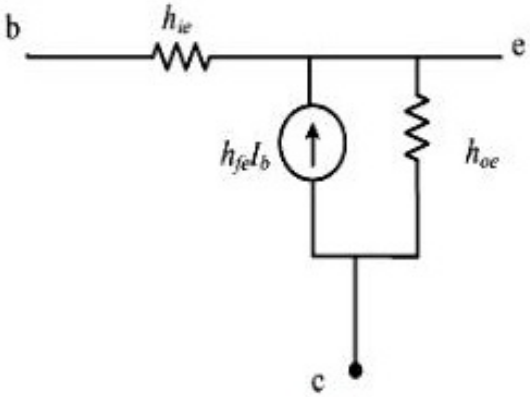
Bảng 16.3 trình bày các trạng thái làm việc của mạch khuếch đại sử dụng transistor lưỡng cực BJT mắc E chung, đồng thời phân tích ba trạng thái chính: ngắt, dẫn và bão hòa. Điểm làm việc của các mạch thay đổi theo Q, Q_1, Q_2, Q_3 và Q_4, các vị trí của Q sẽ thay đổi tính chất khuếch đại của mạch.

Bảng 16.4 tổng kết các vị trí của tĩnh điểm Q trên họ đặc tuyến ngõ ra của họ transistor trường (FET), các vị trí này tương tự như của BJT sẽ quy định tính chất làm việc của mạch khuếch đại sử dụng linh kiện này. Transistor trường có kích thước nhỏ, có độ dẫn điện lớn nên thường được dùng trong các vi mạch số, các mạch đóng mở nhanh (khóa điện tử) được ứng dụng nhiều trong thực tế.

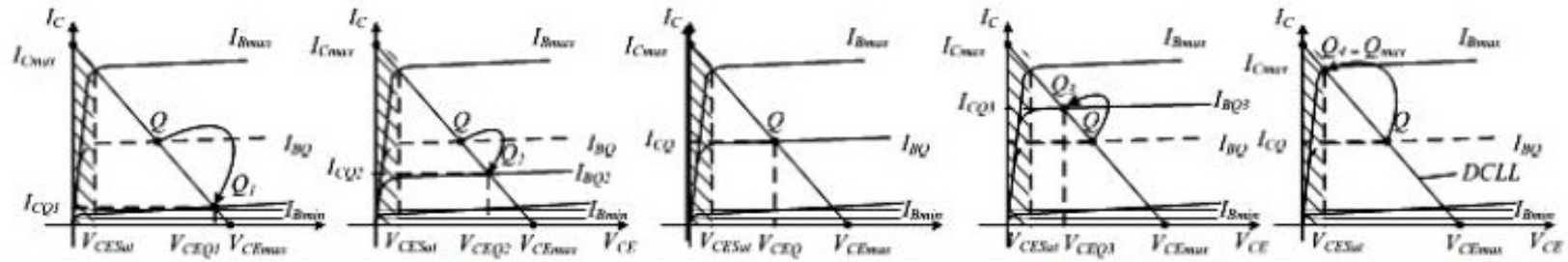
1. Mạch khuếch đại, khuếch đại tín hiệu nhỏ	2. Mạch khuếch đại công suất	3. Mạch dao động và khuếch đại cộng hưởng	4. Khối nguồn và ổn áp
DC, AC ⇨ DC, AC	DC, AC ⇨ DC, AC	DC ⇨ AC	AC ⇨ DC
			
$p_i < p_0$	$p_i < p_0$	$V_{DC} \Rightarrow V_{0(t)}$	$V_i(t) \Rightarrow V_{DC}$
Mạch khuếch đại tín hiệu xoay chiều khuếch đại năng lượng AC.	Mạch khuếch đại công suất tiếp xúc trực tiếp với tải. Công suất ngõ ra lớn.	Mạch biến đổi năng lượng một chiều DC thành năng lượng xoay chiều AC.	Mạch biến năng lượng AC thành năng lượng một chiều DC.
Các linh kiện bán dẫn tham gia trong tất cả các mạch cơ bản trên			

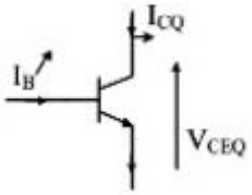
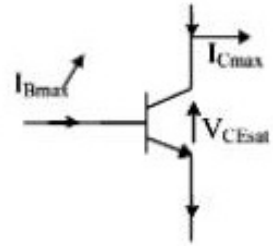


Bảng 16.1. Bốn dạng mạch cơ bản trong mạch điện – điện tử.

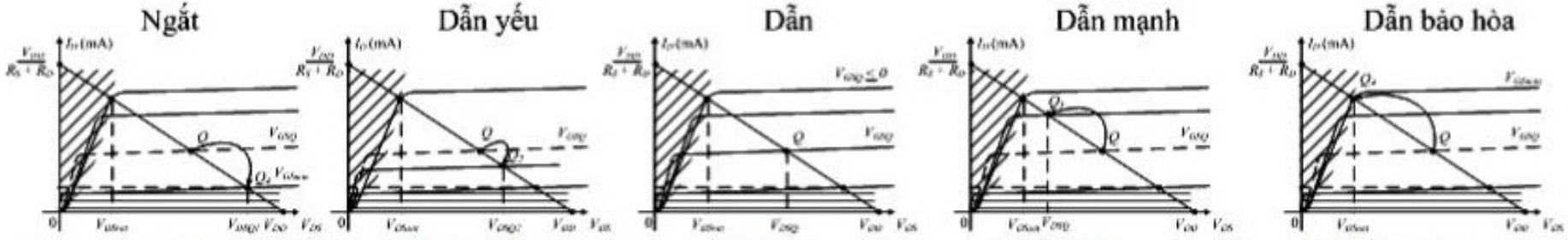
CB (mạch mắc chung B)	CE (mạch mắc chung E)	CC (mạch mắc chung C)
 Q (I_{CQ}, V_{CB})	 Q (I_{CQ}, V_{CEQ})	 Q (I_{CQ}, V_{CEQ})
 $h_{ib} = \frac{h_{ie}}{1+h_{fe}} \cong r_e$ $h_{fb} = -\frac{h_{fe}}{1+h_{fe}} = -\alpha \cong -1$ $h_{ob} = \frac{h_{oe}}{1+h_{fe}} \to 0$	 $h_{ie} = \beta\frac{26mV}{I_{EQ}}$ $h_{fe} = \left.\frac{\Delta i_c}{\Delta i_b}\right\|_{V_{CEQ}} = \frac{\partial i_c}{\partial i_b} \cong \beta$ $h_{oe} = \left.\frac{\Delta i_c}{\Delta v_{ce}}\right\|_{V_{CEQ}} = \frac{\partial i_c}{\partial v_{ce}} \to 0$	 $h_{ie} = \beta\frac{26mV}{I_{EQ}}$ $h_{fe} = \left.\frac{\Delta i_c}{\Delta i_b}\right\|_{V_{CEQ}} = \frac{\partial i_c}{\partial i_b} \cong \beta$ $h_{oe} = \left.\frac{\Delta i_c}{\Delta v_{ce}}\right\|_{V_{CEQ}} = \frac{\partial i_c}{\partial v_{ce}} \to 0$

Bảng 16.2. Tổng kết sơ đồ tương đương tín hiệu nhỏ của BJT và FET



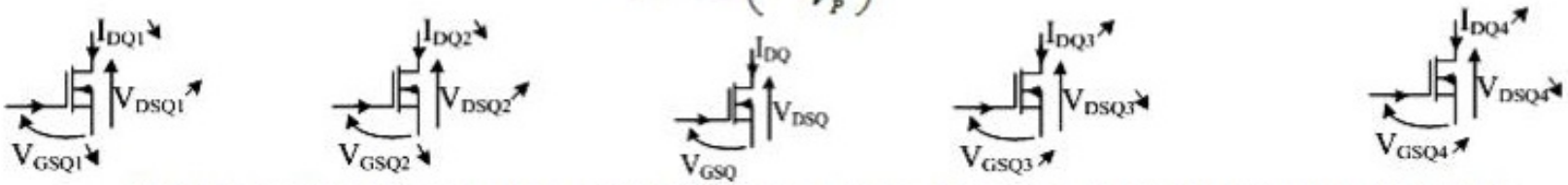
Ngắt	Dẫn yếu	Dẫn	Dẫn mạnh	Bão hòa
$I_{BQ}^{-} = I_{B\min}$; 0 <<	$I_{BQ}^{-} V_{BBQ2}^{-}$ <	I_{BQ} , V_{BBQ}	I_{BQ_3} -® V_{BBQ_3} -	I_{BQ_4} -= $I_{BQ\max}$
$I_{BQ1\min}^{-} = I_{BQ\min}$; 0 <	I_{BQ2}^{-} <	$I_{BQ} = \dfrac{V_{BB} + V_{BE}}{R_{BB} + (b+1)R_E}$ <	 <	
$V_{BBQ_{\min}}^{-}$ <	V_{BBQ2}^{-} <	$V_{BBQ} = \dfrac{V_{CC} R_{B_2}}{R_{B_1} + R_{B_2}}$		
		$R_{BB} = \dfrac{R_{B_1} R_{B_2}}{R_{B_1} + R_{B_2}}$		
R_{BB}	R_{BB}			
$I_{CQ1}^{-} = I_{CQ\min}$; 0 <	I_{CQ2}^{-} <	I_{CQ} <	I_{CQ_3} - <	I_{CQ_4} -= $I_{CQ\max}$
V_{CEQ1} -» V_{CC} >	V_{CEQ2} - >	V_{CEQ} >	$V_{CEQ_3}^{-}$ >	$V_{CEQ_4} = V_{CE_{sat}}$ » 0
V_{CQ1} -» V_{CC} >	V_{CQ2} - >	V_{CQ} >	$V_{CQ_3}^{-}$ >	$V_{CQ_{\max}}$ » $V_{EQ_{\max}}$
V_{EQ1}^{-}» 0 <	V_{EQ2}^{-} <	V_{EQ} <	V_{EQ_3} - <	$V_{EQ\max}$ » $I_{C\max} R_E$
P_{Q1} » 0 <	P_{Q2}^{-} <	P_Q ¹ 0 <	P_{Q_3} - <	P_{Q_4} » 0

Bảng 16.3. Tổng kết trạng thái làm việc của mạch khuếch đại mắc CE, phân cực kiểu cầu phân áp

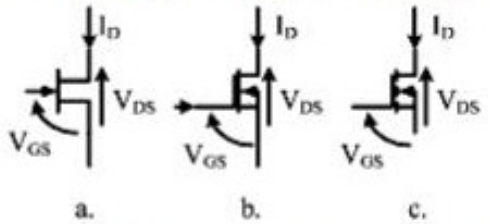


Ngắt		Dẫn yếu		Dẫn		Dẫn mạnh		Dẫn bão hòa
$V_{GSQ1}\downarrow \approx V_P$	<	$V_{GSQ2}\downarrow$	<	V_{GSQ}	<	$V_{GSQ3}\uparrow$	<	$V_{GSQ4}\uparrow$
$I_{DQ1}\downarrow \approx I_{Dqmin}$	<	$I_{DQ2}\downarrow$	<	I_{DQ}	<	$I_{DQ3}\uparrow$	<	$I_{DQ4}\uparrow = I_{Dqmax}$
$V_{DSQ1}\uparrow \approx V_{DD}$	>	$V_{DSQ2}\uparrow$	>	V_{DSQ}	>	$V_{DSQ3}\downarrow$	>	$V_{DSQ4}\downarrow \approx V_{DSsat}$

$$I_D = I_{DSS}\left(1-\frac{V_{DS}}{V_P}\right)^2$$



Bảng 16.4. Tổng kết các vị trí của tĩnh điểm Q trên họ đặc tuyến ngõ ra của họ Transistor trường (FET)

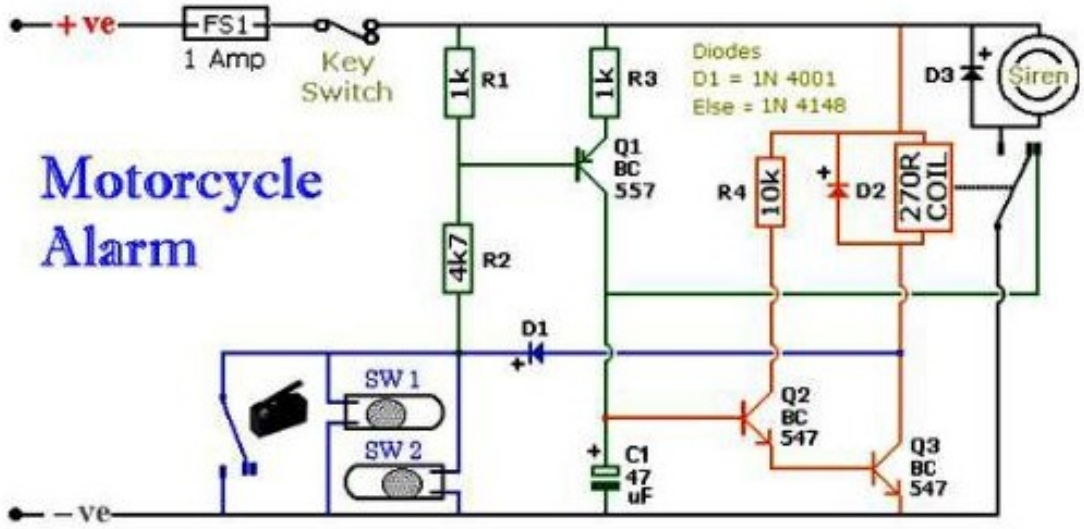


Hình transistor trường: a. FET; b. Transistor trường D-MOSFET kênh có sẵn; c. Transistor trường kênh cảm ứng E-MOSFET

16.2. CÁC MẠCH ĐIỆN – ĐIỆN TỬ ỨNG DỤNG TRONG THỰC TẾ

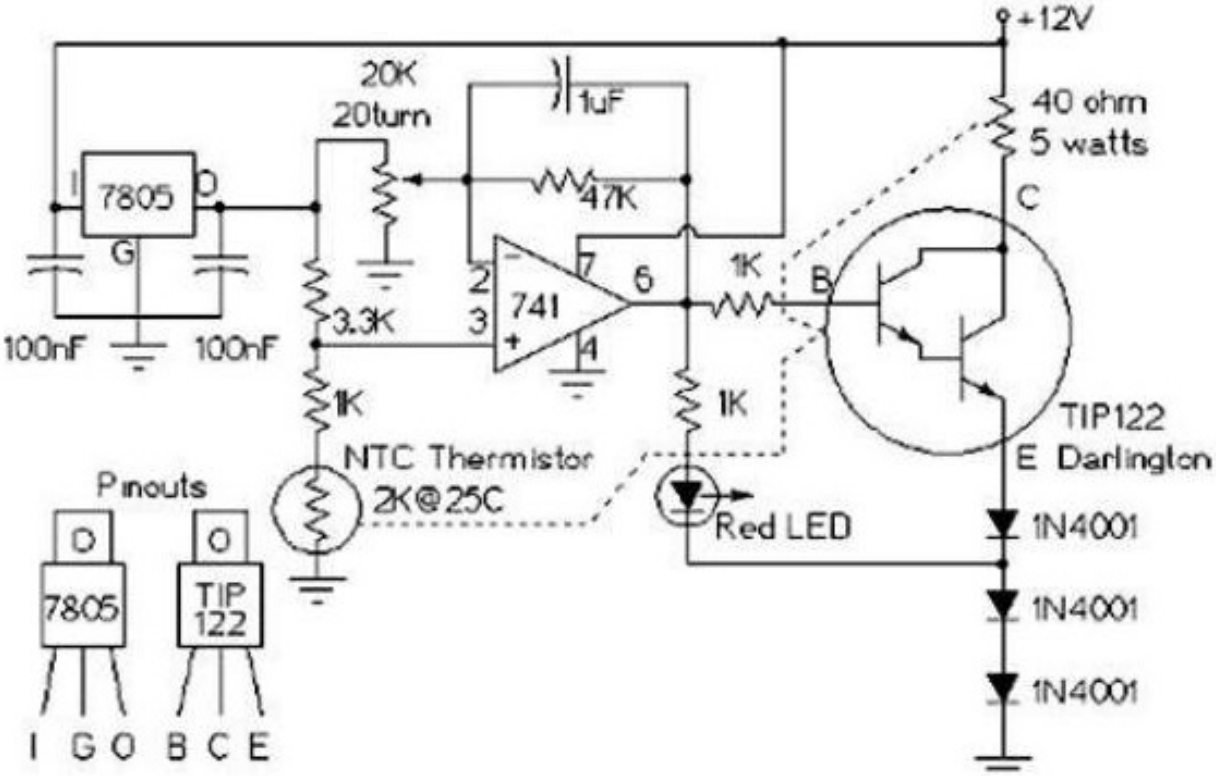
Trong phần này nhóm tác giả muốn gợi ý một vài mạch ứng dụng trong thực tế sử dụng các linh kiện bán dẫn cơ bản.

16.2.1. Mạch báo động chống trộm dùng cho xe máy

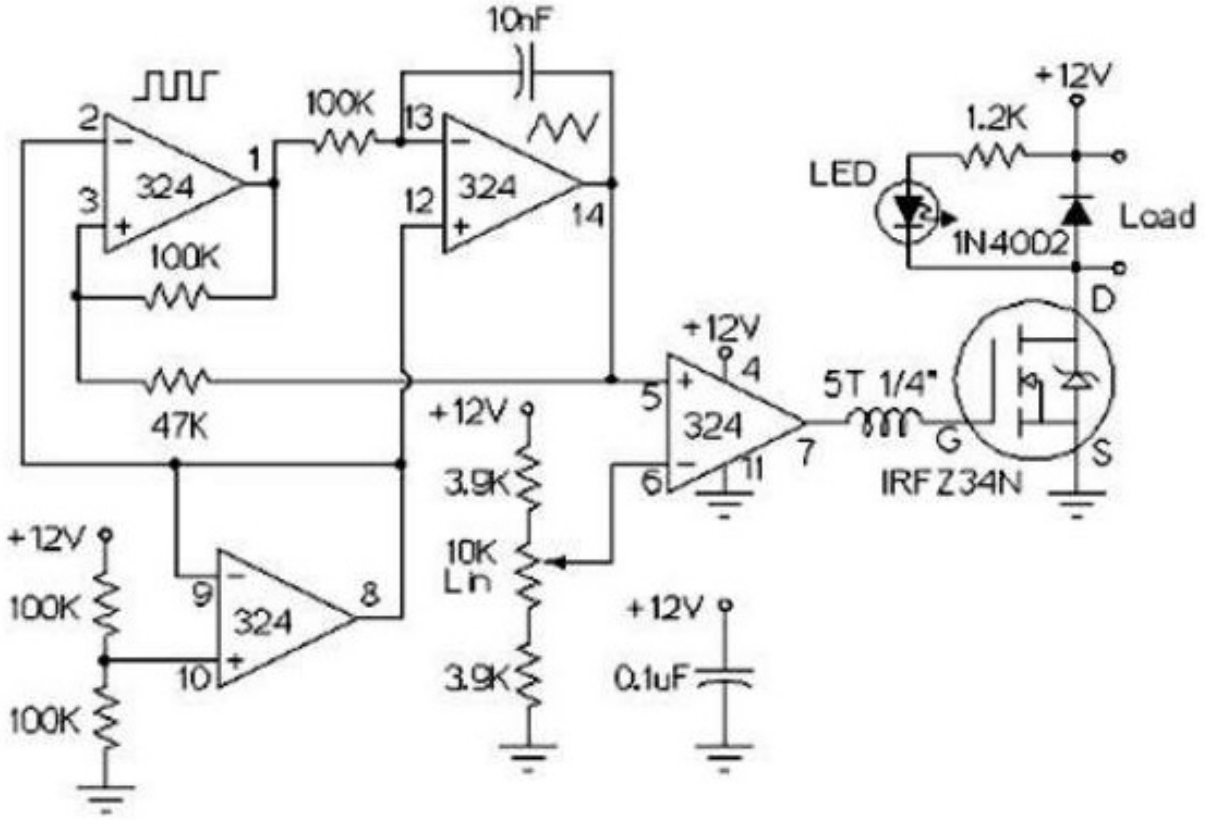


16.2.2. Mạch điều khiển nhiệt độ

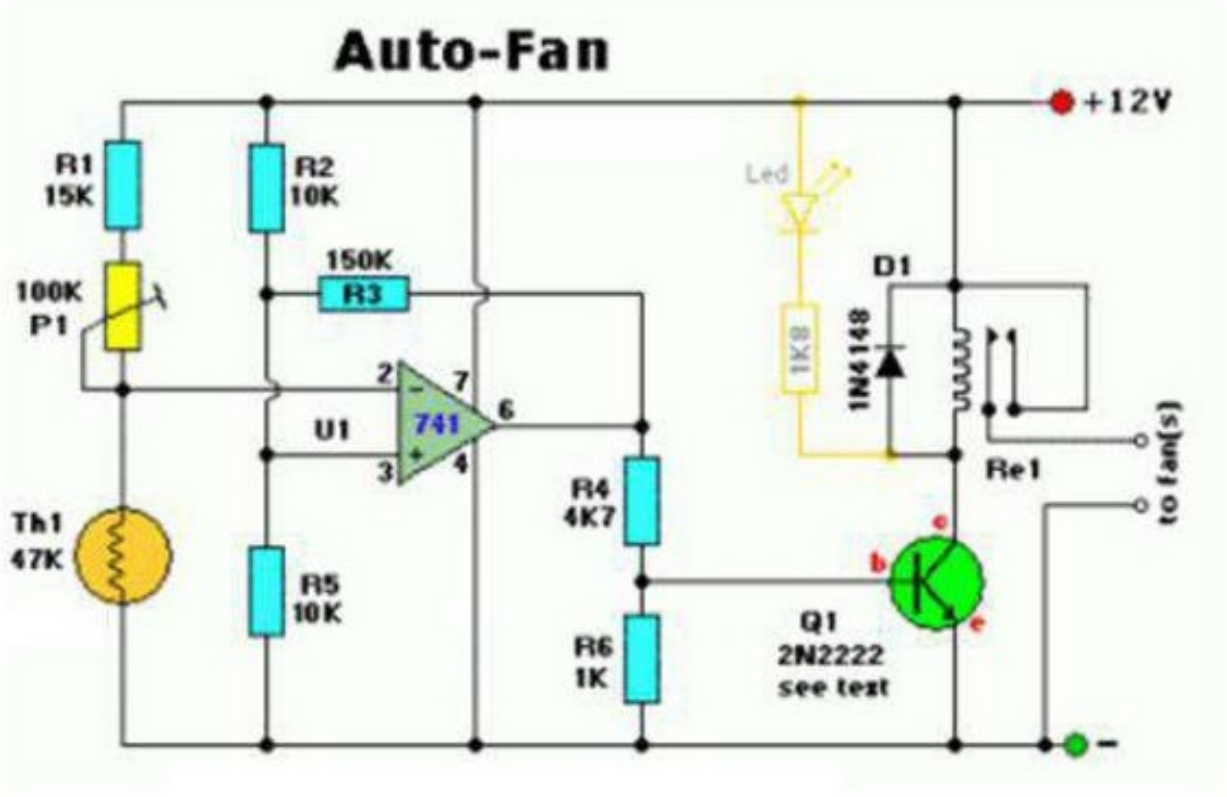
Tín hiệu từ cảm biến nhiệt và các điện trở 1kΩ và 3.3kΩ tạo thành cầu phân áp đưa đến mạch dao động đó biến trở điều chỉnh hệ số khuếch đại của mạch



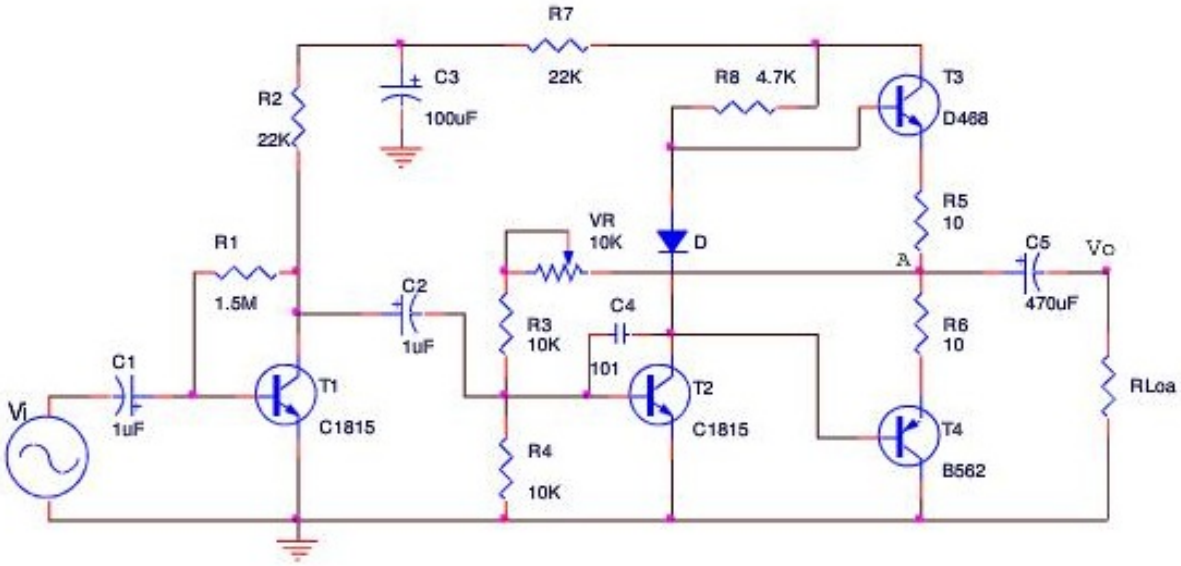
16.2.3. Mạch Dimmer



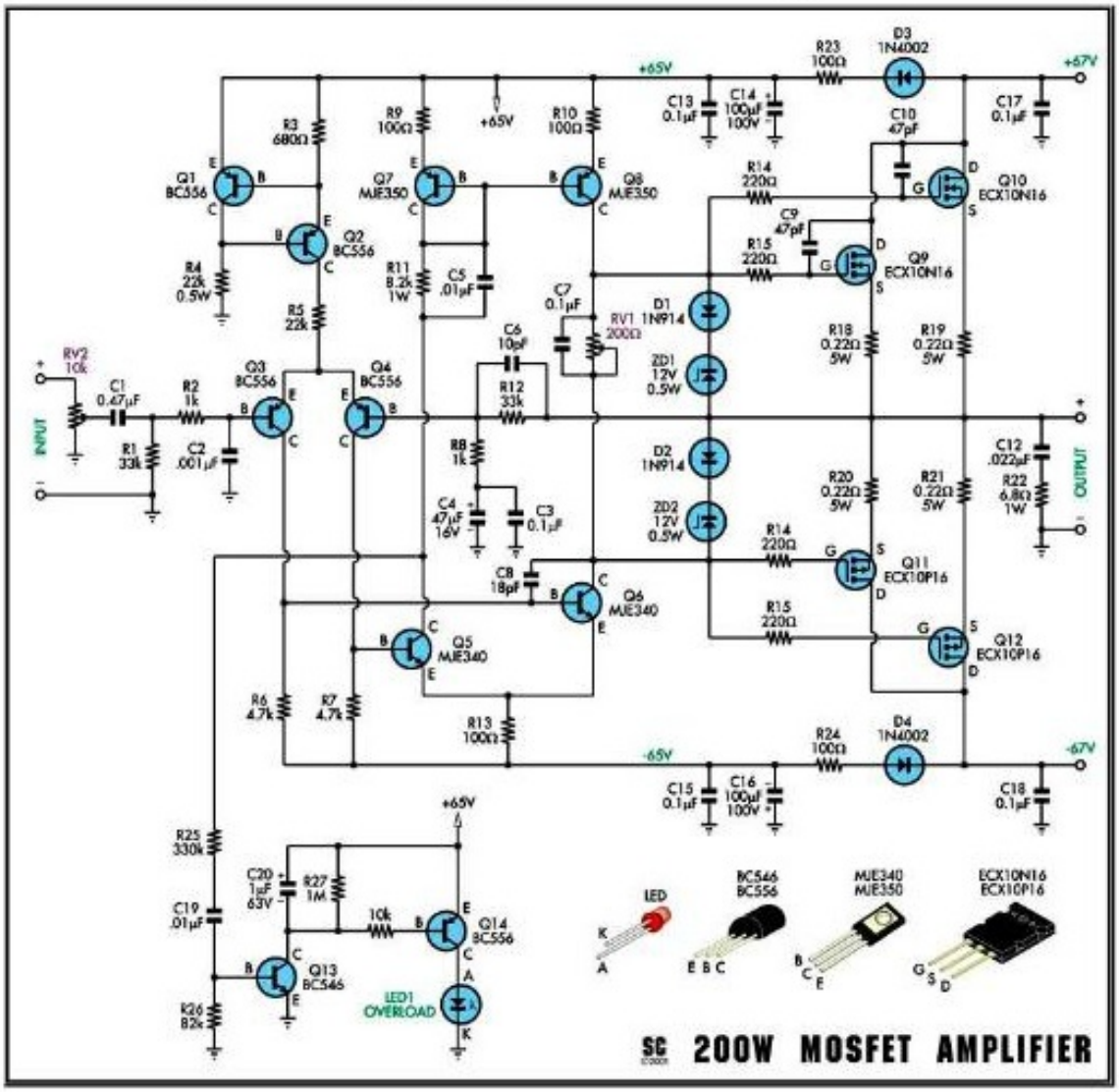
16.2.4. Mạch mở quạt tự động khi nhiệt độ cao



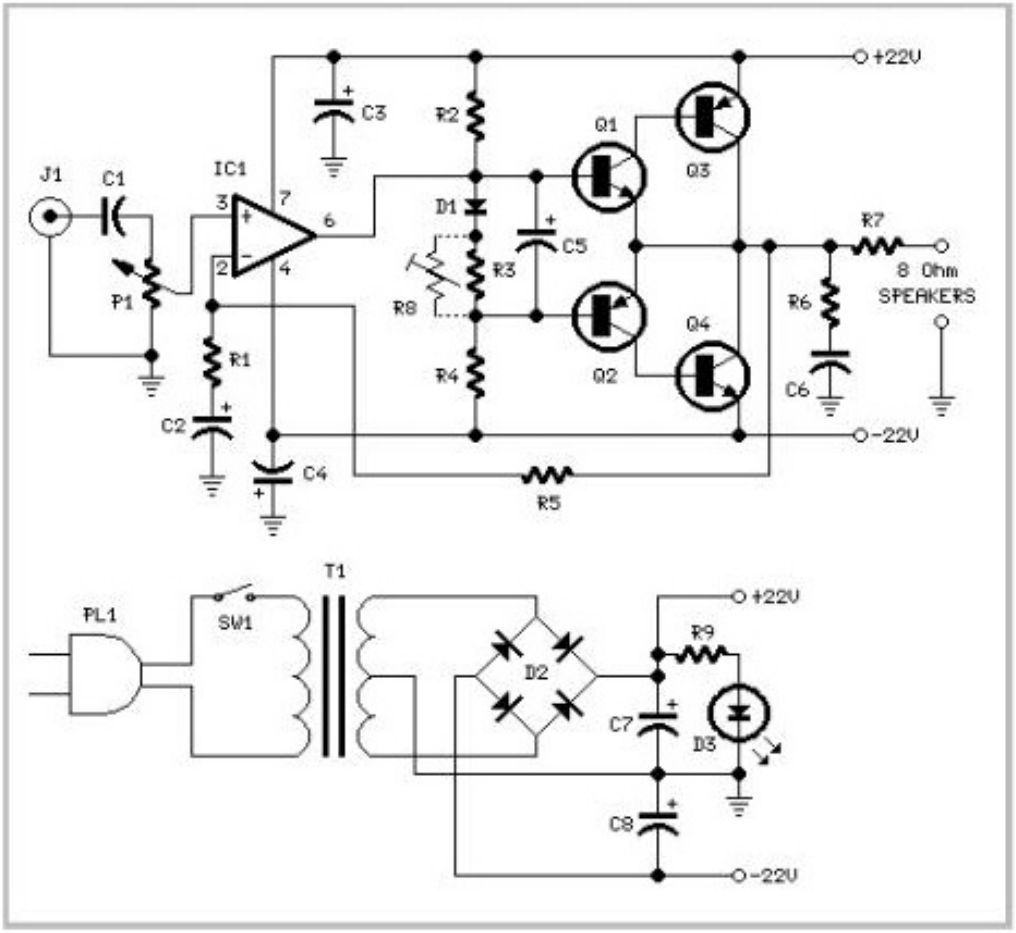
16.2.5. Mạch khuếch đại công suất âm tần công suất nhỏ (dạng 1)



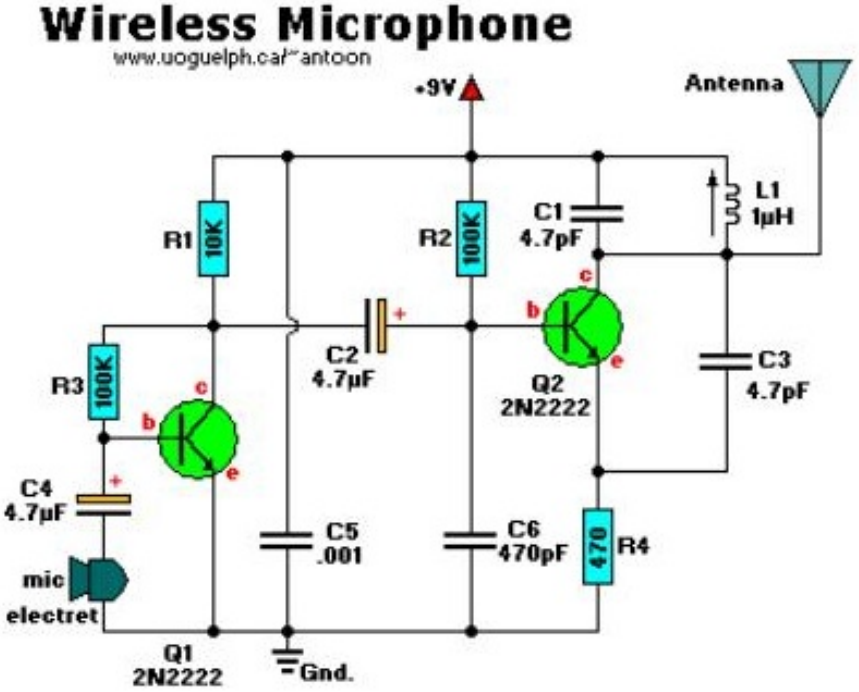
16.2.6. Mạch khuếch đại công suất âm tần công suất 200W



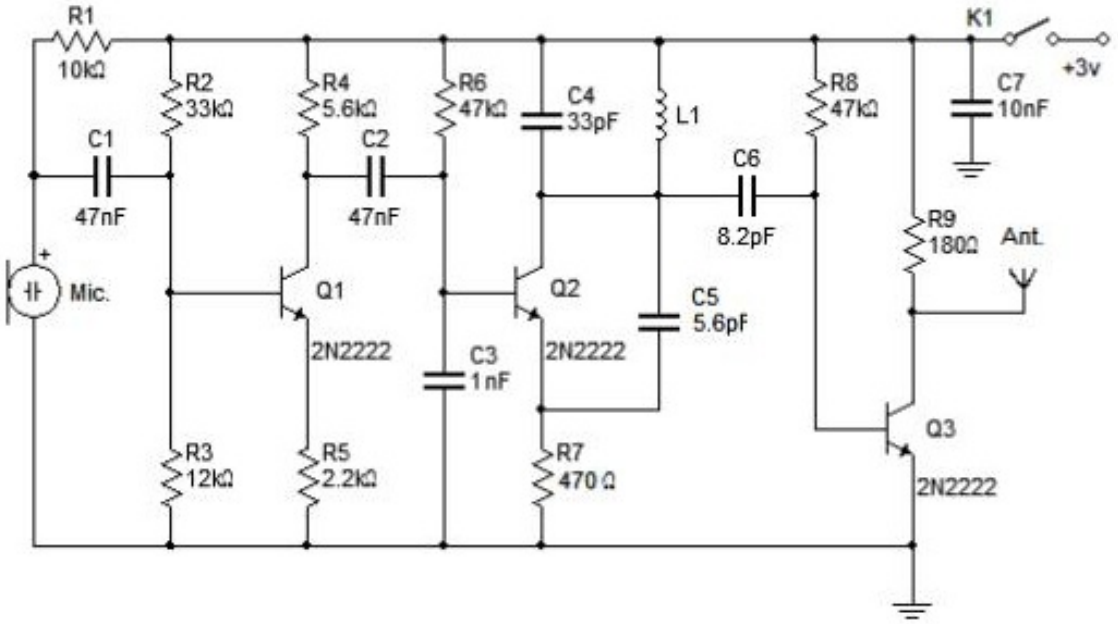
16.2.7. Mạch khuếch đại công suất âm tần dùng Op-Amp



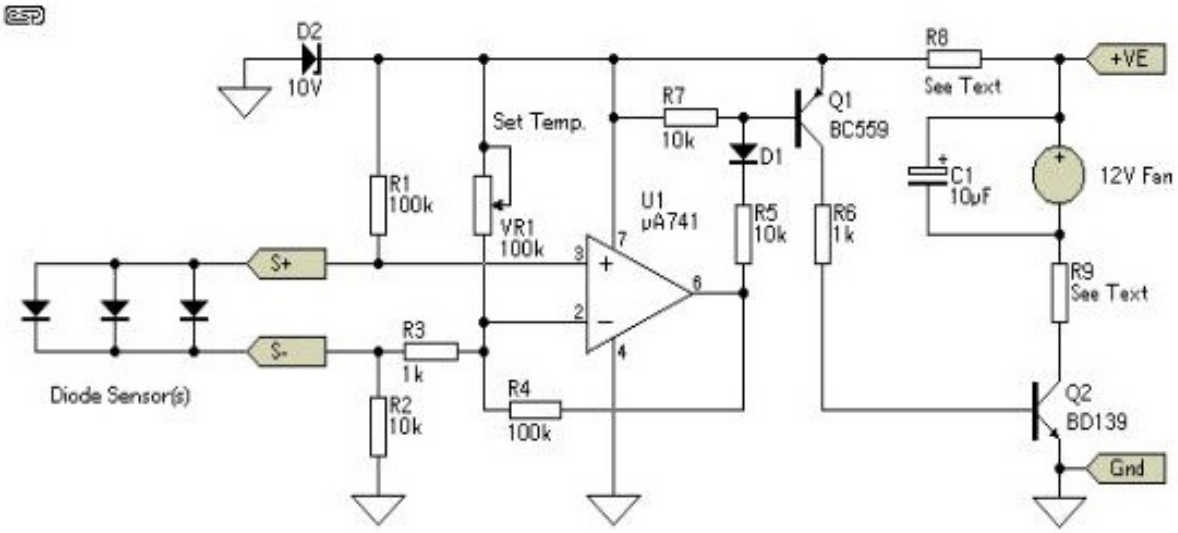
16.2.8. Mạch Micro không dây (dạng 1)



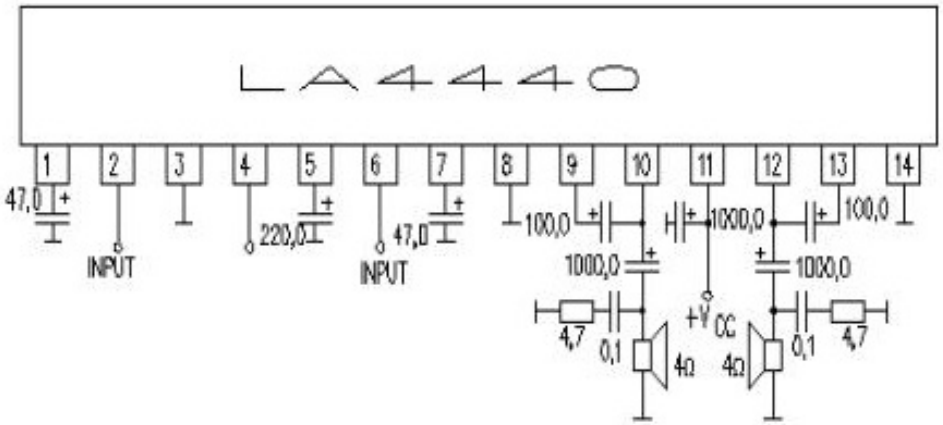
16.2.9. Mạch Micro không dây (dạng 2)



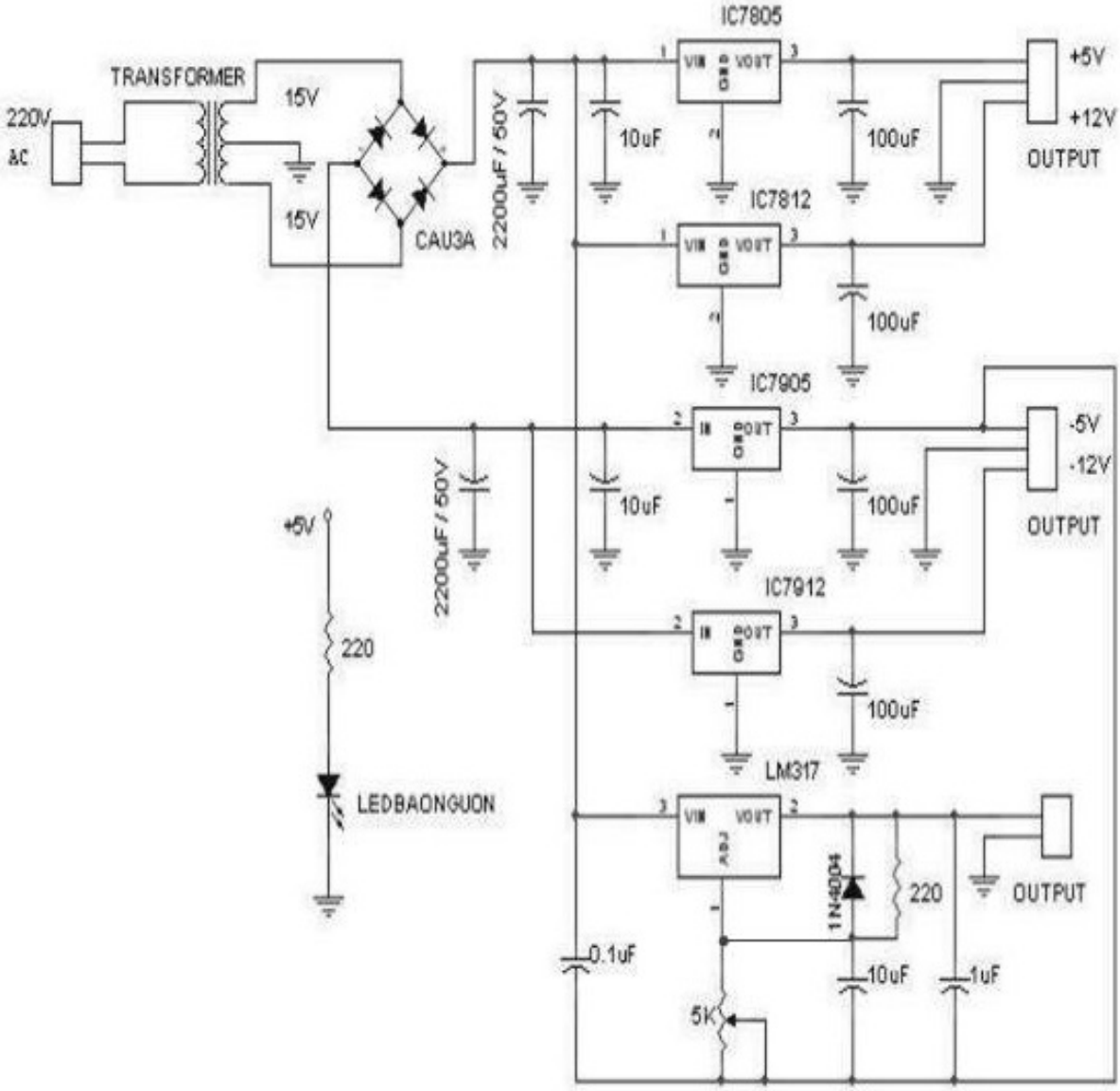
16.2.10. Mạch điều khiển tốc độ quạt



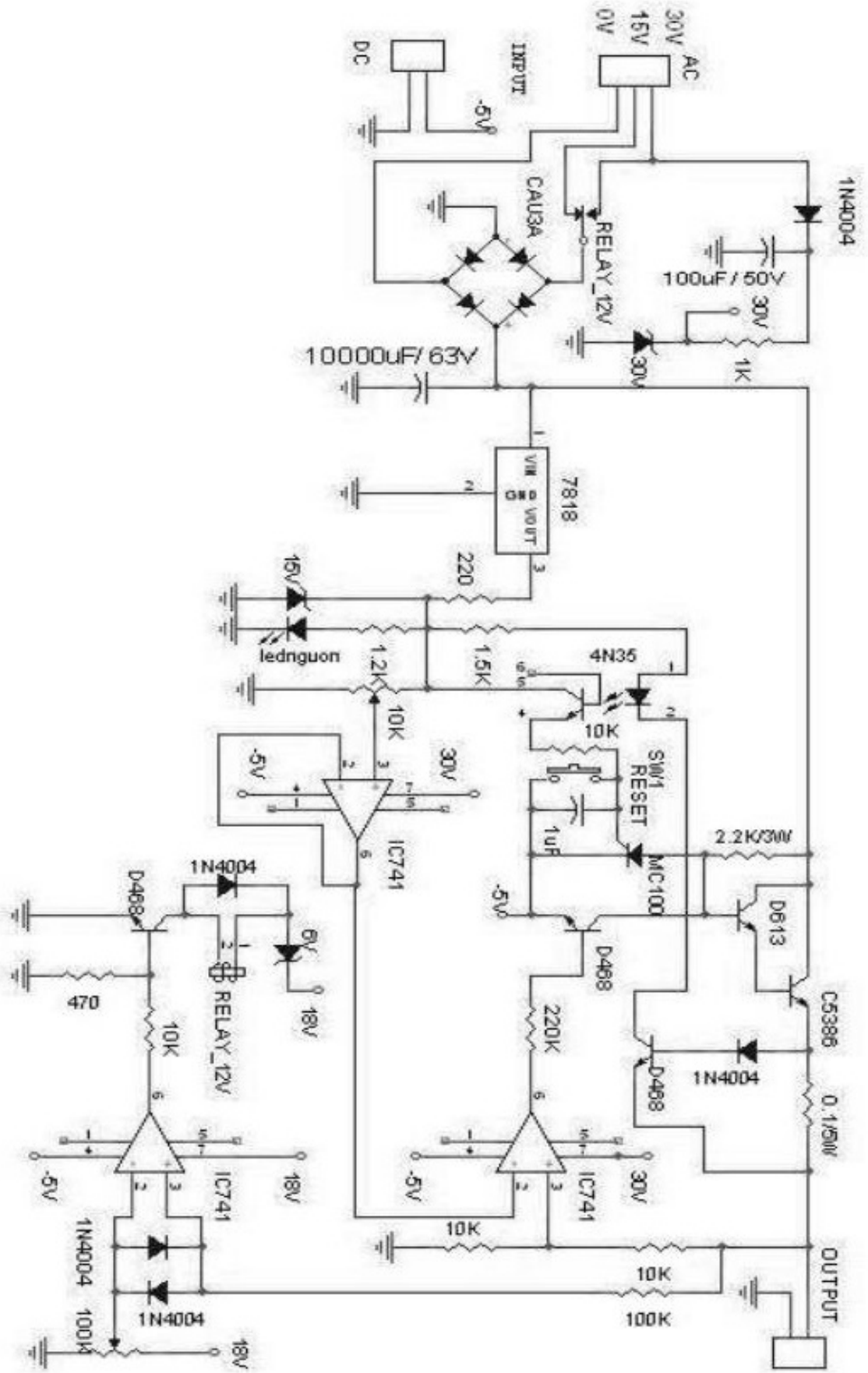
16.2.11. Mạch khuếch đại công suất dùng IC



16.2.12. Mạch nguồn ổn áp dùng IC



16.2.13. Mạch nguồn ổn áp dùng IC có bảo vệ ngắn mạch



TÀI LIỆU THAM KHẢO

1. Trương Thị Bích Ngà – Nguyễn Đình Phú, Bài giảng Điện tử Cơ bản 1&2, Đại học SPKT,TP.HCM
2. Phạm Minh Hà, Kỹ thuật mạch điện tử, NXB Khoa học và Kỹ thuật, 2002.
3. Lê Tiến Thường, Mạch điện tử 1, 2, Đại học Bách Khoa TP.HCM.
4. Lê Phi Yến, Kỹ thuật điện tử, NXB Đại học Quốc gia TP.HCM, 2005.
5. Đỗ Xuân Thụ, Kỹ thuật điện tử, NXB Giáo dục, 2001
6. Đặng Văn Chiết, Kỹ thuật mạch điện tử, NXB Giáo dục, 2005
7. Đinh Sỹ Hiền, Linh kiện bán dẫn, NXB Đại học Quốc gia TP.HCM, 2005
8. Nguyễn Đình Thắng, Vật liệu kỹ thuật điện, NXB Khoa học và Kỹ thuật, 2006
9. Hồ Trung Mỹ, Dụng cụ bán dẫn, Đại học Bách Khoa TP.HCM
10. Đặng Văn Chiết, 250 bài tập Kỹ thuật điện tử, NXB Giáo dục, 2006
11. Robert Boylestad & Louis Nashelsky, Electronic devices & circuit theory, Prentice Hall.
12. Donald A. Neamen, Electronic Circuit Analysis & Design – Mc-Graw Hill, 2001
13. Sergio Franco, Design with operational amplifiers and analog integrated circuits, Mc-Graw Hill, 1998.
14. F.H. Mitchell JR., F.H. Mitchell SR.- Introduction to electronics devices and circuits – Prentice Hall, 1988.
15. Theodore F.Bogart, JR. - Electronic devices & circuits – Maxwell Macmilan, 1991.
16. Barry Downing Principle of Electronics; NXB Prentice Hall 1988.
17. Bernard Grob ; Electronics Circuits and Applications; NXB Mc Graw Hill 1982
18. Thomas L.Floyd ; Electronic Devices Pearson International 7th Edition, NXB Prentice Hall; 2007.

19. Clive Maxfield, Electrical Engineering, NXB ELSEVIER, 2008.

20. Tony Kuphatd, Lesson in Electric circuits, Vol.3 – Semiconductors, 2007.

21. Thomas Kysgelstadt, Active Filter Design Techniques, Texas Intrument.

22. Bruce Carter and LP. Huelsman, Handbook of Operational Amplifier Active RC Networks, Texas Intrument.

23. T.Deliyannis , Yichuang Sun and J.K. Fidler, Continuous Time Active Filter Design, CRC Press LLC.

24. Gilberto Gonzalez and Roberto Tapia, Operational Amplifiers and Active Filters, University of Michoacan Mexico.

25. S. M. Sze, Semiconductor Sensors, Wiley, New York, 1994.

26. S. Middelhoek and S. A. Audet, Silicon Sensors, Academic Press, London, 1989.

27. W. P. Mason, "Use of Solid-state Transducers in Mechanics and Acoustics",
J. Audio Eng.

28. A. J. Pointon, "Piezoelectric Devices,"ZEE Proc., 129, Pt. A, 285 (1982).

29. R. M. White and F. W. Voltmer, "Direct Piezoelectric Coupling to Surface Elastic Waves"

30. H. P. Bakes and R. S. Popovic, "Integrated Semiconductor Magnetic Field Sensors," Proc.

31. P. T. Moseley, "Materials Selection for Semiconductor Gas Sensors,"
Sensors Actuators B.

32. P. Bergveld, "Development, Operation, and Application of the Ion-Sensitive
Field-Effect.

33. T. Matsuo and K. D. Wise, *"An* Integrated Field-Effect Electrode for Biopotential Recording," ZEEE *Trans. Biom.* Eng., MBE-21,485 (1974).

MỤC LỤC

Giáo trình

ĐIỆN TỬ CƠ BẢN

PGS. TS Trần Thu Hà *(Chủ biên)* - ThS. Trương Thị Bích Ngà

TS. Nguyễn Thị Lưỡng - ThS. Bùi Thị Tuyết Đan

ThS. Phù Thị Ngọc Hiếu - ThS. Dương Thị Cẩm Tú

NHÀ XUẤT BẢN ĐẠI HỌC QUỐC GIA TP HỒ CHÍ MINH

Khu phố 6, Phường Linh Trung, Quận Thủ Đức, TPHCM

Số 3 Công trường Quốc tế, Quận 3, TP. HCM

ĐT: 38 239 172 - 38 239 170

Fax: 38 239 172

E-mail: vnuhp@vnuhcm.edu.vn

***

Chịu trách nhiệm xuất bản

TS. HUỲNH BÁ LÂN

Tổ chức bản thảo và chịu trách nhiệm về tác quyền

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM

Biên tập

NGUYỄN ĐỨC MAI LÂM

Sửa bản in

THÙY DƯƠNG

Thiết kế bìa

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM

GT.01.KTh(V) **155-2012/CXB/539-08**

ĐHQG.HCM-13 **KT.GT81. -13 (T)**

In 300 cuốn khổ 16 x 24cm, tại Công ty TNHH In và Bao bì Hưng Phú. Số đăng ký kế hoạch xuất bản: 155-2012/CXB/539-08/ĐHQGTPHCM. Quyết định xuất bản số: 15/QĐ-ĐHQGTPHCM cấp ngày 21/01/2013 của Nhà xuất bản ĐHQGTPHCM. In xong và nộp lưu chiểu Quí I năm 2013.

ISBN: 978-604-73-1263-4