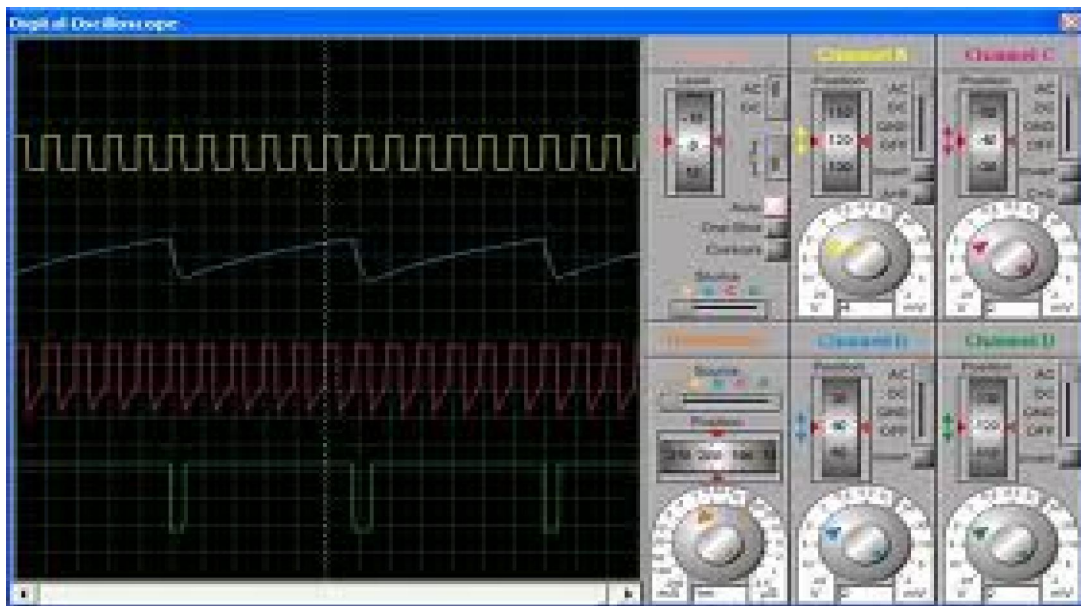


BỘ LAO ĐỘNG - THƯƠNG BINH VÀ XÃ HỘI
TỔNG CỤC DẠY NGHỀ

GIÁO TRÌNH
Tên mô đun: Kỹ thuật xung – số
NGHỀ: ĐIỆN CÔNG NGHIỆP
TRÌNH ĐỘ TRUNG CẤP NGHỀ

(Ban hành kèm theo Quyết định số: 120/QĐ-TCDN ngày 25.tháng 02 năm 2013 của Tổng cục trưởng Tổng cục Dạy nghề)



Hà Nội, năm 2013

TUYÊN BỐ BẢN QUYỀN

Tài liệu này thuộc loại sách giáo trình nên các nguồn thông tin có thể được phép dùng nguyên bản hoặc trích dùng cho các mục đích về đào tạo và tham khảo.

Mọi mục đích khác mang tính lệch lạc hoặc sử dụng với mục đích kinh doanh thiếu lành mạnh sẽ bị nghiêm cấm.

LỜI GIỚI THIỆU

Trong những năm gần đây công nghệ vi điện tử phát triển rất mạnh mẽ. Sự ra đời của các vi mạch cỡ lớn, cực lớn với giá thành giảm nhanh, khả năng lập trình ngày càng cao đã mang lại những thay đổi sâu sắc trong ngành kỹ thuật điện tử. Ngày nay, trong kỹ thuật kỹ thuật vô tuyến điện có rất nhiều thiết bị công tác trong một chế độ đặc biệt là chế độ xung. Các thiết bị xung được ứng dụng rộng rãi trong nhiều lĩnh vực khoa học kỹ thuật hiện đại như: thông tin, điều khiển, ra đa, vô tuyến truyền hình, điện tử ứng dụng, điều khiển tự động hóa trong công nghiệp ... Ở những mức độ khác nhau chúng đã và đang thâm nhập vào tất cả các thiết bị điện tử thông dụng và chuyên dụng.

Giáo trình Kỹ thuật xung - số được biên soạn nhằm đáp ứng nhu cầu tiếp cận kỹ thuật hiện đại và được biên soạn theo chương trình khung của Bộ lao động thương binh xã hội. Giáo trình được làm tài liệu giảng dạy cho nghề điện công nghiệp ở cấp trình độ Trung cấp nghề. Giáo trình cũng có thể làm tài liệu tham khảo cho các kỹ thuật viên, công nhân ngành điện công nghiệp. Nhằm trang bị cho bạn đọc nền kiến thức tốt nhất để tiếp cận nhanh chóng với các thiết bị xung số, bằng những kinh nghiệm tác giả đúc kết được từ thực tiễn trên các máy công nghệ điều khiển số hiện đại và từ thực tế giảng dạy cũng như tham khảo một số tài liệu đáng tin cậy trong nước và tài liệu dự án, tác giả đã biên soạn ra quyển giáo trình này.

Quá trình biên soạn giáo trình, không thể tránh khỏi những thiếu sót. Rất mong sự đóng góp của các độc giả gần xa.

Hà nội, ngày.....tháng.....năm 2013

Tham gia biên soạn

1. Nguyễn Thị Hương
2. Mai Xuân Minh
3. Phạm Thu Hương

MỤC LỤC

1.	Lời giới thiệu	01
2.	Mục lục	02
3.	Mô đun: Kỹ thuật xung - số	03
4.	Phần 1: Kỹ thuật xung	05
5.	Bài 1: Các khái niệm cơ bản	05
6.	Bài 2 Mạch dao động đa hài	16
7.	Bài 3 Mạch hạn chế biên độ và ghim áp	31
8.	Phần 2: Kỹ thuật số	38
9.	Bài 1 Đại cương	38
10.	Bài 2 Flip - Flop	74
11.	Bài 3 Mạch logic MSI	86
12.	Bài 4 Mạch đếm và thanh ghi	112
13.	Bài 5 Họ vi mạch TTL - CMOS	130
14.	Bài 6 Bộ nhớ	140
15.	Bài 7 Kỹ thuật ADC - DAC	151
16.	Trả lời câu hỏi và bài tập	163
17.	Tài liệu tham khảo	166

MÔ ĐƠN: KỸ THUẬT XUNG - SỐ

Mã mô đơn: MĐ 14

Vị trí, tích chất, ý nghĩa và vai trò mô đơn:

- Môn đơn này học sau các môn học, mô đơn cơ sở và song song với môn học, mô đơn Điều khiển điện khí nén; Máy điện 1,2; Cung cấp điện; Bảo vệ rơ le. Trang bị điện 2

- Là môn đơn chuyên môn nghề.

Mục tiêu của mô đơn:

- Phát biểu được các khái niệm cơ bản về xung điện, các thông số cơ bản của xung điện, ý nghĩa của xung điện trong kỹ thuật điện tử.

- Trình bày được cấu tạo các mạch dao động tạo xung và mạch xử lý dạng xung.

- Phát biểu được khái niệm về kỹ thuật số, các cổng logic cơ bản. Kí hiệu, nguyên lý hoạt động, bảng sự thật của các cổng logic.

- Trình bày được cấu tạo, nguyên lý các mạch số thông dụng như: Mạch đếm, mạch đóng ngắt, mạch chuyển đổi, mạch ghi dịch, mạch điều khiển.

- Lắp ráp, kiểm tra được các mạch tạo xung và xử lý dạng xung.

- Lắp ráp, kiểm tra được các mạch số cơ bản trên panel và trong thực tế.

- Rèn luyện cho học sinh thái độ nghiêm túc, tỉ mỉ, chính xác trong học tập và trong thực hiện công việc.

Nội dung của mô đơn:

Số TT	Tên các bài trong mô đơn	Thời gian (giờ)			
		Tổng số	Lý thuyết	Thực hành Bài tập	Kiểm tra*
I	Kỹ thuật Xung	15			
1	Các khái niệm cơ bản - Định nghĩa xung điện, tham số và dãy xung - Tác dụng của R,C đối với các xung cơ bản - Tác dụng của R,L,C đối với các xung cơ bản	5	4 1 1 2	1 1	
2	Mạch dao động đa hài - Mạch đa hài không ổn	7	5 1	2	

	- Mạch đa hài đơn ổn - Mạch đa hài lưỡng ổn - Mạch Schmitt – trigger		1 1 2		
3	Mạch hạn chế biên độ và ghim - Mạch hạn chế biên độ - Mạch ghim áp	3	2 1 1	1 1	
II	Kỹ thuật số	75			
1	Đại cương - Tổng quan về mạch tương tự và mạch số - Hệ thống số và mã số - Các cổng logic cơ bản - Biểu thức logic và mạch điện - Đại số Bool và định Demorgan - Đơn giản biểu thức logic bằng phương pháp đại số - Thiết kế mạch logic - Giới thiệu IC	15	8 1 1 1 2 2 1 2	6 1 1 1 1 1 1	1
2	FLIP – FLOP - FLIP - FLOP RS - FLIP - FLOP J-K - FLIP - FLOP T - FLIP - FLOP D - FLIP - FLOP với ngõ vào Preset và Clear	7	5 1 1 1 1 1	1 1	1
3	Mạch logic MSI Mạch mã hóa Mạch giải mã (Decoder) Mạch ghép kênh	14	6 1 1 1	8 1 2 2	
	Mạch tách kênh Mở rộng số ngõ vào - ngõ ra cho mạch tổ hợp		1 1	1 1	
	Tạo - Kiểm Parity Phép toán logic		1	1	
4	Mạch đếm và thanh ghi Mạch đếm Thanh ghi Giới thiệu IC Đếm và thanh ghi	16	4 1 1 2	12 2 3 7	
5	Họ vi mạch TTL – CMOS	11	4	6	1

	- Cấu trúc và thông số cơ bản của TTL - Cấu trúc và thông số cơ bản của CMOS - Giao tiếp TTL – CMOS - Giao tiếp giữa mạch logic và tải công suất		1 1 1 1	1 2 1 2	
6	Bộ nhớ - ROM (ReadOnly Memory) - RAM (Random Access Memory) - Mở rộng dung lượng bộ nhớ	5	3 1 1 1	2 1 1	
7	Kỹ thuật ADC – DAC - Mạch chuyển đổi số - tương tự (DAC) - Mạch chuyển đổi tương tự - số (ADC)	7	4 2 2	3 1 2	
	Cộng	90	45	42	3

* Ghi chú: Thời gian kiểm tra được tích hợp giữa lý thuyết với thực hành và được tính vào giờ thực hành.

Phần 1: Kỹ thuật xung
BÀI 1: CÁC KHÁI NIỆM CƠ BẢN

Mã bài: MĐ 14-01

Giới thiệu:

Trong kỹ thuật xung điện đóng vai trò quan trọng, đôi khi nguyên nhân hệ thống điều khiển điện tử-số không hoạt động khi lắp ráp hoặc hư hỏng khi thiết bị đang vận hành không phải do quá tải, quá áp mà do ngay các xung điều khiển không đạt các thông số kỹ thuật.

Bài này giới thiệu về các khái niệm, các đặc trưng, đại lượng, các ảnh hưởng của các xung trong các mạch điện tử-số. Học viên cần hiểu rõ và vận dụng các kiến thức cơ bản của xung vào các mạch điện tử -số trong công nghiệp được điều khiển bằng các xung điện.

Mục tiêu:

- Trình bày được các khái niệm về xung điện, dãy xung
- Giải thích được sự tác động của các linh kiện thụ động đến dạng xung
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính xác

Nội dung chính:

1. Định nghĩa xung điện, các tham số và dãy xung

Mục tiêu:

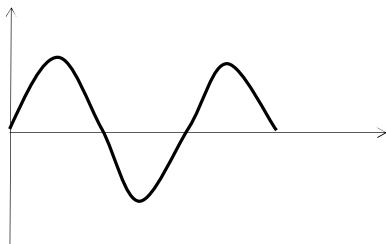
- Trình bày được các khái niệm về tín hiệu, xung điện, dãy xung và nêu được các tham số đặc trưng.

1.1. Định nghĩa

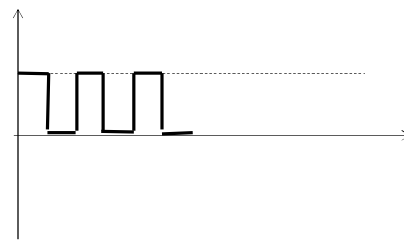
1.1.1 Định nghĩa tín hiệu

Tín hiệu là sự biến đổi của các đại lượng điện (dòng điện hay điện áp) theo thời gian, chứa đựng một thông tin nào đó.

Tín hiệu được chia làm 2 loại: tín hiệu liên tục (tín hiệu tuyến tính) và tín hiệu gián đoạn (tín hiệu xung). Trong đó tín hiệu hình sin được xem là tín hiệu tiêu biểu cho loại tín hiệu liên tục, có đường biểu diễn như hình 1-1. Ngược lại tín hiệu hình vuông được xem là tín hiệu tiêu biểu cho loại tín hiệu không liên tục như hình 1-2



Hình 24-01-1: Tín hiệu hình sin

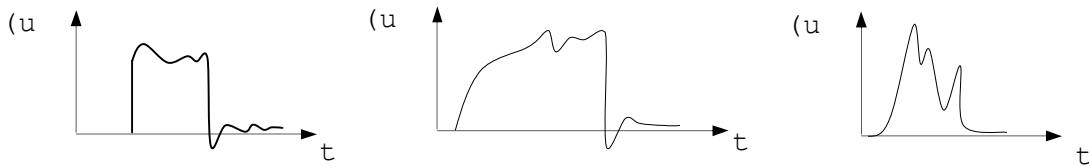


Hình 24-01-2: Tín hiệu hình vuông

1.1.2 Định nghĩa xung điện

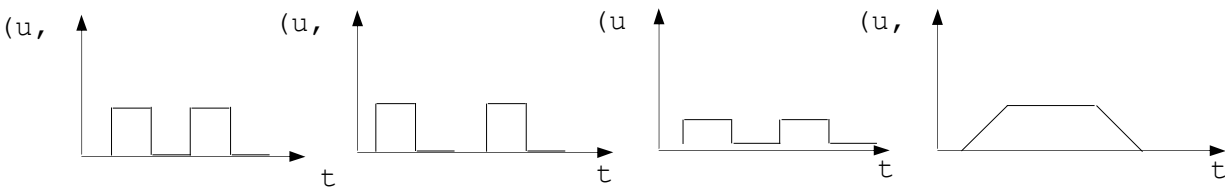
Xung điện là tín hiệu điện có giá trị biến đổi gián đoạn trong một khoảng thời gian rất ngắn có thể so sánh với quá trình quá độ của mạch điện.

Xung điện trong kỹ thuật được chia làm 2 loại: loại xung xuất hiện ngẫu nhiên trong mạch điện, ngoài mong muốn, được gọi là xung nhiễu, xung nhiễu thường có hình dạng bất kỳ (Hình 24-01-3).



Hình 24-01-3: Các dạng xung nhiễu

Các dạng xung tạo ra từ các mạch điện được thiết kế thường có một số dạng cơ bản:



Hình 24-01-4: Các dạng xung cơ bản của các mạch điện được thiết kế

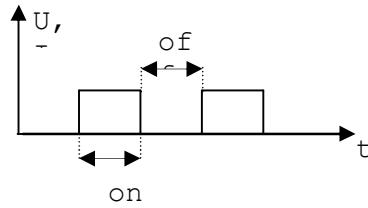
Dãy xung vuông xuất hiện trên màn hình của máy hiện sóng khi điều chỉnh tốc độ quét chậm., chúng ta thấy chỉ có những đường vạch ngang. Khi điều chỉnh tốc độ quét nhanh, trên màn hình của máy hiện sóng xuất hiện rõ đường vạch tạo nên hình dạng xung với các đường dốc lên và dốc xuống.

- Cạnh xuất hiện trước xung được gọi là *sườn trước* của xung.
- Cạnh nằm trên đỉnh có giá trị cực đại gọi là *đỉnh xung*.
- Cạnh xuất hiện sau của xung để trở về trạng thái ban đầu được gọi là *sườn sau* của xung.
- Cạnh nối khoảng cách từ sườn trước và sườn sau ở trục tọa độ của xung gọi là *đáy xung*.

1.2 Các tham số cơ bản của xung điện và dãy xung

1.2.1. Các tham số cơ bản của xung điện

Dạng xung vuông lý tưởng được trình bày trên Hình 24-01-5.



Hình 24-01-5: Các thông số cơ bản của xung

a. Độ rộng xung là thời gian xuất hiện của xung trên mạch điện, thời gian này thường được gọi là thời gian mở t_{on} . Thời gian không có sự xuất hiện của xung gọi là thời gian nghỉ t_{off} .

b. Chu kỳ xung là khoảng thời gian giữa 2 lần xuất hiện của 2 xung liên tiếp, được tính theo công thức:

$$T = t_{on} + t_{off} \quad (1.1)$$

Tần số xung được tính theo công thức:

$$f = \frac{1}{T} \quad (1.2)$$

c. Độ rộng và hệ số đầy của xung:

- Độ rộng của xung là tỷ số giữa chu kỳ và độ rộng xung, được tính theo công thức:

$$Q = \frac{T}{T_{on}} \quad (1.3)$$

- Hệ số đầy của xung là nghịch đảo của độ rộng, được tính theo công thức:

$$n = \frac{T_{on}}{T} \quad (1.4)$$

Trong thực tế, người ta ít quan tâm đến tham số này, người ta chỉ quan tâm trong khi thiết kế các bộ nguồn kiểu xung, để đảm bảo điện áp một chiều được tạo ra sau mạch chỉnh lưu, mạch lọc và mạch điều chỉnh sao cho mạch điện cấp đủ dòng, đủ công suất, cung cấp cho tải.

d. Độ rộng sườn trước, độ rộng sườn sau:

Trong thực tế, các xung vuông, xung chữ nhật không có cấu trúc một cách lý tưởng. Khi các đại lượng điện tăng hay giảm để tạo một xung, thường có thời gian tăng trưởng (thời gian quá độ) nhất là các mạch có tổng trở vào ra nhỏ hoặc có thành phần điện kháng nên 2 sườn trước và sau không thẳng đứng một cách lý tưởng.

Do đó thời gian xung được tính theo công thức:

$$t_{on} = t_t + t_d + t_s \quad (1.5)$$

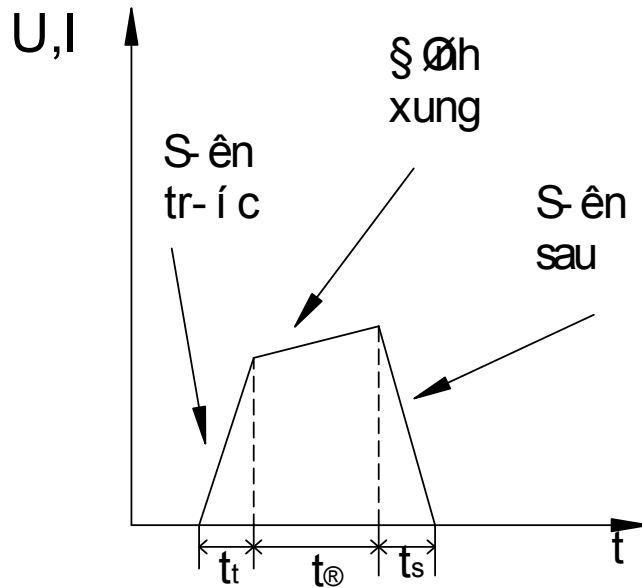
Trong đó:

t_{on} : Độ rộng xung

t_t : Độ rộng sườn trước

t_d : Độ rộng đỉnh xung

t_s : Độ rộng sườn sau



Hình 24-01-6: Cách gọi tên các cạnh xung.

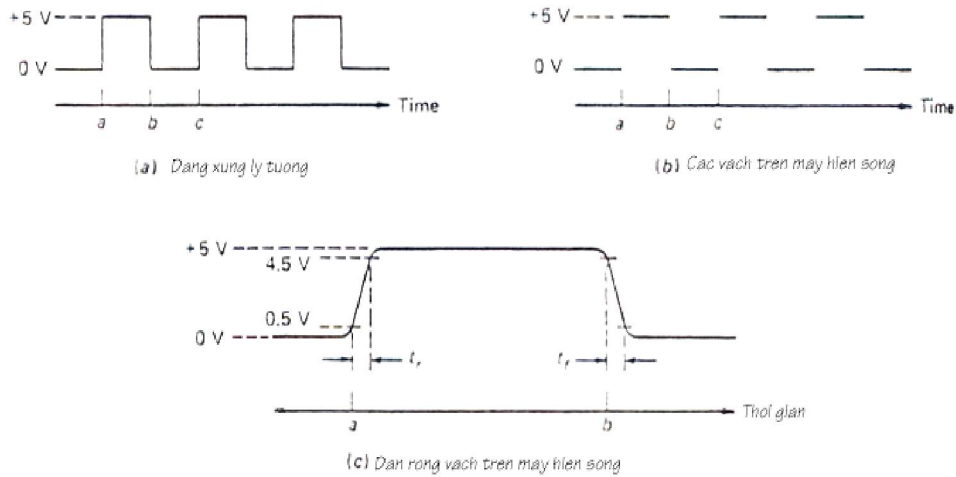
Độ rộng sườn trước t_1 được tính từ thời điểm điện áp xung tăng lên từ 10% đến 90% trị số biên độ xung và độ rộng sườn sau t_2 được tính từ thời điểm điện áp xung giảm từ 90% đến 10% trị số biên độ xung. Trong khi xét trạng thái ngưng dẫn hay bão hòa của các mạch điện điều khiển

Ví dụ, xung nhịp điều khiển mạch logic có mức cao H tương ứng với điện áp +5V. Sườn trước xung nhịp được tính từ khi xung nhịp tăng từ +0,5V lên đến +4,5V và sườn sau xung nhịp được tính từ khi xung nhịp giảm từ mức điện áp +4,5V xuống đến +0,5V. 10% giá trị điện áp ở đáy và đỉnh xung được dùng cho việc chuyển chế độ phân cực của mạch điện. Do đó đối với các mạch tạo xung nguồn cung cấp cho mạch đòi hỏi độ chính xác và tính ổn định rất cao.

e. Biên độ xung và cực tính của xung

Biên độ xung là giá trị lớn nhất của xung với mức thêm 0V (U, I)_{Max} (Hình 24-01-7)

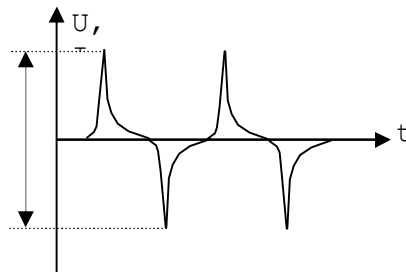
Hình dưới đây mô tả dạng xung khi tăng thời gian quét của máy hiện sóng. Lúc đó ta chỉ thấy các vạch nằm song song (Hình 24-01-7b) và không thấy được các vạch hình thành các sườn trước và sườn sau xung nhịp. Khi giảm thời gian quét ta có thể thấy rõ dạng xung với sườn trước và sườn sau xung (Hình 24-01-7c)



Hình 24-01-7: Xung vuông trên màn hình máy hiện sóng

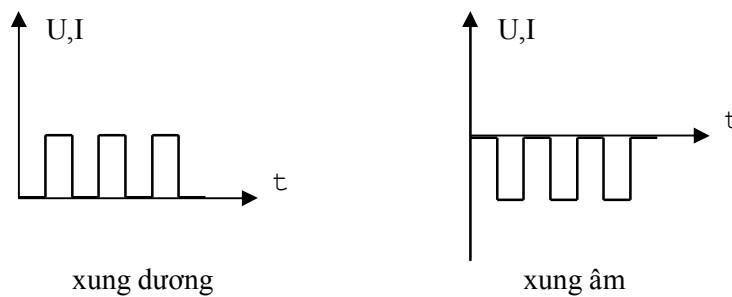
a) Xung vuông lý tưởng

b) Các vạch trên máy hiện sóng c) Dẫn rộng vạch trên máy hiện sóng



Hình 24-01-8: Giá trị đỉnh xung

Cực tính của xung là giá trị của xung so với điện áp thêm phân cực của xung. Hình 24-01-8:



Hình 24-01-9: Các dạng xung dương và xung âm

Trong thực tế xung điện là nền tảng của kỹ thuật điều khiển. Ví dụ Mạch đóng mở cửa tự động: Khi có người đi vào hoặc ra qua hệ thống cảm biến nhận dạng tạo ra một xung tác động vào mạch điều khiển đóng mạch rơ le điều khiển động cơ mở cửa.

1.2.2. Chuỗi xung

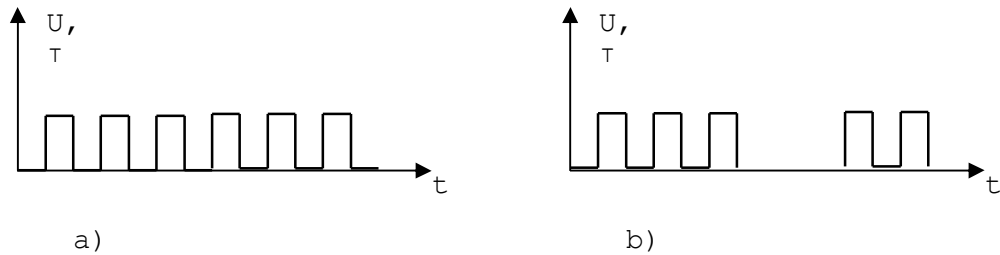
Trong kỹ thuật, để điều khiển, mạch điện thường không dùng một xung để điều khiển, mà dùng nhiều xung trong một khoảng thời gian nhất định, gọi là chuỗi xung hay một dãy xung. (Hình 24-01-10)

Trong một chuỗi xung, các xung có hình dạng giống nhau và biên độ bằng nhau.

Nếu chuỗi xung được tạo ra liên tục trong quá trình làm việc thì gọi là chuỗi xung liên tục.

Nếu chuỗi xung được tạo ra trong từng khoảng thời gian nhất định gọi là chuỗi xung gián đoạn. Đối với chuỗi xung gián đoạn, ngoài các thông số cơ bản của xung còn có thêm các thông số:

- Số lượng xung trong chuỗi,
- Độ rộng chuỗi xung,
- Tần số chuỗi xung.



Hình 24-01-10: Chuỗi xung liên tục (a) và chuỗi xung gián đoạn (b)

2. Tác dụng của R, C đối với các xung cơ bản

Mục tiêu:

- Giải thích được sự tác động của các linh kiện thụ động đến dạng xung

2.1. Tác dụng của R, C đối với các xung cơ bản

2.1.1. Mạch tích phân:

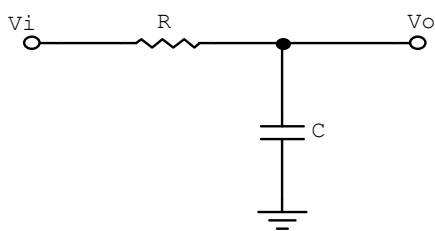
Là mạch mà tín hiệu ngõ ra tích phân theo thời gian của điện áp tín hiệu ngõ vào.

$$V_o(t) = K \int V_i(t) dt$$

V_o : điện áp ngõ ra

V_i : điện áp ngõ vào

K: hệ số tỉ lệ $K < 1$.



Hình 24-01-11: Sơ đồ mạch điện

a. Đối với xung vuông

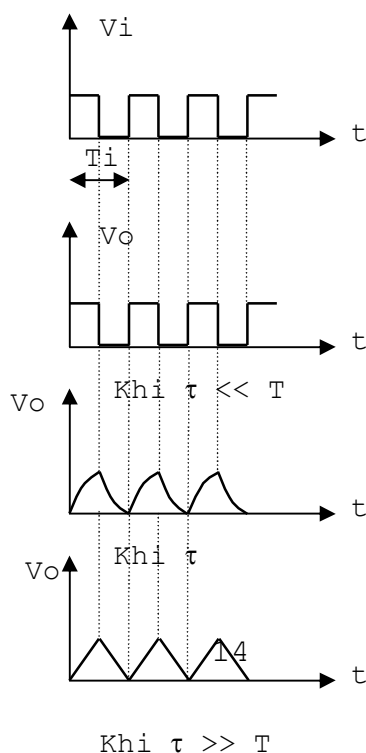
Nếu gọi $\tau = R.C$ là hằng số thời gian nạp, xả tụ thì. Có 3 trường hợp xảy ra như sau: $\tau \ll T_i$: là hằng số thời gian nạp lớn hơn rất nhiều so với chu kỳ T_i ; $\tau = \frac{T_i}{5}$: là hằng số thời gian nạp bằng 1/5 chu kỳ T_i ; $\tau \gg T_i$: là hằng số thời gian nạp nhỏ hơn rất nhiều so với chu kỳ T_i

Khi $\tau \ll T_i$ thời gian tụ, nạp xả rất nhanh nên dạng sóng ngõ ra gần giống

Khi $\tau = \frac{T_i}{5}$ sườn trước của xung răng là thời gian nạp điện của tụ, sườn sau là

thời gian tụ xả điện qua R về nguồn tín hiệu. Quá trình nạp xả theo hàm số mũ nên sườn trước và sườn sau có dạng cong. Điện áp tín hiệu ngõ ra thấp hơn điện áp tín hiệu ngõ vào.

Khi $\tau \gg T_i$ thời gian nạp vào và xả ra của tụ rất chậm nên biên độ xung ra V_o rất thấp đường cong nạp xả điện gần như tuyến tính (đường thẳng). (Hình 24-01-11)

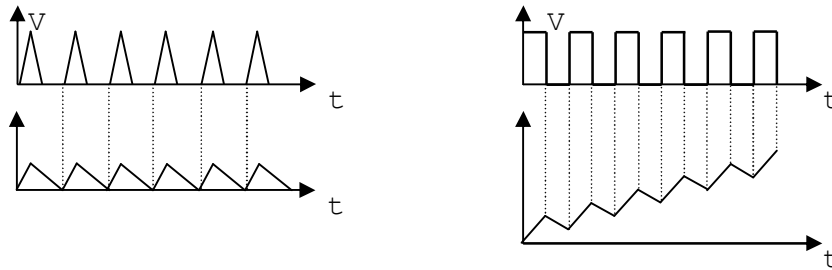


Hình 24-01-12: Các dạng xung với các trị số τ khác nhau của mạch tích phân

Như vậy: Nếu chọn R, C thích hợp thì Mạch tích phân có thể tạo ra xung răng cưa từ xung vuông. Trường hợp tín hiệu ngõ vào là một chuỗi xung hình chữ nhật với thời gian $T_{on} > T_{off}$. Khi cho tụ nạp điện và xả điện chưa hết thì lại được nạp điện làm cho điện áp trên tụ tăng dần.

b. Đối với xung nhọn

Người ta có thể xem xung nhọn như xung chữ nhật khi có cực tính hẹp, và do đó, khi qua mạch tích phân, thì biên độ xung giảm xuống rất thấp và đường cong xả điện gần như không đáng kể, nên trong kỹ thuật, mạch điện này được dùng để loại bỏ xung nhiễu ở nguồn. Hình 1.12



Hình 24-01-13: Dạng xung đầu ra của mạch

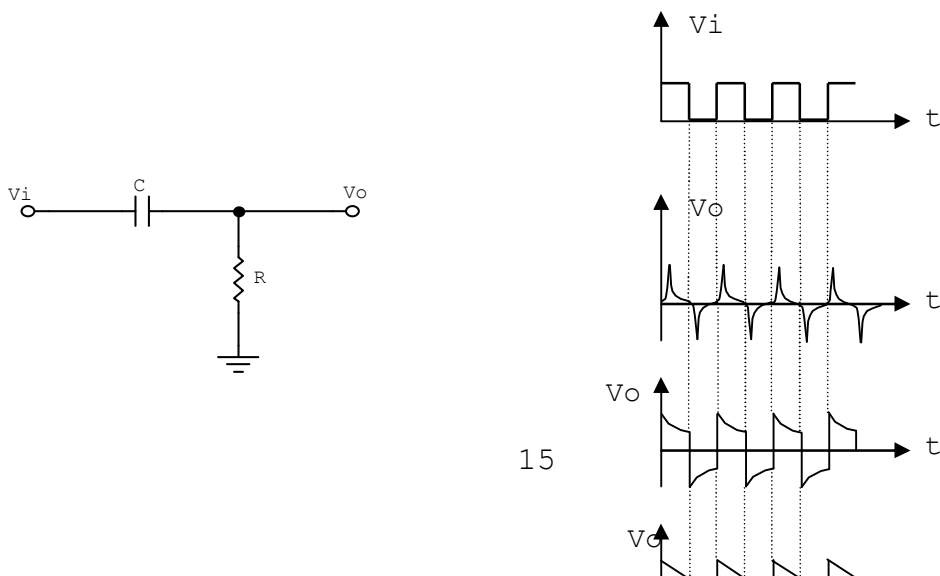
2.1.2. Mạch vi phân

Là mạch có điện áp ngõ ra $V_o(t)$ tỷ lệ với vi phân của điện áp ngõ vào $V_i(t)$ theo thời gian

$$U_o(t) = k \frac{dU_i(t)}{dt}$$

Kỹ thuật mạch vi phân có tác dụng thu hẹp độ rộng xung, tạo các xung nhọn để kích mở các linh kiện điều khiển như SCR, Triac, JGBT,...

Mạch điện mô tả mạch điện và dạng xung:



a)

b)

Hình 24-01-14: a) Sơ đồ nguyên lý mạch vi phân b) Các dạng xung V_i và V_o

a. Đối với xung vuông: với chu kỳ T_i hằng số thời gian $\tau = R.C$ có 3 trường hợp xảy ra:

$\tau \ll T_i$ tụ sẽ nạp và xả điện rất nhanh cho ra 2 xung ngược dấu có độ rộng hẹp gọi là xung nhọn.

$\tau = \frac{T_i}{5}$ tụ nạp điện theo hàm số mũ (đường đỉnh cong) qua điện trở R khi điện

áp ngõ vào bằng 0V tụ xả điện âm qua trở R tạo ra xung ngược dấu có biên độ giảm dần.

$\tau \gg T_i$: Tụ C đóng vai trò như 1 tụ liên lạc tín hiệu trong đó R làm tải của tín hiệu nên đỉnh xung ở phần sau có giảm một ít và cho ra 2 xung có cực tính trái dấu nhau.

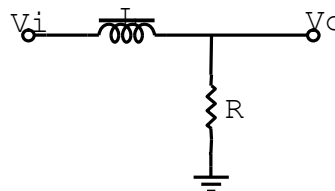
b. Đối với xung nhọn: do thời gian $\tau \gg T_i$ nên mạch đóng vai trò như một mạch liên lạc tín hiệu. Có tín hiệu ngõ ra V_o thấp hơn V_i .

2.2. Tác dụng của mạch R-L đối với các xung cơ bản

2.2.1. Mạch tích phân:

Tương tự như mạch tích phân dùng RC ta có điện áp ra V_o tỉ lệ với tích phân điện áp ngõ vào V_i

$$U_i(t) = K \int V_i(t) dt$$

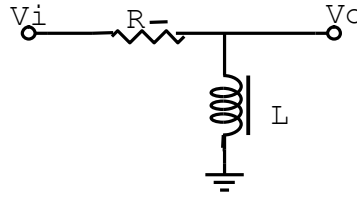


Hình 24-01-15: Sơ đồ mạch tích phân dùng RL

$$K = \frac{R}{L} \quad . \text{ Ta có } V_0(t) = \frac{R}{L}$$

2.2.2. Mạch vi phân:

$$V_0(t) = K \frac{dV_i(t)}{dt}$$

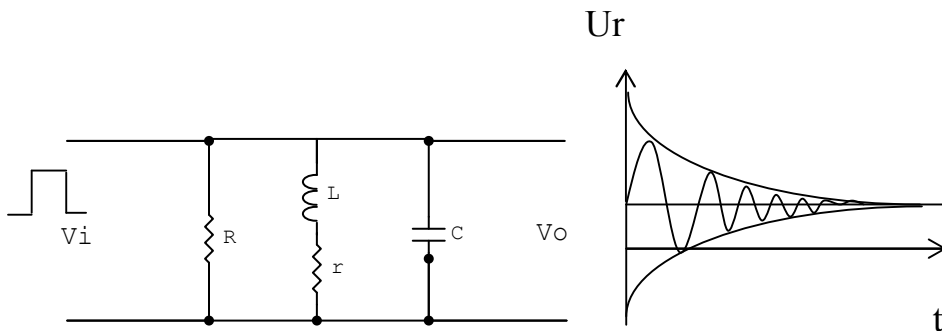


Hình 24-01-16: Sơ đồ mạch vi phân dùng RL

Tác dụng của mạch đối với các dạng xung giống như mạch RC

2.3. Tác dụng của mạch R-L-C đối với các xung cơ bản

Trong thực tế, mạch điện không dùng mạch mắc theo RLC trong các mạch xử lý dạng xung, thường sau khi đã xử lý xong thì mạch RLC thường dùng để lọc tín hiệu hoặc xử lý bù pha dòng điện, do dòng điện hay điện áp qua L, C đều bị lệch pha một góc 90^0 nhưng ngược nhau, nên cùng một lúc qua L và C sẽ dẫn đến chúng lệch nhau một góc 180^0 . Nên dễ sinh ra hiện tượng cộng hưởng, tự phát sinh dao động. Hình 24-01-17



Hình 24-01-17: Mạch R-L-C

Khi tác động vào mạch một đột biến dòng điện, trong mạch sẽ phát sinh dao động có biên độ suy giảm và dao động quanh trị số không đổi I_r . Nguyên nhân của sự suy giảm là do do điện trở song song với mạch điện R và r làm rẽ nhánh dòng điện ngõ ra. Nếu tần số của cộng hưởng riêng của mạch trùng với tần số của xung ngõ vào làm cho mạch cộng hưởng, biên độ ngõ ra tăng cao. Nếu ngõ vào là chuỗi xung thì:

- Nếu thời gian lặp lại của xung ngắn hơn chu kỳ cộng hưởng biên độ ngõ ra sẽ tăng dần theo thời gian dễ gây quá áp ở ngõ vào của tầng kế tiếp.

- Nếu thời gian lặp lại của xung bằng với chu kỳ cộng hưởng thì biên độ tín hiệu ngõ ra gần bằng với tín hiệu ngõ vào, có dạng hình sin và thêm điện áp là hình sin tắt dần, không có lợi cho các mạch xung số. Trong thực tế mạch này được dùng để lọc nhiễu xung có biên độ cao và tần số lớn với điện áp ngõ vào có dạng hình sin.

- Nếu thời gian lặp lại của xung dài hơn chu kỳ cộng hưởng thì dạng sóng ngõ ra có dạng như hình 24-01-17.

CÂU HỎI ÔN TẬP

- 1.1. Trình bày định nghĩa xung điện và các tham số đặc trưng?
- 1.2. Hãy nêu tác dụng của R,C đối với các xung cơ bản ?
- 1.3. Hãy nêu tác dụng của R,L,C đối với các xung cơ bản ?

BÀI 2 : MẠCH DAO ĐỘNG ĐA HÀI

Mã bài : MB 14-02

Giới thiệu

Xung vuông là một trong những xung cơ bản của kỹ thuật điều khiển. Do đó, nhận biết được dạng xung và các thông số cơ bản của nó là một trong những nội dung quan trọng, trong đó mạch dao động đa hài là một trong những mạch cơ bản tạo ra loại xung này.

Mục tiêu

- Trình bày được cấu tạo, đặc điểm, ứng dụng của các mạch dao động đa hài
- Phân tích được nguyên lý hoạt động các mạch dao động đa hài
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính xác

Nội dung chính:

1. Mạch dao động đa hài đơn ổn

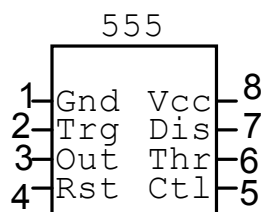
- Trình bày cấu tạo, nguyên lý hoạt động mạch dao động đơn ổn.
- Kiểm tra và lắp ráp được các mạch dao động.

1.1. Mạch dao động đa hài dùng IC 555

IC 555 trong thực tế còn gọi là IC định thời. Họ IC được ứng dụng rất rộng rãi, nhất là trong lĩnh vực điều khiển, vì nó có thể thực hiện nhiều chức năng như định thời, tạo xung chuẩn, tạo tín hiệu kích thích điều khiển các linh kiện bán dẫn công suất.

1.1.1 Cấu tạo của IC 555

- IC 555 vỏ plastic có cấu tạo các chân như trình bày trên Hình 24-02-1.



Hình 24-02-1: Sơ đồ chân IC 555

Họ IC 555 được ký hiệu dưới nhiều dạng ký hiệu khác nhau: MN555, LM555, μ C555, NE555, HA17555, μ A555...

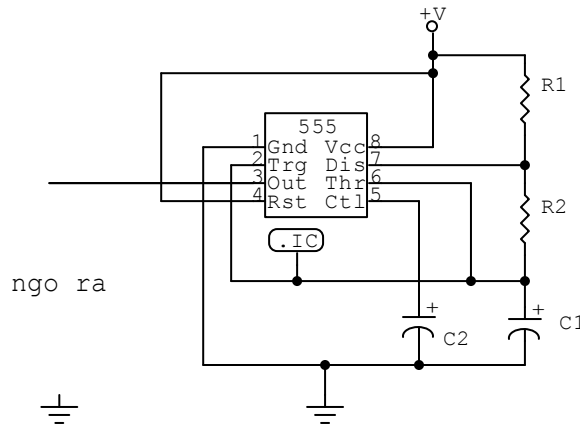
Chức năng của các chân IC 555 được nêu trong bảng dưới đây:

Bảng 2.1: Chân IC 555 và các chức năng của các chân

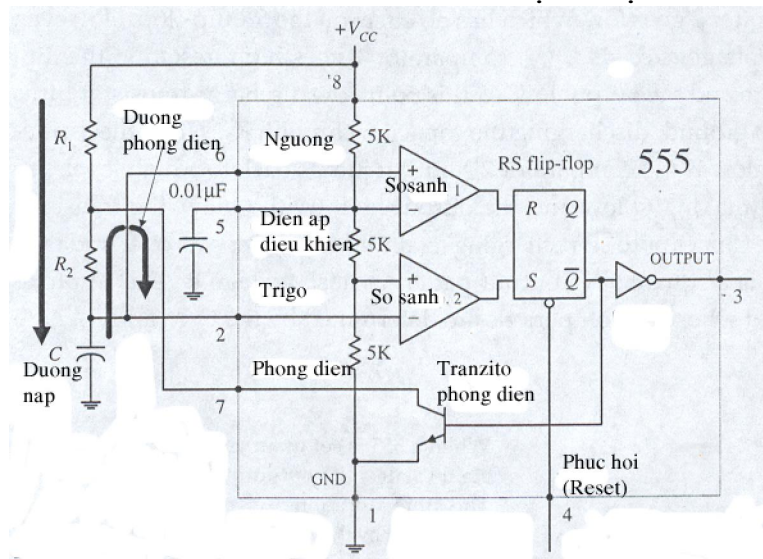
THỨ TỰ CHÂN	TÊN CHÂN	CHỨC NĂNG CÁC CHÂN
1	GND	Chân nối đất hay nguồn âm

2	TRIGGER INPUT	Ngõ vào của xung
3	TRIGGER OUTPUT	Ngõ ra của xung
4	RESET	Phục hồi
5	CONTROL VOLTAGE	Điện áp điều khiển
6	THRESHOLD	Ngưỡng
7	DISCHARGE	Xả điện
8	+Vcc	Nguồn cung cấp

Sơ đồ mạch điện của mạch dao động đa hài dùng IC 555:



Hình 24-01-2a: Sơ đồ mạch điện cơ bản



Hình 24-02-2b: Sơ đồ mạch điện dao động đa hài cơ bản dùng IC 555

Chân 2 được nối với chân 6 để cho chân ngõ vào và chân giữ mức thêm (mức ngưỡng) có chung điện áp phân cực.

Chân 5 được nối với tụ C_2 xuống GND để lọc nhiễu tần số cao. Vì vậy, tụ này thường có trị số không lớn lắm, được chọn vào khoảng từ 1 đến $0,001\mu\text{F}$.

Chân 4 nối nguồn Vcc vì không dùng chức năng Reset

Chân 7 là chân xả điện, nên được nối giữa 2 điện trở R_1 và R_2 làm đường nạp và xả điện cho tụ C_1 .

1.1.2 Nguyên lí hoạt động của mạch

Khi được cấp nguồn Vcc, tụ C_1 được nạp điện qua R_1 , R_2 với hằng số thời gian nạp:

$$t_n = 0,69 (R_1 + R_2)C_1 \quad (2.6)$$

Đồng thời R_1 , R_2 làm nhiệm vụ phân cực bên trong IC, lúc này mạch sẽ tự dao động.

Hằng số thời gian xả là:

$$t_p = 0,69R_2C_1 \quad (2.7)$$

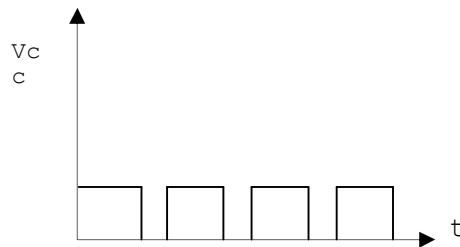
Điện áp ngõ ra ở chân 3 có dạng hình vuông với chu kỳ là:

$$T = 0,69 (R_1 + 2R_2)C_1 \quad (2.8)$$

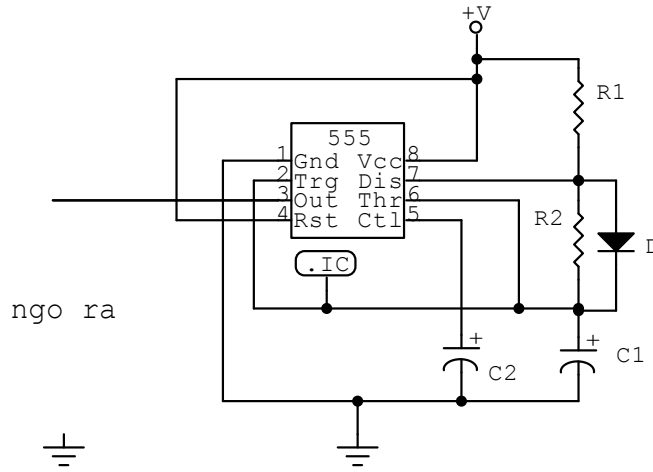
Do thời gian nạp vào và thời gian xả ra không bằng nhau ($t_{nạp} > t_{xả}$) nên tần số của tín hiệu xung là:

$$f = \frac{1}{T} = \frac{1}{0,69 (R_1 + 2R_2)C_1} \quad (2.9)$$

Dạng xung ngõ ra ở chân 3 có dạng:



Hình 24-02-3: Dạng sóng ra



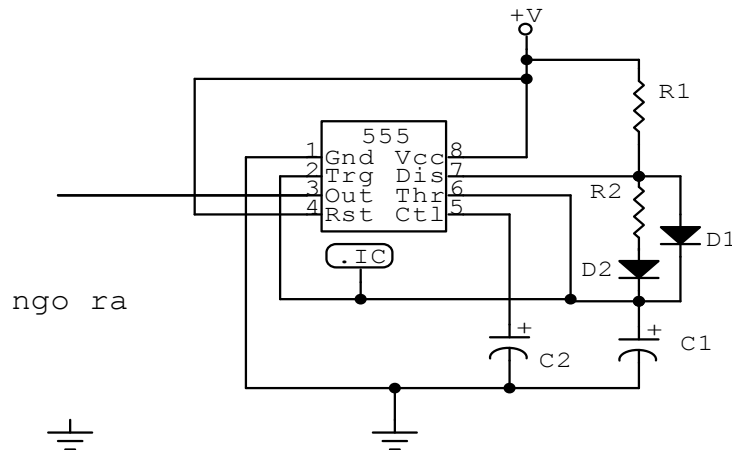
Hình 24-02-4: Sơ đồ mạch điện dao động đa hài dùng IC 555

Trong thực tế, để có dạng xung vuông đối xứng, có thể thực hiện một số phương pháp sau:

Phương pháp 1: chọn trị số $R_1 \ll R_2$ lúc này sai số giữa thời gian nạp và thời gian xả xem như không đáng kể.

Phương pháp 2: Chọn $R_1 \approx R_2$ sau đó mắc song song một điốt D phân cực thuận nạp cho tụ không qua R_2 , còn khi xả điện, điốt D bị phân cực ngược nên vẫn xả điện qua R_2 .

Tuy nhiên, trong thực tế, điốt có nội trở, nên thời gian nạp qua R_1 và D vẫn lớn hơn R_2 , nên để cho mạch thật đối xứng, người ta thường bổ sung thêm một điốt D_2 giống như điốt D_1 . Điốt D_2 được mắc nối tiếp với R_2 để cho đường nạp và đường xả điện hoàn toàn giống nhau.

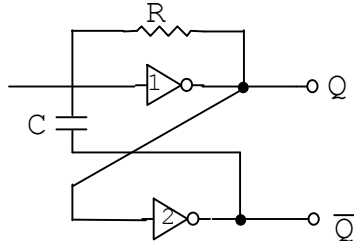


Hình 24-02-5: Sơ đồ mạch điện dùng hai điốt D_1 và D_2

2.2. Mạch dao động đa hài dùng cổng logic

Để thực hiện mạch dao động đa hài không ổn dùng cổng logic, người ta có thể thực hiện bằng nhiều cách khác nhau trên cơ sở 2 mạch đảo, như trình bày trên Hình 24-02-6

2.2.1. Mạch dùng cổng NOT (cổng đảo)



Hình 24-02-6: Sơ đồ mạch điện dùng hai cổng đảo

Trong Hình 24-02-6, ngõ ra của cổng đảo 1 được nối đến ngõ vào của cổng đảo 2 và ngõ ra của cổng đảo 2 được nối trở lại ngõ vào của cổng đảo 1 qua tụ liên lạc C. Việc chuyển đổi trạng thái của mạch được thực hiện nhờ quá trình nạp xả của tụ C qua điện trở R tạo thành vòng hồi tiếp dương kín.

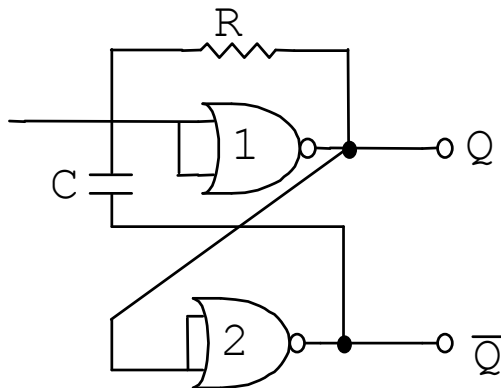
Giả sử, cổng đảo 1 có $Q = 1$ thì cổng đảo 2 có $\bar{Q} = 0$, do đó, lúc này tụ nạp điện qua R đến khi tụ C nạp đầy điện áp ngõ vào cổng đảo 1 tăng lên mức cao, ngõ ra $Q = 0$ tác động đến ngõ vào cổng đảo 2 làm ngõ ra $\bar{Q} = 1$, điện áp trên tụ tăng, tụ xả đi điện qua R đến khi hết điện, điện áp ngõ vào cổng đảo 1 lúc này giảm thấp, Q chuyển sang trạng thái $Q=1$ tác động ngõ vào cổng đảo 2 làm cho $\bar{Q}=0$.

Quá trình cứ thế tiếp tục diễn ra, mạch thực hiện chức năng tự dao động.

$$\text{Chu kỳ xung ra } T = 2,3RC \quad (2.8)$$

$$\text{Tần số xung } f = \frac{1}{T} = \frac{1}{2,3RC} \quad (2.9)$$

3.2. Mạch dùng cổng NAND:



Hình 24-02-7: Mạch dao động đa hài dùng hai cổng NAND

Mạch trong sơ đồ Hình 2.9 có 2 ngõ vào nối tắt nên thực chất cũng giống như cổng đảo.

Ngõ ra của cổng NAND 1 có Q được nối với ngõ vào cổng NAND 2 và ngược lại ngõ ra của cổng NAND 2 có \bar{Q} được nối đến ngõ vào của cổng NAND 1, tạo thành một mạch vòng kín hồi tiếp dương. Tụ C và điện trở R dùng để xác lập tần số của mạch, công thức được tính giống như công thức 2.8 và 2.9.

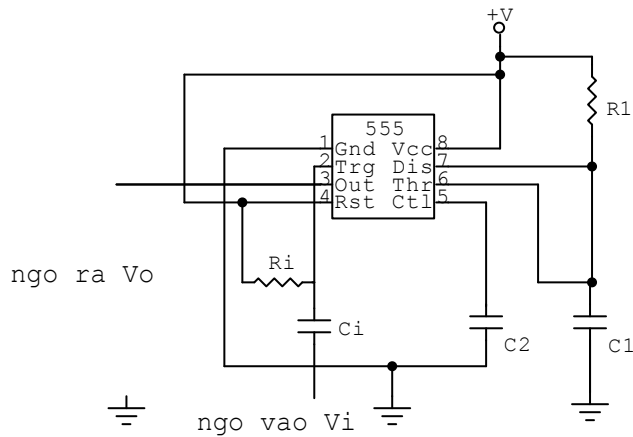
2. Mạch dao động đa hài đơn ổn

Mục tiêu:

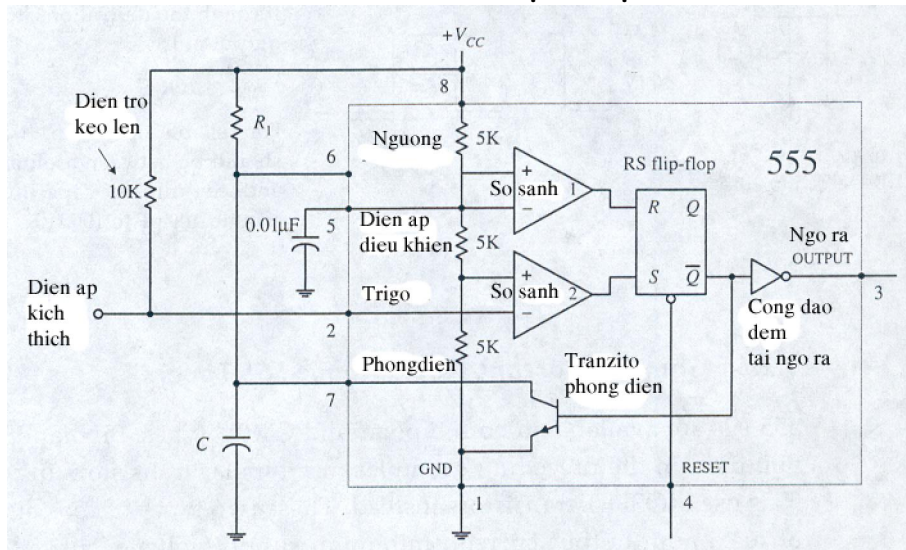
- Trình bày cấu tạo, đặc điểm, ứng dụng, nguyên lý hoạt động mạch dao động đa hài đơn ổn

2.1. Mạch dao động đa hài đơn ổn dùng IC 555

2.1.1 Cấu tạo



Hình 24-02-8a: Sơ đồ mạch điện cơ bản



Hình 24-02-8b: : Sơ đồ mạch điện thực tế

Nhiệm vụ các chân:

Chân1: nối GND.

Chân 2: ngõ vào xung kích được phân cực sao cho điện áp tại chân này cao hơn $2/3V_{cc}$

Chân 3: ngõ ra xung.

Chân 4: chân hồi phục được mắc lên nguồn đặt ở mức cao.

Chân 5: điều khiển có thể để trống hoặc gắn với một tụ C_2 trị số khoảng vài ngàn đến vài chục ngàn PF để chống nhiễu.

Chân 6: giữ mức thêm (mức ngưỡng).

Chân 7: xả điện.

Hai chân 6 và 7 được nối chung với nhau và nối với nguồn qua R_1 kết hợp với tụ C_1 xác định thời hằng của xung.

Chân 8: nguồn V^+ được nối với nguồn V_{cc}

2.1.2 Nguyên lí hoạt động của mạch

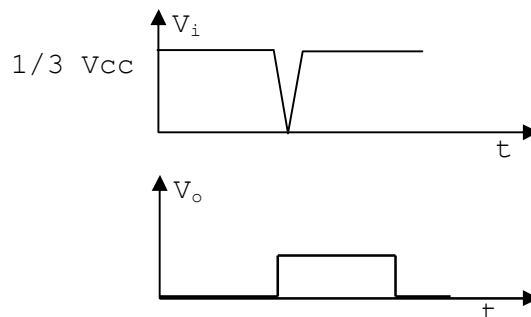
Khi được cấp nguồn V_{cc} , do chân 2 được nối với nguồn V_{cc} qua R_1 và chân 6 giữ thêm mắc vào chân 7 phục hồi, nên lúc này điện áp tại chân 6 và 7 bằng nhau và bằng 0, mạch giữ nguyên trạng thái nên không tạo được dao động, xung ngõ ra chân 3 không xuất hiện.

Khi có một xung âm được kích thích vào chân 2 (hoặc chân 2 được nối với vỏ máy trong thời gian ngắn) lúc này điện áp phân cực tại chân 2 giảm thấp xuống dưới mức $2/3V_{cc}$ nên điện áp tại chân 7 tăng, tụ C_1 được nạp điện qua điện trở R_1 , ngõ ra chân 3 lên mức cao tạo xung ra.

Khi điện áp nạp trên tụ tăng dần đến khi đạt giá trị $2/3V_{cc}$ mạch đổi trạng thái làm việc trở về trạng thái ban đầu chấm dứt xung ra, đồng thời chân 7 cũng đặt xuống mức thấp $0V$, tụ C_1 xả điện qua chân 7 xuống GND, mạch trở về trạng thái ban đầu chờ xung âm kế tiếp kích mở.

$$t_x = 1,1 R_1 C_1 \quad (3.7)$$

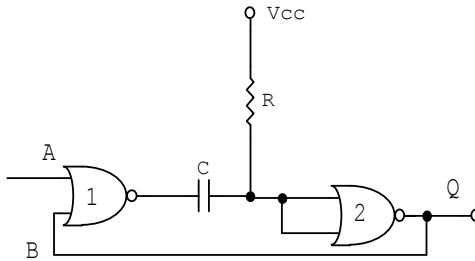
Dạng sóng ra ở các chân:



Hình 24-02-9: Dạng sóng ở các ra

2.2. Mạch dao động đa hài đơn ổn dùng cổng logic

Mạch đơn ổn dùng cổng NOR có sơ đồ như hình vẽ sau:



Hình 24-02-10. Mạch dao động đơn ổn dùng cổng NOR

Khi mới kết nối với nguồn điện cung cấp, nếu ngõ vào $A = 0$ (mức thấp), lúc này ngõ ra của cổng NOR 2 ở mức thấp, ngõ vào ở mức cao nhờ R mắc lên nguồn cung cấp V_{CC} , nên ngõ vào của cổng NOR 2 có mức cao, ngõ ra của cổng NOR 2 có mức thấp, mức này được đưa trở về ngõ vào B của cổng NOR 1, nên ngõ ra của cổng NOR 1 ở mức cao. Điện áp hai chân tụ xấp xỉ bằng nhau, tụ không nạp điện.

Khi tác động ngõ vào $A = 1$, ngõ ra của cổng NOR 1 đổi trạng thái xuống mức thấp, tụ nạp điện qua R làm ngõ vào của cổng NOR 2 giảm xuống mức thấp, ngõ ra Q của cổng NOR 2 lên mức cao (bằng với nguồn cung cấp V_{CC}), tạo xung ngõ ra.

Khi tụ được nạp đầy, ngõ vào của cổng NOR 2 lên mức 1, ngõ ra của cổng NOR 2 ở mức 0, chấm dứt xung ngõ ra trở về trạng thái ổn định ban đầu.

3. Mạch dao động đa hài lưỡng ổn

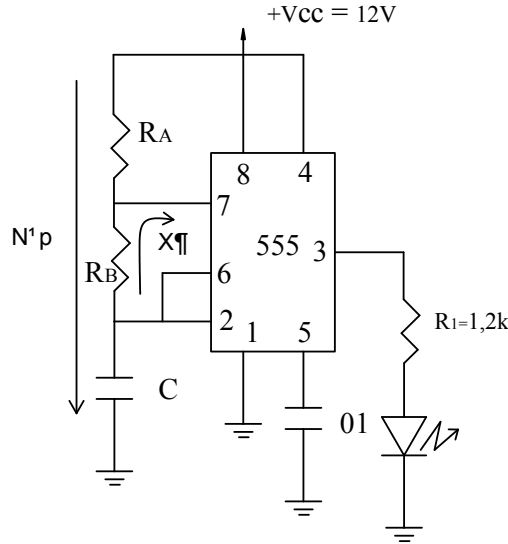
Mục tiêu:

- Trình bày cấu tạo, đặc điểm, ứng dụng, nguyên lý hoạt động mạch dao động đa hài lưỡng ổn

3.1. Mạch dao động đa hài lưỡng ổn dùng IC 555

3.1.1 Mạch điện đa hài lưỡng ổn dùng IC 555

Sơ đồ mạch Hình 24-02-11 là ứng dụng của IC 555 là mạch đa hài lưỡng ổn để tạo xung vuông.



Hình 24-02-10: Sơ đồ mạch điện đa hài lưỡng ổn dùng IC 555

Trong mạch chân ngưỡng (Threshold) số 6 được nối với chân này (trigger) số 2 nên chân này có chung điện áp là điện áp trên tụ C để so với điện áp chuẩn $2/3 V_{cc}$ và $1/3 V_{cc}$ bởi op-amp (1) và op-amp(2). Chân 5 có tụ nhỏ ,01 nối mass để lọc nhiễu tần số cao có thể làm ảnh hưởng điện áp chuẩn $2/3 V_{cc}$

Chân 4 nối nguồn + Vcc nên không dùng chức năng reset, chân 7 xả điện được nối vào giữa 2 điện trở R_A và R_B tạo đường xả điện cho tụ . Ngõ ra chân 3 có điện trở giới hạn dòng 1,2K và Led để biểu thị mức điện áp ra-chỉ có thể dùng trong trường hợp tần số giao động có trị số thấp từ 20 Hz trở xuống vì ở tần số cao hơn 40 Hz trạng thái sáng + tắt của Led khó có thể nhận biết bằng mắt thường.

Khi mới đóng điện tụ C bắt đầu nạp từ 0v nên :

- OP-AMP(1) có $v_i^+ < v_i^-$ nên ngõ ra có $V_{01} =$ mức thấp, ngõ R=0(mức thấp)
- OP-AMP (2) có $V_i^+ > V_i^-$ nên ngõ ra có $V_{02} =$ mức cao , ngõ S=1(mức cao)
- Mạch F/F có ngõ S=1 nên $Q=1$ và $\bar{Q} = 0$. lúc đó ngõ ra chân 3 có $V_0 \approx V_{cc}$

(do qua mạch đảo) làm led sáng.

- Transistor T_2 có $V_{B2} = 0$ do $\bar{Q} = 0$ nên T_2 ngưng dẫn và để tụ C được nạp điện

Tụ C nạp điện qua R_A và R_B với hằng số thời gian khi nạp là:

$$\tau_{nạp} = (R_A + R_B).C$$

Khi điện áp tụ tăng đến mức $1/3 V_{cc}$ thì OP-AMP(2) đảo trạng thái , ngõ ra $V_{02} =$ mức thấp . ngõ S= 0 (mức thấp) . Khi S xuống mức thấp thì F/F không đổi trạng thái nên điện áp ngõ ra vẫn ở mức cao . led vẫn sáng

Khi điện áp tụ tăng đến mức $2/3 V_{cc}$ thì OP-AMP (1) đổi trạng thái, ngõ ra có V_{01} =mức cao, ngõ R=1.

- Mạch F/F có ngõ R=1 nên $\bar{Q}=1$. Lúc đó ra chân 3 có $V_0 \approx 0v$ làm Led tắt. Khi ngõ $\bar{Q}=1$ sẽ làm T_2 dẫn bão hòa và chân 7 nối mass làm tụ C. không nạp tiếp điện áp được mà phải xả điện qua R_B và Transistor T_2 xuống mass. Tụ C xả điện qua R_B với hằng số thời gian là:

$$\tau_{xa} = R_B . C$$

Khi điện áp trên tụ - tức là điện áp chân 2 và chân 6 – giảm xuống dưới $2/3 V_{cc}$ thì OP-AMP(1) đổi trở lại trạng thái cũ là V_{01} = mức thấp , ngõ R=0. Khi R xuống mức thấp thì F/F không đổi trạng thái nên điện áp ngõ ra vẫn ở mức thấp, Led vẫn tắt. Khi điện áp trên tụ giảm xuống đến mức $1/3 V_{cc}$ thì OP-AMP(2) lại có $V_i^+ > V_i^-$ nên ngõ ra có V_{02} = mức cao, ngõ $S_1=1$. Mạch F/F có ngõ S=1 và $\bar{Q}=0$, ngõ ra chân 3 qua mạch đảo có $V_0 \approx + V_{cc}$ làm Led lại sáng, đồng thời lúc đó T_2 mất phân cực do $\bar{Q} = 0$ nên ngưng dẫn và chấm dứt giai đoạn xả điện của tụ. Như vậy mạch đã trở lại trạng thái ban đầu và tụ lại nạp điện từ mức $1/3 V_{cc}$ lên đến $2/3 V_{cc}$, hiện tượng này sẽ tiếp diễn liên tục và tuần hoàn

Lưu ý: Khi mới mở điện tụ C sẽ nạp điện từ $0v$ lên $2/3 V_{cc}$ rồi sau đó tụ xả điện là $2/3 V_{cc}$ xuống $1/2 V_{cc}$ chứ không xả xuống $0v$. Những chu kỳ sau tụ sẽ nạp từ $1/3 V_{cc}$ chứ không nạp từ $0v$ nữa.

Thời gian tụ nạp là thời gian $V_0 \approx 0v$. Led tắt.

Thời gian nạp và xả tụ được tính theo công thức:

* Thời gian nạp: $t_{nap} = 0,69 . \tau_{nap}$:

$$t_{nap} = 0,69 . (R_A + R_B) C$$

* Thời gian xả: $t_{xa} = 0,69 . \tau_{xa}$

$$t_{xa} = 0,69 . R_B . C$$

Điện áp ở ngõ ra chân 3 có dạng hình vuông với chu kỳ là:

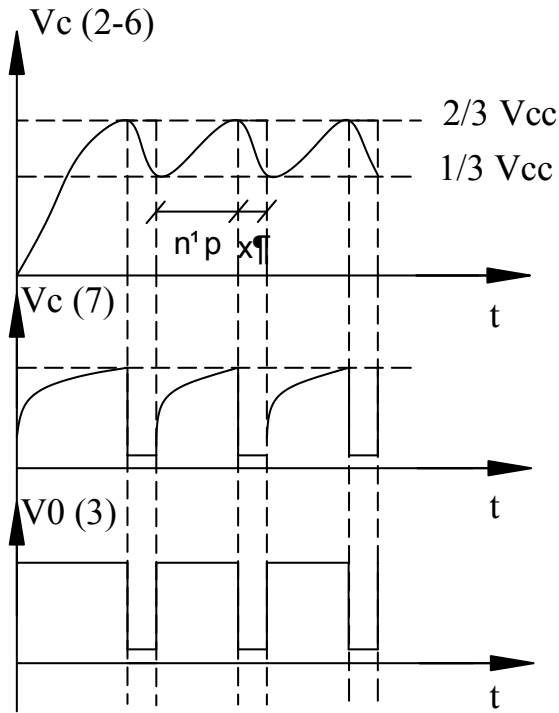
$$T = t_{nap} + t_{xa}$$

$$T = 0,69(R_A + 2R_B) . C$$

Do thời gian nạp và thời gian xả không bằng nhau ($t_{nap} > t_{xa}$) nên tín hiệu hình vuông ra không đối xứng. Tần số của tín hiệu hình vuông là:

$$f = \frac{1}{T} = \frac{1}{0,69(R_A + 2R_B)C}$$

3.1.2 Dạng sóng ra tại các chân



Hình 24-02-12: Dạng sóng ra tại các chân

Hình 24-02-12 là dạng điện áp các chân 2-6, chân 7 và chân 3 trong đó khoảng thời gian điện áp tăng là thời gian tụ nạp, khoảng thời gian trên điện áp giảm là thời gian tụ xả.

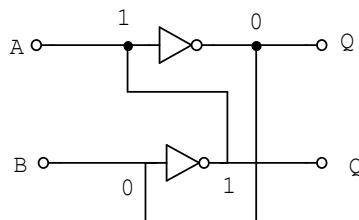
Khi khảo sát dạng điện áp tại các chân cần lưu ý khi mới mở điện thì tụ C sẽ nạp điện từ 0V lên đến $2/3 V_{cc}$ nhưng khi xả chỉ xả đến $1/3 V_{cc}$. Để tính chu kỳ của tín hiệu người ta chỉ tính các lần nạp sau chứ không xét đến lần nạp đầu tiên.

Khi tụ nạp thì chân 7 có điện áp cao hơn chân 2-6, nhưng khi tụ xả thì chân 7 giảm nhanh xuống 0V- do T_2 trong IC chạy bão hòa – chứ không giảm theo hàm số mũ trên tụ C.

3.2. Mạch dao động đa hài lưỡng ổn dùng cổng logic

3.2.1. Mạch Flip - Flop

Để tạo mạch flip - flop chỉ cần mắc 2 cổng NOT chéo nhau như Hình 24-02-11



Hình 24-02-13: Sơ đồ mạch Flip Flop cơ bản

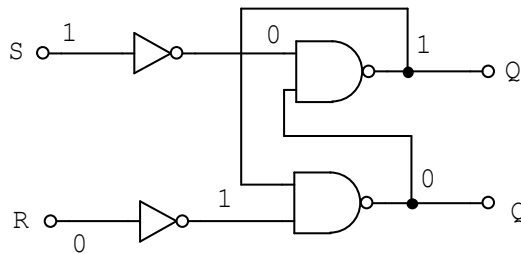
Khi được cấp điện, nếu ngõ ra $Q = 0$ thì ngõ vào $B = 0$ qua mạch đảo làm $\bar{Q} = 1$ và mạch ổn định ở trạng thái này. Mạch cũng có thể ở trạng thái ngược lại là $Q = 1$ và $\bar{Q} = 0$ cũng được ổn định

Như vậy mạch có hai trạng thái ổn định theo nguyên lí mạch đa hài lưỡng ổn
 Để có thể chọn trạng thái cho mạch, người ta có thể dùng các cổng NAND hay NOR và gọi là RS Flip -Flop

RS Flip-Flop dùng cổng NAND:

Để điều khiển chọn trạng thái người ta dùng cổng NAND có hai ngõ vào .Một ngõ vào nhận hồi tiếp và một ngõ vào còn lại để điều khiển

Mạch FF hình 24-02-12 dùng hai cổng NAND và hai cổng NOT



Hình 24-02-14: RS Flip-Flop dùng cổng NAND

Hai ngõ được gọi là set (S) và reset (R)

Hai ngõ ra được gọi là không đảo (Q) đảo \bar{Q}

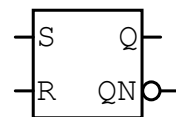
Nếu $S = 1, R = 0$, thì ngõ ra $Q = 1, \bar{Q} = 0$ (như hình vẽ)

Nếu $S = 0, R = 1$, thì ngõ ra $Q = 0, \bar{Q} = 1$ (như hình vẽ)

Giả sử ở trạng thái như hình vẽ ta cho $S = 0$, mạch vẫn giữ nguyên trạng thái

Tóm lại ngõ ra Q và \bar{Q} chỉ đổi trạng thái hai ngõ vào cùng đổi trạng thái Q cùng trạng thái với S và \bar{Q} cùng trạng thái với R

	R	Q	\bar{Q}
	1	0	1
	0	1	0
	1	Không đổi	



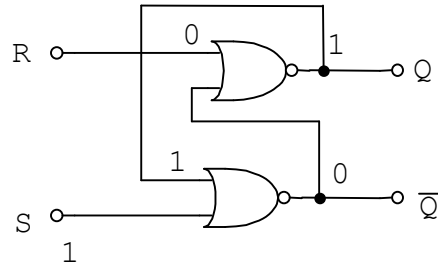
	0	Cấm
--	---	-----

Hình 24-02-15: Ký hiệu và bảng sự thật Rs Flip Flop

3.2.2. Mạch RS Flip - Flop

Trong mạch RS flip-flop (Hình 24-02-16) Nếu bỏ đi NOT ở ngõ vào thì mạch vẫn có nguyên lí như mạch flip-flop nhưng hoạt động ngược lại

	R	Q	\bar{Q}
	1	1	0
	0	0	1
	1	Không đổi	
	0	Cấm	



Hình 24-02-16: Sơ đồ logic và bảng sự thật

Trạng thái cấm trong $\bar{R}\bar{S}$ flip-flop là $\bar{S} = 0, \bar{R} = 0$ vì theo lí luận lúc này ở ngõ ra $Q = 0$ và $\bar{Q} = 1$ ngược lại với nguyên lí mạch lưỡng ổn nên gọi là trạng thái cấm

4. Mạch schmitt – Triger

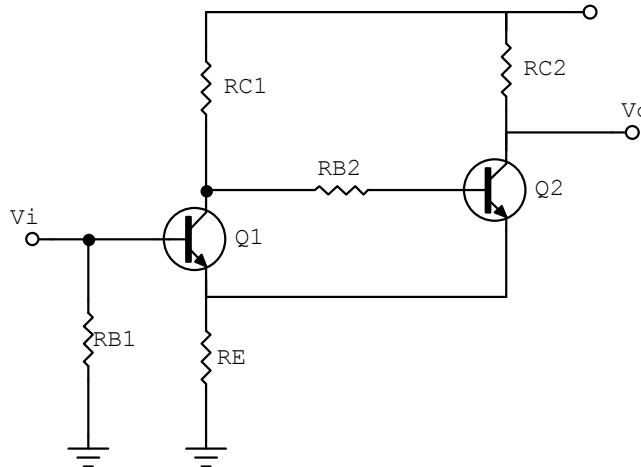
Mục tiêu:

- Trình bày được cấu tạo và nguyên lý hoạt động của mạch schmitt – Triger

4.1. Mạch Schmitt-trigger dùng tranzitor

4.1.1. Sơ đồ mạch điện cơ bản

Trên sơ đồ (hình 24-02-15) hai tranzito Q_1 và Q_2 được mắc trực tiếp có chung cực E. Cực B_2 được phân cực nhờ R_{b2} lấy từ V_{C1} để có điện áp vào là xung vuông thì hai transistor Q_1 và Q_2 phải làm việc luân phiên ở chế độ bão hòa và ngưng dẫn. khi Q_1 ngưng dẫn thì Q_2 bão hoà và ngược lại khi Q_1 bão hòa thì Q_2 ngưng dẫn



Hình 24-02-17: Sơ đồ mạch Schmitt trigger cơ bản

4.1.2. Nguyên lí hoạt động :

- Khi chưa có tín hiệu ngõ vào :

Tranzito Q_1 ngưng dẫn do phân cực $V_{be} \approx 0$ (R_{B1} nối mass)

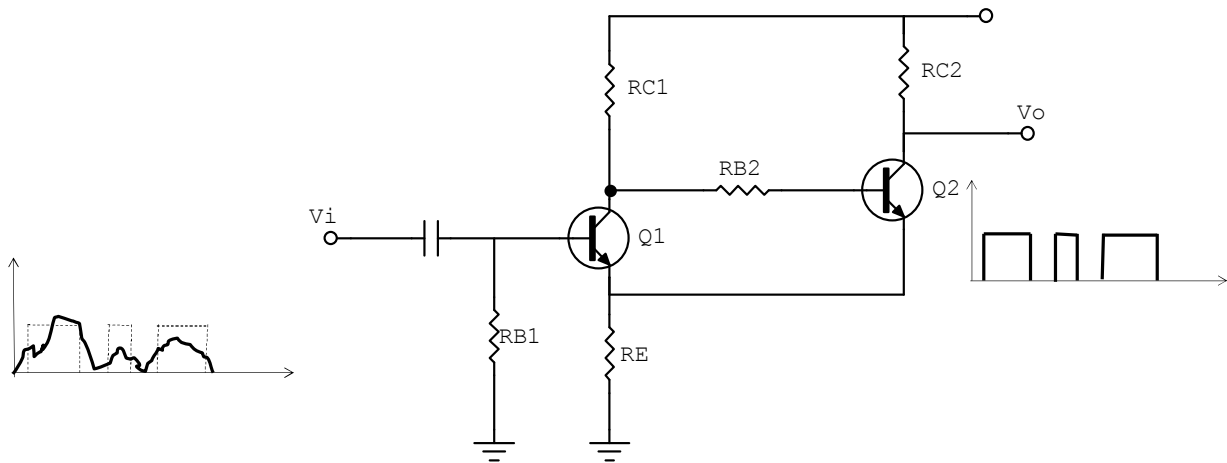
Tranzito Q_2 dẫn bão hòa do V_{C1} tăng cao qua R_{B2} phân cực $V_{BE2} \approx 0,7V$. Khi chưa có tín hiệu thời gian dẫn bão hòa lâu, có thể làm Q_2 thủng nên dòng phân cực qua R_{C2} nhỏ

Tín hiệu phải có biên độ đủ lớn để kích Q_1 dẫn bão hòa do đó tín hiệu trước khi được đưa đến mạch schmitt-trigger được đưa qua các mạch khuếch đại

Tín hiệu ngõ vào thường được ghép qua tụ để phân cách thêm điện áp phân cực giảm sự ảnh hưởng do ghép tầng

- Khi có tín hiệu ngõ vào:

Tranzito Q_1 chuyển từ trạng thái ngưng dẫn sang trạng thái dẫn làm điện áp V_{C1} 0 giảm qua R_{B2} làm cho V_{B2} giảm kéo theo sự giảm điện áp V_{E2} cũng chính là V_{E1} do được mắc chung làm cho V_{BE1} nhanh chóng tăng cao hơn $0,7V$ Q_1 dẫn bão hòa $V_{CE1} \approx 0,2V$ qua R_{B2} $V_{CE2} \approx 0,2V$, Q_2 ngưng dẫn ở ngõ ra V_{C2} ta được tín hiệu có dạng xung phụ thuộc vào dạng xung ngõ vào ở Hình 5.2



Hình 24-02-18: Dạng tín hiệu ngõ vào và ngõ ra mạch Schmitt trigger

Như vậy ngõ ra của mạch schmitt trigger ta có được các xung vuông có biên độ bằng nhau nhưng độ rộng xung phụ thuộc độ rộng tín hiệu tương tự ngõ vào

4.1.3. Lắp ráp và khảo sát mạch

Bước 1: Chuẩn bị linh kiện gồm:

- Điện trở: $R_{B1}=6K8$, $R_{C1}=10K\Omega$, $R_{C2}=10K\Omega$, $R_{B2}=6K8$, $R_{E}=1K\Omega$
- Tụ điện= $10\mu f/35V$
- Transistor= 2 C828

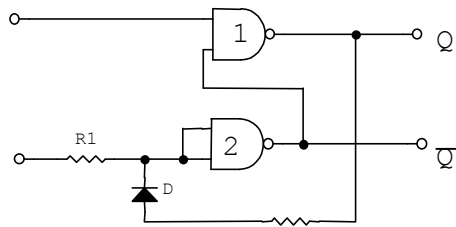
- Máy hiện sóng tương tự
- Nguồn DC điều chỉnh được từ 0v-30v
- Bo mạch đa năng
- Mở hàn xung:
- Thiếc+ nhựa thông

Bước 2: Lắp ráp theo sơ đồ Hình 24-02-18

Bước 3: Đo dạng ra của mạch

4.2. Mạch Schmitt trigger dùng cổng logic

4.2.1 Mạch dùng cổng NAND



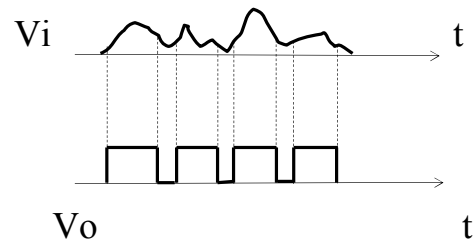
Hình 24-02-19: Sơ đồ mạch schmitt trigger dùng cổng NAND

Khi điện áp V_i ngõ vào mức thấp thì 2 ngõ vào của cổng (2) ở mức thấp nên cổng (&) có ngõ ra ở mức cao $\bar{Q}=1$ và ra cổng (1) có chức năng của cổng NOT nên ngõ ra Q ở mức thấp $Q=0$.

Khi điện áp V_i ngõ vào mức tăng thì ngõ ra xuống mức thấp $\bar{Q}=0$ và ra cổng (2) đảo lại ngõ ra lên mức cao $Q=1$ làm cho Diode lúc này bị phân cực thuận duy trì trạng thái này mặc dù V_i có thể giảm thấp hơn điện áp ngưỡng V_n

Có thể giải thích tương tự với cổng NOT

Dạng tín hiệu biểu diễn:

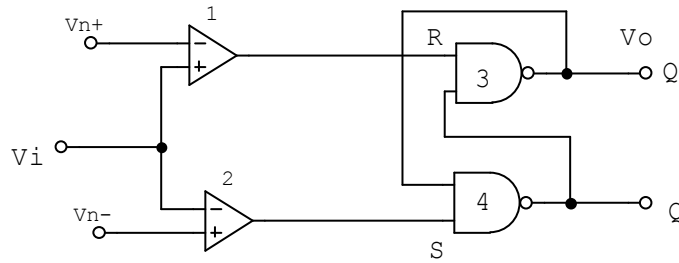


Hình 24-02-19: Dạng sóng vào và ra của mạch

4.2.2. Mạch kết hợp OP_AMP và cổng NAND

Để có độ chuyển mạch chính xác người ta ghép OP-AMP và cổng NAND theo sơ Hình 24-02-20.

Trong sơ đồ 2 OP-AMP (1) và (2) là 2 mạch khuếch đại để so sánh 2 điện áp ngõ vào V_i với 2 điện áp ngưỡng V_n mức cao V_{n+} và thấp V_{n-}



Hình 24-02-20: Sơ đồ mạch kết hợp OP- AMP và cổng logic

Hai cổng NAND là 2 mạch Flip Flop với 2 ngõ vào R và S được lấy từ 2 ngõ ra của OP-AMP (1) và (2)

Như vậy trong dạng mạch này 2 OP-AMP (1) và (2) là 2 mạch biến đổi dạng sóng và 2 cổng NAND là 2 mạch Flip Flop có 2 ngõ vào R, S.

CÂU HỎI ÔN TẬP

- 2.1. Trình bày nguyên lý làm việc của mạch đa hài phi ổn ?
- 2.2. Trình bày nguyên lý làm việc của mạch đa hài đơn ổn ?
- 2.3. Trình bày nguyên lý làm việc của mạch đa hài lưỡng ổn ?
- 2.4. So sánh sự giống và khác giữa mạch đa hài đơn ổn và mạch đa hài phi ổn ?
- 2.5. Trình bày mạch schmitt – Triger?

Bài 3: MẠCH HẠN CHẾ BIÊN ĐỘ VÀ GHIM ÁP

Mã mô đun: 14-03

Giới thiệu:

Trong kỹ thuật điều khiển để các tầng khuếch đại ổn định ngoài việc tính toán thiết kế mạch có độ lợi cao, hiệu suất tốt thì hai vấn đề quan trọng đó là biên độ tín hiệu ngõ vào mạch và chế độ phân cực của mạch phải phù hợp và ổn định để giải quyết vấn đề này trong các mạch điện thường người ta thiết kế thêm các mạch hạn chế biên độ và ghim áp để tăng cường độ ổn định làm việc của mạch tăng khả năng chống nhiễu

Mục tiêu:

- Trình bày cấu tạo, đặc điểm, ứng dụng, nguyên lý hoạt động các mạch hạn chế biên độ và ghim áp.
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính xác.

Nội dung chính:

1. Mạch hạn chế biên độ:

Mục tiêu:

- Trình bày cấu tạo, đặc điểm, ứng dụng, nguyên lý hoạt động các mạch hạn chế biên độ.

1.1. Khái niệm

Mạch hạn chế biên độ là một mạng bốn cực mà điện áp đầu ra của nó có dạng giống điện áp đầu vào khi điện áp đầu vào chưa vượt quá một giá trị nào đó, với điện áp đầu ra sẽ giữ nguyên giá trị không đổi khi điện áp đầu vào vượt ra ngoài ngưỡng của mạch hạn chế. Giá trị không đổi đó được gọi là mức hạn chế (còn được gọi là mạch hạn biên)

Tuỳ theo yêu cầu của mạch điện cần điều khiển đối với các tín hiệu xung người ta cần phải giới hạn ở một mức nào đó sao cho tín hiệu điều khiển không làm cho mạch điện bị nghẽn hoặc méo dạng

Mạch được giới hạn ở phần đỉnh tín hiệu gọi là mạch hạn biên trên.

Mạch giới hạn ở đáy tín hiệu gọi là mạch hạn biên dưới

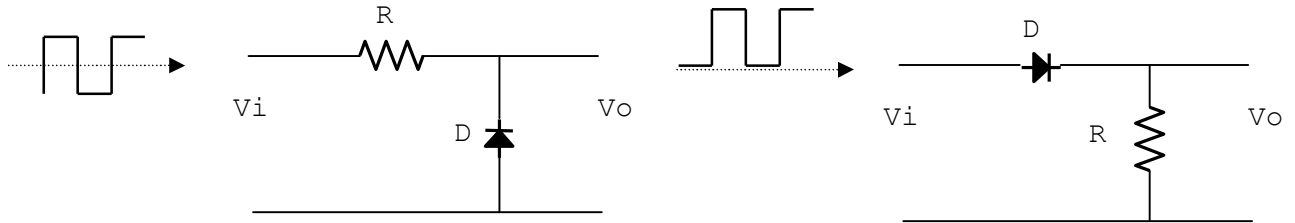
Mạch giới hạn cả hai mức trên và dưới của tín hiệu gọi là giới hạn trên và dưới.

Về thực chất mạch hạn chế đóng vai trò như một cái khoá. Nếu khoá mắc nối tiếp với tải thì tín hiệu sẽ đi qua được khi khoá đóng và bị ngăn lại khi khoá mở, tức là nó đóng vai trò một phần tử không đường thẳng. Để làm nhiệm vụ đó, người ta có thể sử dụng các phần tử không tuyến tính như Điôt, tranzito trong các mạch hạn chế. Khi đó ngoài nhiệm vụ hạn chế mạch còn làm nhiệm vụ khuếch đại tín hiệu nên còn gọi là mạch hạn chế khuếch đại.

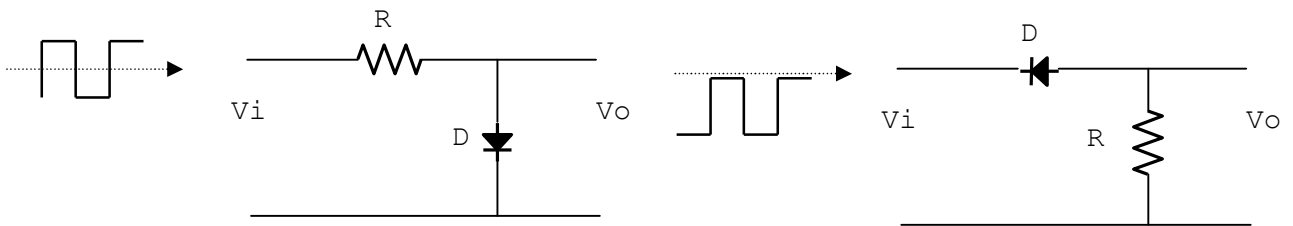
Những yêu cầu cơ bản đối với một mạch hạn chế là độ sắc khi cắt , độ ổn định của ngưỡng và mức hạn chế. Những yêu cầu này lại phụ thuộc chủ yếu vào các linh kiện không tuyến tính được sử dụng.

1.2. Mạch hạn chế biên độ dùng Diode

Do đặc tính của Diode dẫn điện theo 1 chiều nên khi diode được phân cực thuận thì sẽ dẫn điện cho phần xung làm cho nó phân cực thuận đi qua nên ta có dạng mạch như Hình 24-03-1 hoặc Hình 24-03-2

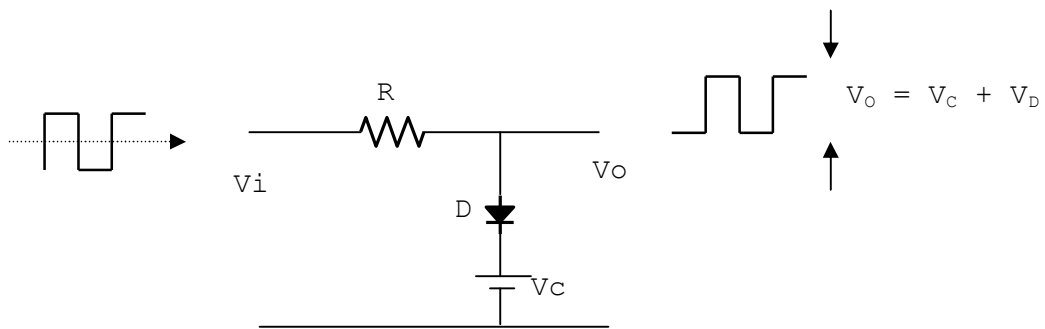


Hình 24-03-1: Sơ đồ mạch hạn biên trên mức 0



Hình 24-03-2: Sơ đồ mạch hạn biên dưới mức 0

Để giá trị xung nằm trên mức 0 hoặc dưới mức 0 phù hợp với điều kiện làm việc của mạch điện mạch hạn chế biên độ dùng Diôt có thể được mắc nối tiếp với một nguồn điện áp cố định một chiều V_c gọi là điện áp chuẩn . Nếu điện áp chuẩn có giá trị dương thì được gọi là giới hạn trên (Hình 24-03-3). Nếu điện áp chuẩn có giá trị âm thì được gọi là giới hạn dưới (Hình 24-03-4).

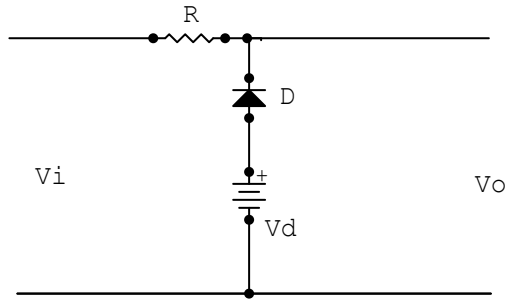


Hình 24-03-3: Sơ đồ mạch giới hạn trên (giới hạn xung dương)

V_C : điện áp chuẩn

V_D : điện áp phân cực thuận của Diode (V_D 0,6 - 0,8v) tùy theo loại Diode

Trong mạch Diode chỉ phân cực thuận để cho xung xuống Mass khi nào biên độ xung ngõ vào V_i lớn hơn giá trị $V_C + V_D$ và sẽ có dạng mạch ngược lại nên ta muốn giới hạn dưới (giới hạn xung âm) ở Hình 24-03-4



Hình 24-03-4: Sơ đồ mạch giới hạn dưới (giới hạn xung âm)

1.3. Mạch hạn biên độ dùng tranzito:

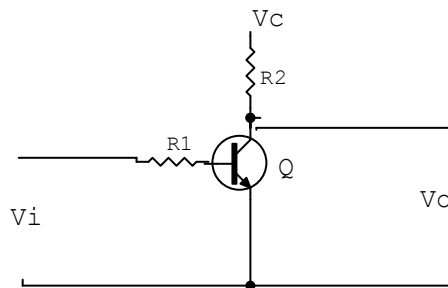
Mạch hạn chế khuếch đại dùng Tranzito được mắc theo kiểu E-C hình 24-03-5

Khi biên độ tín hiệu ngõ vào V_i đủ lớn, mạch sẽ thực hiện việc hạn chế. Việc hạn chế được sử dụng hai giới hạn bão hoà và ngưng dẫn của tranzito.

Giới hạn dưới được dùng giới hạn ngưng dẫn của tranzito. Khi biên độ tín hiệu ngõ vào thấp dưới mức phân cực của tranzito mạch ngưng dẫn biên độ tín hiệu được giới hạn ở mức dưới.

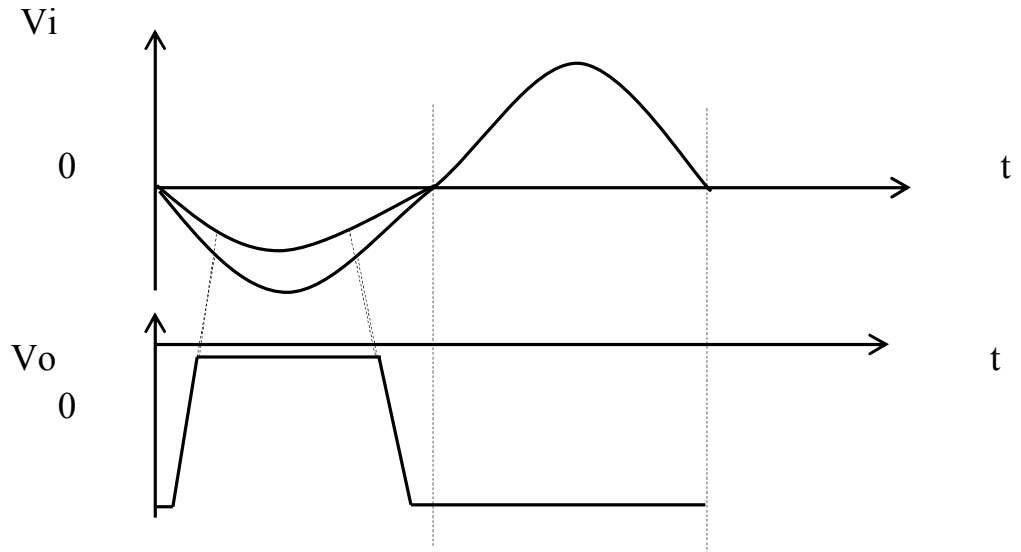
Giới hạn trên được dùng giới hạn bão hoà của tất cả biên độ tín hiệu được giới hạn ở mức trên

Điều quan trọng cần ghi nhớ do mạch được mắc theo kiểu E-C (tín hiệu đưa vào ở cực B của tranzito và lấy ra trên cực C) nên tín hiệu ngõ ra đảo pha so với tín hiệu ngõ vào.



Hình 24-03-5: Mạch hạn chế khuếch đại dùng Tranzito

- R1: hạn chế dòng tín hiệu ngõ vào
 R2: Hạn chế dòng cực C (Điện trở tải cực C)
 Q: Tranzito khuếch đại hạn chế



Hình 24-03-6: Dạng tín hiệu ngõ vào và ngõ ra mạch hạn chế khuếch đại dùng Tranzito

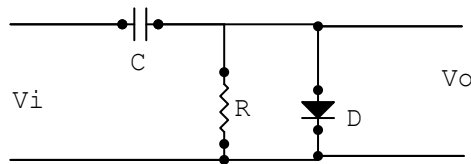
2. Mạch ghim áp

Mục tiêu:

- Trình bày cấu tạo, đặc điểm, ứng dụng, nguyên lý hoạt động các mạch ghim áp

2.1. Mạch ghim áp dùng Diốt

2.2.1 Mạch ghim trên ở mức không:



Hình 24-03-7: Mạch ghim trên mức không

Để cho mạch thỏa mãn điều kiện ghim trên ở mức không, giả thiết ngõ vào V_i là những xung hẹp. Khi đó trong khoảng thời gian xung T_x tụ C được nạp điện với hằng số thời gian T_n bằng:

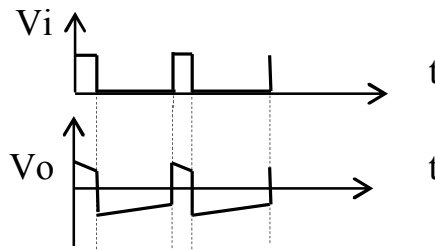
$$T_n = C.R_n$$

Trong thời gian nghỉ tụ C sẽ phóng điện với hằng số thời gian T_p bằng:
 $T_p = C.R_p$

Trong đó R_n được xem như điện trở thuận của Điốt D ; R_p được xem như điện trở R

Muốn cho thời gian nghỉ của xung thiên áp động vẫn được duy trì, phải thoả mãn bất đẳng thức $T_p \gg T_{tx} - T_x$ (trong đó T_{tx} là độ rộng xung của mạch)

Nếu điện trở thuận của Điốt R_n không đủ nhỏ, nghĩa là khi $T_n \gg T_x$ thì hiệu ứng ghim sẽ không có kết quả và điện áp ra có dạng Hình 24-03-7

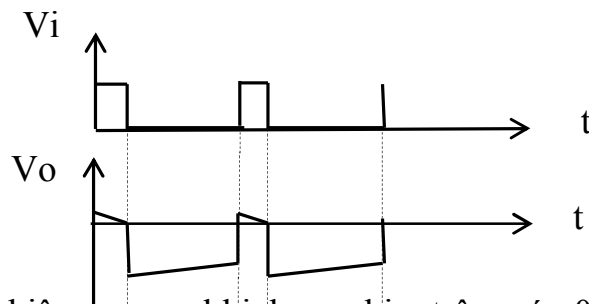


Hình 24-03-8: Dạng tín hiệu xung ra khi $T_n \gg T_x$

Nếu điện trở thuận của Điốt R_n đủ nhỏ để thoả mãn điều kiện $T_n \ll T_p$ thì hiệu ứng ghim sẽ có kết quả là: $U_o \approx U_m$

Trong đó U_o : thiên áp động U_m : Biên độ xung tín hiệu

Khi đó điện áp ra có dạng như Hình 24-03-9

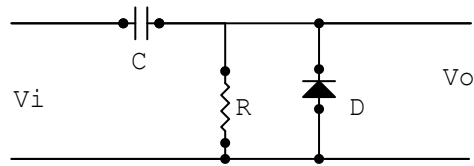


Hình 24-03-9: Dạng tín hiệu xung ra khi được ghim trên mức 0

Tóm lại, để hiệu ứng ghim có kết quả cần phải chọn Điốt sao cho có điện trở ngược lớn, điện trở thuận nhỏ, điện trở của mạch phân cách R lớn. Cuối cùng cần lưu ý rằng, tất cả các quan hệ nói trên được xét trong điều kiện đã bỏ qua nội trở của nguồn tín hiệu đầu vào V_i .

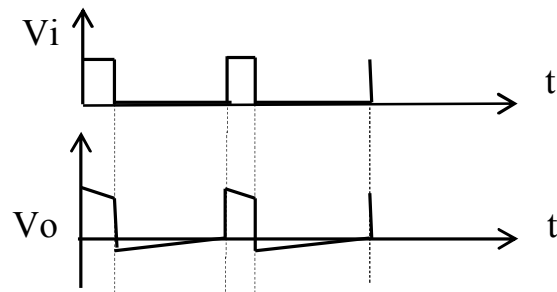
2.2.2 Mạch ghim dưới ở mức không:

Mạch ghim dưới ở mức không có dạng tương tự như sơ đồ Hình 6-9 nhưng chiều của Điốt D được đổi ngược chiều Hình 24-03-10.



Hình 24-03-10: Mạch ghim dưới mức không

Nếu thoả mãn các điều kiện tương tự như mạch ghim trên ở mức không, đó là Điôt có điện trở thuận nhỏ, điện trở ngược lớn và điện trở phân cách R lớn. Thì ta cũng được dạng tín hiệu xung ra như Hình 24-03-11

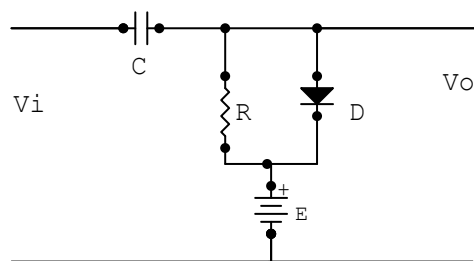


Hình 24-03-11: Dạng tín hiệu xung khi được ghim dưới mức không

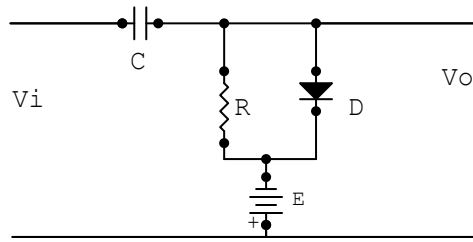
2.2.3 Mạch ghim có mức ghim khác không

Như các nội dung ở trên các mạch ghim trên và dưới có mức ghim bằng không. Muốn ghim ở một mức E nào đó, phải nối tiếp với mạch R và Điôt một nguồn điện áp như Hình 24-03-12. Để khỏi ảnh hưởng đến công tác của mạch ghim, nguồn phụ E phải có nội trở nhỏ so với điện trở thuận của Điôt.

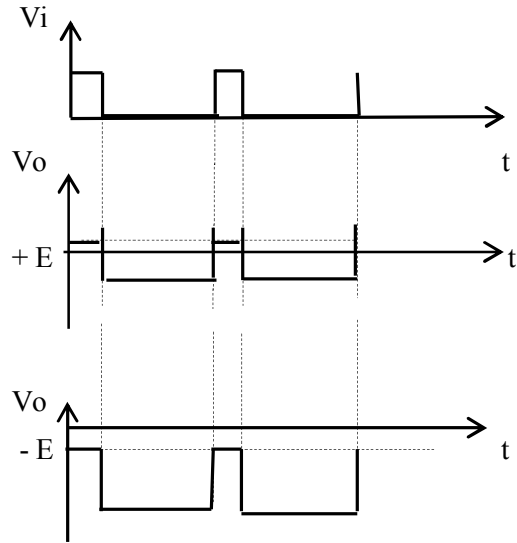
Các dạng điện áp vào và ra trên các mạch ghim có mức ghim $\pm E$ như Hình 24-03-12



Hình 24-03-12(a): Mạch ghim trên mức $+E$



Hình 24-03-12(b): Mạch ghim trên mức - E



Hình 24-03-12: Dạng điện áp vào và ra trên các mạch ghim trên có mức ghim $\pm E$
CÂU HỎI ÔN TẬP

- 3.1. Trình bày nguyên lý làm việc của mạch hạn chế biên độ ?
- 3.2. Trình bày nguyên lý làm việc của mạch ghim áp ?

Phần 2: Kỹ thuật số

BÀI 1: ĐẠI CƯƠNG

Mã bài: MD24-01

Giới thiệu:

Trong mạch số, các tín hiệu thường cho ở hai mức điện áp, ví dụ: 0V và 5V. Những linh kiện điện tử dùng trong mạch số làm việc ở một trong hai trạng thái, ví dụ: trạng thái lưỡng cực làm việc ở chế độ khóa hoặc là tắt hoặc là thông. Có hai cách biểu diễn các đại lượng này: Biểu diễn ở dạng tương tự là khi hàm biểu diễn là đại lượng biến thiên liên tục theo thời gian với cùng một cách ta có tín hiệu tương tự hay tín hiệu analog mô tả biểu diễn đại lượng cần xử lý. Biểu diễn đại lượng ở dạng số: Khi đó hàm biểu diễn sẽ biến thiên không liên tục theo thời gian và người ta dùng các ký hiệu số để mô tả biểu diễn nó, ta nhận được tín hiệu số hay tín hiệu digital.

Mục tiêu:

- Trình bày các khái niệm cơ bản về mạch tương tự và mạch số.
- Trình bày cấu trúc của hệ thống số và mã số.
- Trình bày cấu tạo, nguyên lý hoạt động của các cổng logic cơ bản
- Trình bày các định luật cơ bản về kỹ thuật số, các biểu thức toán học của số
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, nghiêm túc trong công việc.

Nội dung chính:

1. Tổng quan về mạch tương tự và số

Mục tiêu:

- Trình bày các khái niệm cơ bản về mạch tương tự và mạch số.

1.1. Định nghĩa

1.1.1 Mạch tương tự (còn gọi là mạch Analog)

Là mạch dùng để xử lý các tín hiệu tương tự.

Tín hiệu tương tự là tín hiệu có biên độ biến thiên liên tục theo thời gian.

Việc xử lý bao gồm các vấn đề: Chỉnh lưu, khuếch đại, điều chế, tách sóng.

Nhược điểm của mạch tương tự :

- Độ chống nhiễu thấp (nhiều dễ xâm nhập).
- Phân tích thiết kế mạch phức tạp.

Để khắc phục những nhược điểm này người ta sử dụng mạch số.

1.1.2 Mạch số (còn gọi là mạch Digital)

Là mạch dùng để xử lý tín hiệu số. Tín hiệu số là tín hiệu có biên độ biến thiên không liên tục theo thời gian hay còn gọi là tín hiệu gián đoạn, nó được biểu

diễn dưới dạng sóng xung với 2 mức điện thế cao và thấp mà tương ứng với hai mức điện thế này là hai mức logic của mạch số.

Việc xử lý ở đây bao gồm các vấn đề:

- Lọc số.
- Điều chế số /Giải điều chế số.
- Mã hóa

1.2. Ưu nhược điểm của kỹ thuật số so với kỹ thuật tương tự

Ưu điểm của mạch số so với mạch tương tự :

- Độ chống nhiễu cao (nhiều khó xâm nhập).
- Phân tích thiết kế mạch số tương đối đơn giản.

Vì vậy, hiện nay mạch số được sử dụng khá phổ biến trong tất cả các lĩnh vực như : Đo lường số, truyền hình số, điều khiển số. . .

2. Hệ thống số và mã số

Mục tiêu:

- Trình bày được cấu trúc của hệ thống số và mã số

2.1 Hệ thống thập phân

Hệ thập phân là hệ thống số rất quen thuộc, gồm 10 số mã như nói trên.

Dưới đây là vài ví dụ số thập phân:

$$N = 1998_{10} = 1 \times 10^3 + 9 \times 10^2 + 9 \times 10^1 + 8 \times 10^0 = 1 \times 1000 + 9 \times 100 + 9 \times 10 + 8 \times 1$$

$$N = 3,14_{10} = 3 \times 10^0 + 1 \times 10^{-1} + 4 \times 10^{-2} = 3 \times 1 + 1 \times 1/10 + 4 \times 1/100$$

2.2 Hệ thống số nhị phân

2.2.1. Khái niệm

Hệ đếm nhị phân còn gọi là hệ đếm cơ số 2 là hệ đếm mà trong đó người ta chỉ sử dụng hai kí hiệu 0 và 1 để biểu diễn tất cả các số. Hai ký hiệu đó gọi chung là bit hoặc digit và nó đặc trưng cho mạch điện tử có hai trạng thái ổn định hay còn gọi là 2 trạng thái bền FLIP- FLOP (ký hiệu là FF).

Một nhóm 4 bit gọi là nibble.

Một nhóm 8 bit gọi là byte.

Nhóm nhiều bytes gọi là từ (word).

Xét số nhị phân 4 bit: $a_3 a_2 a_1 a_0$. Biểu diễn dưới dạng đa thức theo cơ số của nó là:

$$a_3 a_2 a_1 a_0 = a_3 \cdot 2^3 + a_2 \cdot 2^2 + a_1 \cdot 2^1 + a_0$$

Trong đó:

$- 2^0, 2^1, 2^2, 2^3$ (hay 1, 2, 4, 8) được gọi là các trọng số.

- a_0 được gọi là bit có trọng số nhỏ nhất, hay còn gọi bit có ý nghĩa nhỏ nhất (LSB: Least Significant Bit) .

- a_3 được gọi là bit có trọng số lớn nhất, hay còn gọi là bit có ý nghĩa lớn nhất (MSB: Most Significant Bit).

Như vậy, với số nhị phân 4 bit $a_3 a_2 a_1 a_0$ mà trong đó mỗi chữ số a_i chỉ nhận được hai giá trị $\{0,1\}$, lúc đó ta có $2^4 = 16$ tổ hợp nhị phân.

Số thập phân	$a_3 a_2 a_1 a_0$	Số thập lục phân
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

Chú ý: Khi biểu diễn số nhị phân nhiều bit trên máy tính thì thường để tránh sai sót, người ta thường biểu diễn thông qua số thập phân hoặc thập lục phân, bát phân.

Ví dụ:

$$\begin{array}{cccccc}
 \underbrace{1} & \underbrace{3} & \underbrace{7} & \underbrace{3} & \underbrace{7} & \underbrace{6} \\
 \hline
 1 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 \\
 \hline
 & \underbrace{B} & \underbrace{E} & \underbrace{F} & \underbrace{E} & & & & & & & & & & &
 \end{array}$$

Có thể biểu diễn : $137376_{(8)}$ hoặc $0BEFE_{(H)}$.

2. Các phép tính trên số nhị phân

a. Phép cộng

Phép cộng nhị phân được tiến hành dựa trên qui tắc cộng như sau:

$$0 + 0 = 0 \text{ nhớ } 0$$

$$0 + 1 = 1 \text{ nhớ } 0$$

$$1 + 0 = 1 \text{ nhớ } 0$$

$$1 + 1 = 0 \text{ nhớ } 1$$

$$\begin{array}{r} \text{Ví dụ: } 3 \rightarrow 0011 \\ + 2 \rightarrow +0010 \\ \hline 5 \rightarrow 0101 \end{array}$$

b. Phép trừ

$$0 - 0 = 0 \text{ mượn } 0$$

$$0 - 1 = 1 \text{ mượn } 1$$

$$1 - 0 = 1 \text{ mượn } 0$$

$$1 - 1 = 0 \text{ mượn } 0$$

$$\begin{array}{r} \text{Ví dụ: } 7 \rightarrow 0111 \\ - 5 \rightarrow -0101 \\ \hline 2 \rightarrow 0010 = 1.2^2 + 0.2^1 + 1.2^0 = 2 \end{array}$$

c. Phép nhân

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 0$$

$$1 \cdot 0 = 0$$

$$1 \cdot 1 = 1$$

$$\begin{array}{r} \text{Ví dụ: } 7 \rightarrow 0111 \\ \times 5 \rightarrow \times 0101 \\ \hline 35 \rightarrow \begin{array}{r} 0111 \\ 0000 \\ 0111 \\ 0000 \\ \hline 0100011 \end{array} = 1.2^5 + 1.2^1 + 1.2^0 = 35 \end{array}$$

d. Phép chia

$$0 : 0 = 0$$

$$1 : 1 = 1$$

$$\text{Ví dụ: } \begin{array}{r} 10 \overline{) 5} \\ \underline{2} \\ 0 \end{array} \rightarrow \begin{array}{r} 1010 \overline{) 101} \\ \underline{101} \\ 00 \\ \underline{0} \\ 0 \end{array} = 2$$

2.3. Hệ thống số bát phân

Hệ bát phân gồm tám số trong tập hợp

$$S_8 = \{0, 1, 2, 3, 4, 5, 6, 7\}.$$

Số N trong hệ bát phân:

$$N = (a_n a_{n-1} a_{n-2} \dots a_i \dots a_0, a_{-1} a_{-2} \dots a_{-m})_8 \quad (\text{với } a_i \in S_8)$$

Có giá trị là:

$$N = a_n 8^n + a_{n-1} 8^{n-1} + a_{n-2} 8^{n-2} + \dots + a_i 8^i + \dots + a_0 8^0 + a_{-1} 8^{-1} + a_{-2} 8^{-2} + \dots + a_{-m} 8^{-m}$$

$$\text{Thí dụ: } N = 1307,1_8 = 1 \times 8^3 + 3 \times 8^2 + 0 \times 8^1 + 7 \times 8^0 + 1 \times 8^{-1} = 711,125_{10}$$

2.4. Hệ thống số thập lục phân

Hệ thập lục phân được dùng rất thuận tiện để con người giao tiếp với máy tính, hệ này gồm mười sáu số trong tập hợp

$$S_{16} = \{0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F\}$$

(A tương đương với 10_{10} , B = 11_{10} , ..., F = 15_{10}).

Số N trong hệ thập lục phân:

$$N = (a_n a_{n-1} a_{n-2} \dots a_i \dots a_0, a_{-1} a_{-2} \dots a_{-m})_{16} \quad (\text{với } a_i \in S_{16})$$

Có giá trị là:

$$N = a_n 16^n + a_{n-1} 16^{n-1} + a_{n-2} 16^{n-2} + \dots + a_i 16^i + \dots + a_0 16^0 + a_{-1} 16^{-1} + a_{-2} 16^{-2} + \dots + a_{-m} 16^{-m}$$

Người ta thường dùng chữ H (hay h) sau con số để chỉ số thập lục phân.

$$\text{Thí dụ: } N = 20EA,8H = 20EA,8_{16} = 2 \times 16^3 + 0 \times 16^2 + 14 \times 16^1 + 10 \times 16^0 + 8 \times 16^{-1} \\ = 4330,5_{10}$$

2.5. MBCD

2.5.1. Khái niệm

Mã BCD dùng số nhị phân 4 bit có giá trị tương đương thay thế cho từng số hạng trong số thập phân.

Thí dụ:

Số 625_{10} có mã BCD là 0110 0010 0101.

Mã BCD dùng rất thuận lợi : mạch điện tử đọc các số BCD và hiển thị ra bằng đèn bảy đoạn (led hoặc LCD) hoàn toàn giống như con người đọc và viết ra số thập phân.

Trong thực tế để mã hóa số thập phân, người ta sử dụng các số nhị phân 4 bit.

<u>Ví dụ:</u>	0 0000 ;	5 0101
	1 0001 ;	6 0110
	2 0010 ;	7 0101
	3 0011 ;	8 1000
	4 0100 ;	9 1001

Việc sử dụng các số nhị phân để mã hóa các số thập phân gọi là các số BCD (**B**inary **C**ode **D**ecimal: Số thập phân được mã hóa bằng số nhị phân).

2.5.2. Phân loại

Khi sử dụng số nhị phân 4 bit để mã hóa các số thập phân tương ứng với $2^4 = 16$ tổ hợp mã nhị phân phân biệt.

Do việc chọn 10 tổ hợp trong 16 tổ hợp để mã hóa các ký hiệu thập phân từ 0 đến 9 mà trong thực tế xuất hiện nhiều loại mã BCD khác nhau.

Mặc dù tồn tại nhiều loại mã BCD khác nhau, nhưng trong thực tế người ta chia làm hai loại chính: BCD có trọng số và BCD không có trọng số.

a. Mã BCD có trọng số:

Gồm có mã BCD tự nhiên, mã BCD số học.

Mã BCD tự nhiên đó là loại mã mà trong đó các trọng số thường được sắp xếp theo thứ tự tăng dần.

Ví dụ: Mã BCD 8421 , mã BCD 5421

Mã BCD số học là loại mã mà trong đó có tổng các trọng số luôn luôn bằng 9.

Ví dụ: Loại mã: BCD 2421, BCD 5121, BCD 8 4-2-1

Suy ra mã BCD số học có đặc trưng: Để tìm từ mã thập phân của một số thập phân nào đó ta lấy bù (đảo) từ mã nhị phân của số bù 9 tương ứng.

Ví dụ: 3 → 0011

Mà số 6 là bù 9 của 3: 6 → 1100

Lấy nghịch đảo ta có: 0011 = 3

Vậy, đặc trưng của mã BCD số học là có tính chất đối xứng qua một đường trung gian.

b. Mã BCD không có trọng số:

là loại mã không cho phép phân tích thành đa thức theo cơ số của nó.

Ví dụ: Mã Gray, Mã Gray thừa 3.

Đặc trưng của mã Gray là loại bộ mã mà trong đó hai từ mã nhị phân đứng kế tiếp nhau bao giờ cũng chỉ khác nhau 1 bit.

Ví dụ: → Mã Gray:

2 → 0011

3 → 0010

4 → 0110

Còn đối với mã BCD 8421:

3 → 0011

4 → 0100

Các bảng dưới đây trình bày một số loại mã thông dụng:

Bảng 1.1: Các mã BCD tự nhiên.

BCD 8421				BCD 5421				BCD quá 3				Số thập phân
a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	c_3	c_2	c_1	c_0	
0	0	0	0	0	0	0	0	0	0	1	1	0
0	0	0	1	0	0	0	1	0	1	0	0	1
0	0	1	0	0	0	1	0	0	1	0	1	2
0	0	1	1	0	0	1	1	0	1	1	0	3
0	1	0	0	0	1	0	0	0	1	1	1	4
0	1	0	1	1	0	0	0	1	0	0	0	5
0	1	1	0	1	0	0	1	1	0	0	1	6
0	1	1	1	1	0	1	0	1	0	1	0	7
1	0	0	0	1	0	1	1	1	0	1	1	8
1	0	0	1	1	1	0	0	1	1	0	0	9

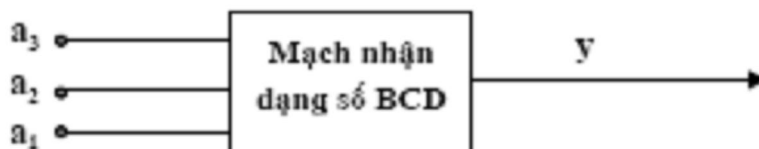
Bảng 1.2: Các mã BCD số học

BCD 2421				BCD 5121				BCD 84-2-1				Số thập phân
a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	c_3	c_2	c_1	c_0	
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	1	0	2
0	0	1	1	0	0	1	1	0	1	0	1	3
0	1	0	0	0	1	0	0	0	1	0	0	4
1	0	1	1	1	0	0	0	1	0	1	1	5
1	1	0	0	1	1	0	0	1	0	1	0	6
1	1	0	1	1	1	0	1	1	0	0	1	7
1	1	1	0	1	1	1	0	1	0	0	0	8
1	1	1	1	1	1	1	1	1	1	1	1	9

Bảng 1.3: BCD tự nhiên và mã Gray.

BCD 8421				BCD quá 3				Mã Gray				Gray quá 3				Số thập phân
a_3	a_2	a_1	a_0	c_3	c_2	c_1	c_0	G_3	G_2	G_1	G_0	g_3	g_2	g_1	g_0	
0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0	0	0	0	1	0	1	1	0	1
0	0	1	0	0	1	0	1	0	0	1	1	0	1	1	1	2
0	0	1	1	0	1	1	0	0	0	1	0	0	1	0	1	3
0	1	0	0	0	1	1	1	0	1	1	0	0	1	0	0	4
0	1	0	1	1	0	0	0	0	1	1	1	1	1	0	0	5
0	1	1	0	1	0	0	1	0	1	0	1	1	1	0	1	6
0	1	1	1	1	0	1	0	0	1	0	0	1	1	1	1	7
1	0	0	0	1	0	1	1	1	1	0	0	1	1	1	0	8
1	0	0	1	1	1	0	0	1	1	0	1	1	0	1	0	9

Chú ý: Mã Gray được suy ra từ mã BCD 8421 bằng cách: các bit 0,1 đứng sau bit 0 (ở mã BCD 8421) khi chuyển sang mã Gray thì được giữ nguyên, còn các bit 0,1 đứng sau bit 1 (ở mã BCD 8421) khi chuyển sang mã Gray thì được đổi ngược lại, nghĩa là từ bit 1 thành bit 0 và bit 0 thành bit 1.



Hình 24-01-1: Sơ đồ khối mạch nhận dạng số mã BCD

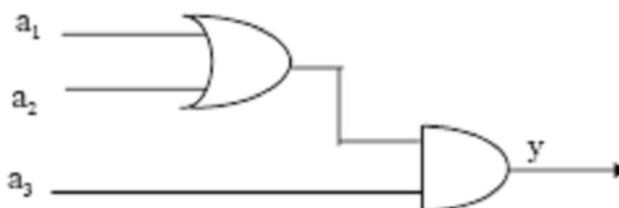
+ $y = 1 \rightarrow a_3 a_2 a_1 a_0$ không phải số BCD 8421

+ $y = 0 \rightarrow a_3 a_2 a_1 a_0$ là số BCD 8421

Suy ra để nhận dạng một số nhị phân 4 bit không phải là một số BCD 8421 thì ngõ ra $y = 1$, nghĩa là: bit a_3 luôn luôn bằng 1 và bit a_1 hoặc a_2 bằng 1.

Phương trình logic : $y = a_3 (a_1 + a_2) = a_3 a_1 + a_3 a_2$

Sơ đồ logic:



Hình 24-01-2: Sơ đồ mạch logic

Để nhập số BCD thập phân hai chữ số thì máy tính chia số thập phân thành các đêcắc và mỗi đêcắc được biểu diễn bằng số BCD tương ứng.

Ví dụ: 11 (thập phân) có thể được nhập vào máy tính theo 2 cách:

- Số nhị phân: 1011
- Mã BCD : 0001 0001

2.5.3. Các phép tính trên số BCD

a. Phép cộng

Số thập phân là 128 thì:

- Số nhị phân là: 10000000
- Số BCD là: 0001 0010 1000

Do số BCD chỉ có từ 0 đến 9 nên đối với những số thập phân lớn hơn, nó chia số thập phân thành nhiều đêcắc, mỗi đêcắc được biểu diễn bằng số BCD tương ứng.

$$\begin{array}{r}
 + 5 \rightarrow 0101 \\
 + 3 \rightarrow 0011 \\
 \hline
 8 \quad 1000
 \end{array}
 \qquad
 \begin{array}{r}
 + 7 \rightarrow 0111 \\
 + 5 \rightarrow 0101 \\
 \hline
 12 \quad 1100 \\
 + \text{Số hiệu chỉnh} \rightarrow 0110 \\
 \hline
 0001 \quad 0010 \\
 1 \quad 2
 \end{array}$$

Ký tự	Mã ASCII 7 bit	Bát phân	Thập phân
S	101 0011	123	53
b. Ph	101 0100	124	54
U	101 0101	125	55
V	101 0110	126	56
W	101 0111	127	57
X	101 1000	130	58
Y	101 1001	131	59
Z	101 1010	132	5A
0	011 0000	060	30
1	011 0001	061	31
Xét c	011 0010	062	32
- Thụ	011 0011	063	33
- Mở	011 0100	064	34
2.6 M	011 0101	065	35
6	011 0110	066	36
Stand	011 0111	067	37
128 r	011 1000	070	30
chức	011 1001	071	39
<ký tự riêng>	010 0000	040	20
.	010 1110	056	2E
(010 1000	050	28
+	010 1011	053	2B
\$	010 0100	044	24
*	010 1010	052	2A
)	010 1001	051	29
-	010 1101	055	2D
/	010 1111	057	2F
,	010 1100	054	2C
=	010 1101	075	2D
<RETURN>	000 1101	015	0D
<LINEFEED>	000 1010	012	0A

American
có $2^7 =$
như các
CII.

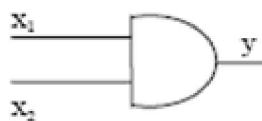
3. Các cổng logic cơ bản

Mục tiêu:

- Trình bày cấu tạo, nguyên lý hoạt động của các cổng logic cơ bản

3.1. Cổng AND

Cổng AND là cổng logic thực hiện chức năng của phép toán nhân logic với 2 ngõ vào và 1 ngõ ra ký hiệu như hình vẽ:



(Hình 24-01-3a)

Phương trình logic mô tả hoạt động của cổng AND:

$$y = x_1 \cdot x_2$$

Bảng trạng thái hoạt động của cổng AND 2 ngõ vào:

x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

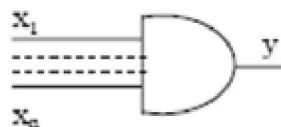
(Hình 24-01-3b)

Hình 24-01-3: a) Bảng chân lý của cổng AND; b) Ký hiệu quy ước

Nhận xét: Hàm chỉ bằng 1 (mức logic 1) khi cả 2 ngõ vào đều bằng 1, ngõ ra y bằng 0 (mức logic 0) khi có một ngõ vào bất kỳ (x_1 hoặc x_2) ở mức logic 0.

Xét trường hợp tổng quát cho cổng AND có n ngõ vào x_1, x_2, \dots, x_n :

$$y_{\text{AND}} = \begin{cases} 0 & \exists x_i = 0 \\ 1 & \forall x_i = 1 \quad (i = 1, \bar{n}) \end{cases}$$



Đặc điểm của cổng AND là: ngõ ra y chỉ bằng 1 khi và chỉ khi tất cả các ngõ vào đều bằng 1.

Sử dụng cổng AND để đóng mở tín hiệu: Xét cổng AND có hai ngõ vào x_1 và x_2 . Ta chọn:

- x_1 đóng vai trò ngõ vào điều khiển (control).
- x_2 đóng vai trò ngõ vào dữ liệu (data).

Xét các trường hợp cụ thể sau đây:

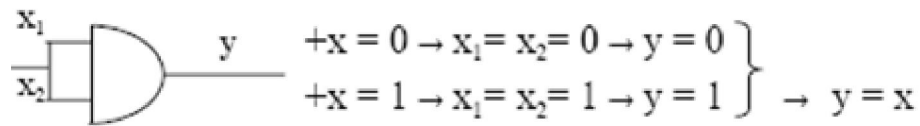
- $x_1 = 0$: $\rightarrow y = 0$ bất chấp trạng thái của x_2 , ta nói cổng AND khóa lại không

cho dữ liệu đưa vào ngõ vào x_2 qua cổng AND đến ngõ ra.

$$x_1 = 1 \begin{cases} x_2 = 0 \Rightarrow y = 0 \\ x_2 = 1 \Rightarrow y = 1 \end{cases} \Rightarrow y = x_2$$

Ta nói cổng AND mở cho dữ liệu đưa vào ngõ vào x_2 qua cổng AND đến ngõ ra.

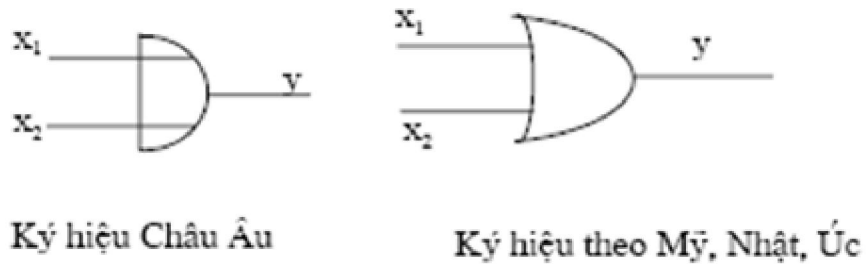
Sử dụng cổng AND để tạo ra cổng logic khác: Nếu ta sử dụng 2 tổ hợp đầu và cuối trong bảng giá trị của cổng AND và nối cổng AND theo sơ đồ sau:



thì chúng ta có thể sử dụng cổng AND để tạo ra cổng đệm.

3.2. Cổng OR

Là cổng thực hiện chức năng của phép toán cộng logic, cổng OR có 2 ngõ vào và 1 ngõ ra có ký hiệu như hình vẽ:



(Hình 24-01-4a)

Phương trình logic mô tả hoạt động của cổng OR: $y = x_1 + x_2$

Bảng trạng thái mô tả hoạt động của cổng OR:

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

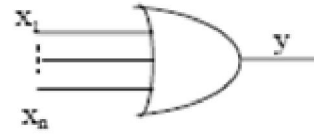
(Hình 24-01-4b)

Hình 24-01-4: a) Ký hiệu quy ước; b) Bảng chân lý của cổng OR

Xét trường hợp tổng quát đối với cổng OR có n ngõ vào.

Phương trình logic:

$$y_{\text{OR}} = \begin{cases} 1 & \exists x_i = 1 \\ 0 & \forall x_i = 0 \end{cases} \quad (i = 1, \bar{n})$$



Đặc điểm của cổng OR là: Tín hiệu ngõ ra chỉ bằng 0 khi và chỉ khi tất cả các ngõ vào đều bằng 0, ngược lại tín hiệu ngõ ra bằng 1 khi chỉ cần có ít nhất một ngõ vào bằng 1.

Sử dụng cổng OR để đóng mở tín hiệu: Xét cổng OR có 2 ngõ vào x_1, x_2 . Nếu chọn x_1 là ngõ vào điều khiển (control input), x_2 ngõ vào dữ liệu (data input), ta có các trường hợp cụ thể sau đây:

- $x_1 = 1 \Rightarrow y = 1$ (y luôn bằng 1 bất chấp x_2) \rightarrow Ta nói rằng cổng OR khả năng cho dữ liệu đi qua.

- $x_1 = 0 \Rightarrow$

$$\begin{cases} x_2 = 0 \Rightarrow y = 0 \\ x_2 = 1 \Rightarrow y = 1 \end{cases} \Rightarrow y = x_2 \rightarrow$$

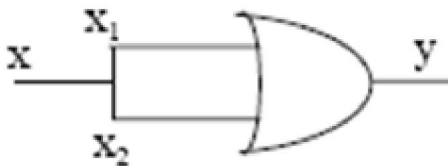
Cổng OR mở cho dữ liệu vào ngõ vào x_2

Sử dụng cổng OR để thực hiện chức năng cổng logic khác: Ta sử dụng hai tổ hợp giá trị đầu và cuối của bảng trạng thái của cổng OR và nối mạch cổng OR như sau:

$$\left. \begin{array}{l} - x = 0, x_1 = x_2 = 0 \Rightarrow y = 0 \\ - x = 1, x_1 = x_2 = 1 \Rightarrow y = 1 \end{array} \right\} \Rightarrow$$

$y = x$: cổng OR đóng vai trò cổng đệm.

Sơ đồ mạch thực hiện trên hình



- Phần thực hành: Khảo sát nguyên lý hoạt động của cổng "HOẶC" hai lối vào (2-Input OR).

A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.
2. Dao động ký.
3. Đồng hồ vạn năng.

4. Khôi thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).

5. Phụ tùng : Dây có chốt cắm hai đầu.

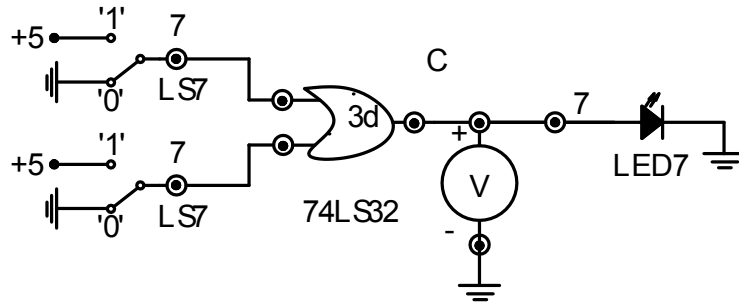
B. MỤC ĐÍCH THÍ NGHIỆM.

- Tìm hiểu về bản chất mức logic và sự tồn tại vật lý của chúng.

- Tìm hiểu thuật toán logic của loại cổng logic OR phổ biến.

C. THỰC HÀNH

1. Cấp nguồn +5V cho mảng sơ đồ Hình 24-01-5:



Hình 24-01-5: Sơ đồ lắp ráp

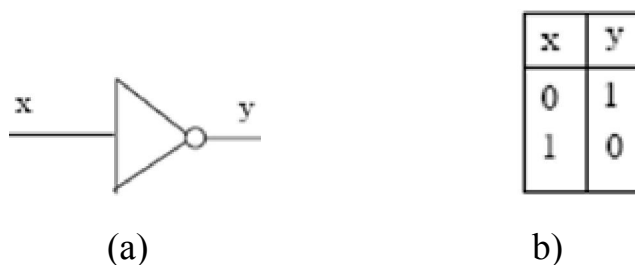
2. Nối đầu ra C của IC3d với chốt 7 bộ chỉ thị logic DISPLAY /BE-D02. Dùng dây nối các lối vào A&B của cổng IC3d với công tắc logic LS6, LS7 của mảng SWITCHES/BE-DO2. Gạt công tắc logic từ 0->1 và 1->0 tương ứng với trạng thái cho trong bảng 1.4, quan sát trạng thái tương ứng của LED chỉ thị : LED sáng - trạng thái lối ra IC3d là cao (=1), LED tắt - trạng thái lối ra IC3d là thấp (=0). Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý 1.4
3. Sử dụng đồng hồ đo thế ở chốt 7 của bộ chỉ thị LED đơn. Ghi kết quả vào bảng 1.4

Bảng 1.4

LS6	LS7	Lối vào A	Lối vào B	Lối vào C	Thế ra ở lối C
1	1	1	1		
1	0	1	0		
0	1	0	1		
0	0	0	0		
0	Bỏ lửng		0		
1	Bỏ lửng		1		

3.3. Cổng NOT

Cổng ĐẢO (còn gọi là cổng NOT) là cổng logic có 1 ngõ vào và 1 ngõ ra, với ký hiệu và bảng trạng thái hoạt động như hình vẽ:



Hình 24-01-6: a) Ký hiệu quy ước; b) Bảng chân lý của cổng NOT

- Phần thực hành:

A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.
2. Dao động ký.
3. Đồng hồ vạn năng.
4. Khôi thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).
5. Phụ tùng : Dây có chốt cắm hai đầu.

B. MỤC ĐÍCH THÍ NGHIỆM.

- Tìm hiểu về bản chất mức logic và sự tồn tại vật lý của chúng.
- Tìm hiểu thuật toán logic của loại cổng logic NOT phổ biến.

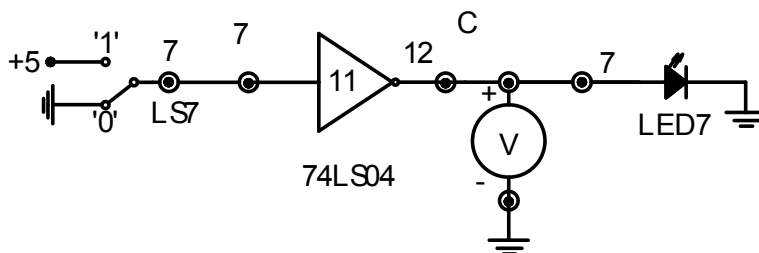
C. THỰC HÀNH

1. Cấp nguồn +5V cho mảng sơ đồ Hình Hình 24-01-7 :

- Sử dụng bộ chỉ thị logic với các LED đơn để kiểm tra trạng thái logic của các cổng được chọn .

Để khảo sát nguyên lý hoạt động của các cổng , cần tác động mức cao (H): "1" (ví dụ, chập lên nguồn +5V) và mức thấp (L) : "0" (chập đất) tới các lối vào của cổng để theo dõi phản ứng lối ra C của cổng được chọn. Để tránh cho lối ra vi mạch có thể bị chập nguồn hoặc đất (làm hư hỏng vi mạch), trong thí nghiệm sẽ sử dụng các công tắc logic LS (SWITCHES & DISPLAY của BE-D02) để tạo mức cao và thấp cho các lối vào cổng.

2. Khảo sát nguyên lý hoạt động của cổng đảo (Inverter).



Hình 24-01-7: Sơ đồ lắp ráp

3. Nối đầu ra C của cổng đảo IC1 với chốt 7bộ hiển thị logic -DISPLAY/BE-D02. Dùng dây nối lối vào A của một cổng IC1 (ví dụ IC1/f) với công tắc logic LS7/ DISPLAY/BE-D02. Gạt công tắc logic từ 0 ->1 và từ 1 -> 0, quan sát trạng thái

tương ứng của LED chỉ thị : LED sáng -trạng thái lối ra IC1 là cao (=1), LED tắt trạng thái lối ra IC1 là thấp (=0).

Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý 1.5.

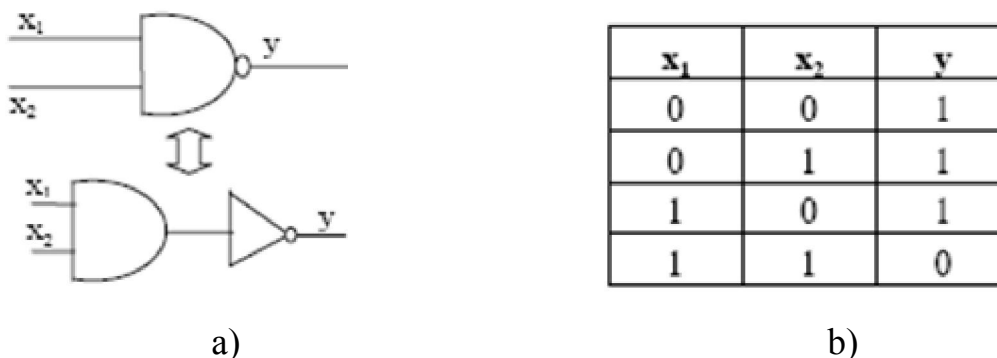
4. Sử dụng đồng hồ đo thế ở chốt 7 của bộ chỉ thị LED đơn. Ghi kết quả vào bảng 1.5.

Bảng 1.5

Công tắc LS7	Lối vào A	Lối ra C	Thế ở lối ra C
1	1		
0	0		
Lối vào IC1 bỏ lủng			

3.4. Cổng NAND

Đây là cổng thực hiện phép toán nhân đảo, về sơ đồ logic cổng NAND gồm 1 cổng AND mắc nối tầng với 1 cổng NOT, ký hiệu và bảng trạng thái cổng NAND được cho như hình



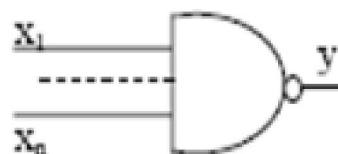
Hình 24-01-8: a)Ký hiệu quy ước; b)Bảng chân lý của cổng NAND

Phương trình logic mô tả hoạt động của cổng NAND 2 ngõ vào:

$$y = \overline{x_1 \cdot x_2}$$

Xét trường hợp tổng quát: Cổng NAND có n ngõ vào.

$$y_{\text{NAND}} = \begin{cases} 1 & \exists x_i = 0 \\ 0 & \forall x_i = 1 \quad (i = 1, \bar{n}) \end{cases}$$



Hình 24-01-9: a)Ký hiệu quy ước của NAND với n ngõ vào

Vậy, đặc điểm của cổng NAND là: tín hiệu ngõ ra chỉ bằng 0 khi tất cả các ngõ vào đều bằng 1, và tín hiệu ngõ ra sẽ bằng 1 khi chỉ cần ít nhất một ngõ vào bằng 0.

Sử dụng cổng NAND để đóng mở tín hiệu: Xét cổng NAND có hai ngõ vào, và chọn x_1 là ngõ vào điều khiển, x_2 là ngõ vào dữ liệu. Khi:

- $x_1 = 0 \Rightarrow y = 1$ (y luôn bằng 1 bất chấp x_2) \rightarrow cổng NAND khóa

$$- x_1 = 1 \Rightarrow \begin{cases} x_2 = 0 \Rightarrow y = 1 \\ x_2 = 1 \Rightarrow y = 0 \end{cases} \Rightarrow y = \overline{x_2} \rightarrow$$

Cổng NAND mở cho dữ liệu vào ngõ vào x_2 và đến ngõ ra

- Phân thực hành: **Khảo sát nguyên lý hoạt động của cổng "VÀ - ĐẢO" hai lối vào (2-Input NAND)**

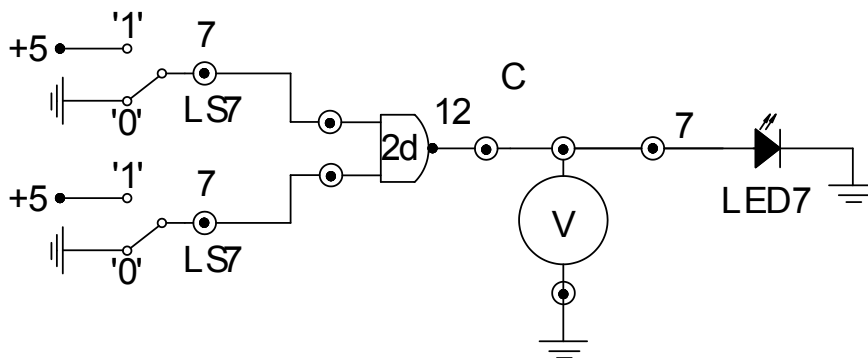
A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.
2. Dao động ký.
3. Đồng hồ vạn năng.
4. Khối thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).
5. Phụ tùng : Dây có chốt cắm hai đầu.

B. MỤC ĐÍCH THÍ NGHIỆM.

- Tìm hiểu về bản chất mức logic và sự tồn tại vật lý của chúng.
- Tìm hiểu thuật toán logic của loại cổng logic NAND phổ biến.

C. THỰC HÀNH



Hình 24-01-10: Sơ đồ lắp ráp

1. Nối đầu ra C của IC2d với chốt 7 bộ chỉ thị logic /BE-D02. Dùng dây nối các lối vào A&B của cổng IC2d với công tắc logic LS6, LS7 của mảng SWITCHES/BE-DO2. Gạt công tắc logic từ 0 \rightarrow 1 và 1 \rightarrow 0 tương ứng với trạng thái cho trong bảng 1.6, quan sát trạng thái tương ứng của LED chỉ thị : LED sáng - trạng thái lối ra IC2d là cao (=1), LED tắt - trạng thái lối ra IC2d là thấp (=0).

Ghi trạng thái lỗi ra theo trạng thái lỗi vào của cổng vào bảng chân lý 1.6

2. Sử dụng đồng hồ đo thế ở chốt 7 của bộ chỉ thị LED đơn. Ghi kết quả vào bảng 1.6.

Bảng 1.6.

LS6	LS7	Lỗi vào A	Lỗi vào B	Lỗi vào C	Thế ra ở lỗi C
1	1	1	1		
1	0	1	0		
0	1	0	1		
0	0	0	0		
0	Bỏ lửng		0		
1	Bỏ lửng		1		

3. Theo kết quả bảng chân lý 1.6, định nghĩa về cổng NAND.

.....

.....

4. Bỏ lửng không nối chân B của IC2d Với công tắc LS7. Chân A nối với công tắc logic LS6. Chân C nối với chốt 7 của bộ chỉ thị logic/BE-DO2. gạt công tắc LS6 chuyển trạng thái 0->1, 1->0, theo dõi trạng thái ra. Ghi kết quả vào bảng chân lý 1.6

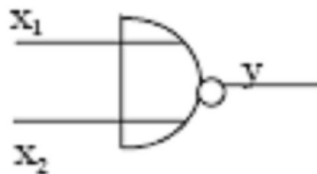
Nhận xét trường hợp lỗi vào bỏ lửng tương ứng với trạng thái nào của lỗi vào ?

.....

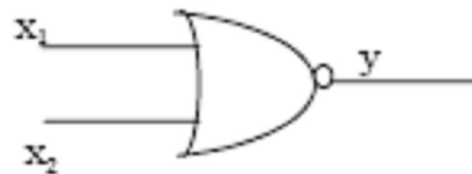
.....

3.5. Cổng NOR

Là cổng thực hiện chức năng của phép toán cộng đảo logic, là cổng có hai ngõ vào và một ngõ ra có ký hiệu như hình vẽ:



Ký hiệu Châu Âu



Ký hiệu theo Mỹ, Nhật, Úc

(Hình 24-01-10a)

Phương trình logic mô tả hoạt động của cổng :

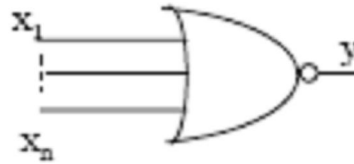
$$y = \overline{x_1 + x_2}$$

Bảng trạng thái mô tả hoạt động của cổng NOR :

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

(Hình 24-01-10b)

Hình 24-01-10: a) Ký hiệu quy ước; b) Bảng chân lý của cổng NOR
Xét trường hợp tổng quát cho cổng NOR có n ngõ vào.



$$Y_{\text{NOR}} = \begin{cases} \bar{0} & \exists x_i = 1 \\ 1 & \forall x_i = 0 \quad (i = 1, \bar{n}) \end{cases}$$

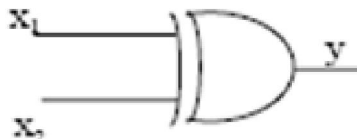
Vậy đặc điểm của cổng NOR là: Tín hiệu ngõ ra chỉ bằng 1 khi tất cả các ngõ vào đều bằng 0, tín hiệu ngõ ra sẽ bằng 0 khi có ít nhất một ngõ vào bằng 1.

3.6. Cổng EX – OR (XOR)

Đây là cổng logic thực hiện chức năng của mạch cộng modulo 2 (cộng không nhớ), là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như hình vẽ.

Phương trình logic mô tả hoạt động của cổng XOR :

$$Y_{\text{XOR}} = x_1 \bar{x}_2 + \bar{x}_1 x_2 = x_1 \otimes x_2$$



a)

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

b)

Hình 24-01-11: a) Ký hiệu quy ước; b) Bảng chân lý của cổng XOR
Cổng XOR được dùng để so sánh hai tín hiệu vào:

- Nếu hai tín hiệu vào là bằng nhau thì tín hiệu ngõ ra bằng 0
- Nếu hai tín hiệu vào là khác nhau thì tín hiệu ngõ ra bằng 1.

- **Phần thực hành:** Khảo sát nguyên lý hoạt động của cổng "HOẶC - LOẠI TRỪ" có hai lối vào (2-Input XOR):

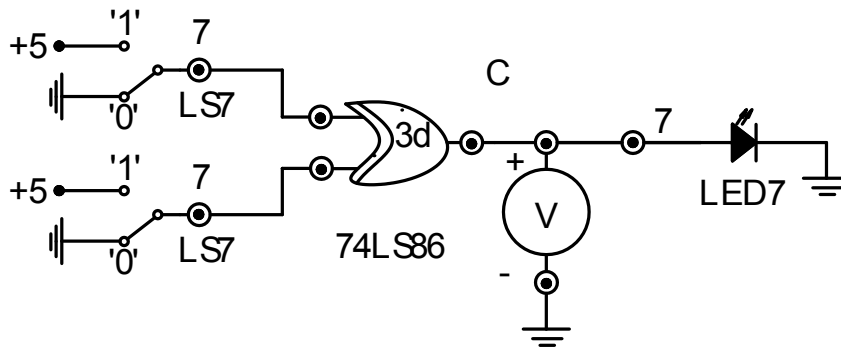
A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.
2. Dao động ký.
3. Đồng hồ vạn năng.
4. Khôi thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).
5. Phụ tùng : Dây có chốt cắm hai đầu.

B. MỤC ĐÍCH THÍ NGHIỆM.

Tìm hiểu thuật toán logic của loại cổng logic XOR phổ biến.

C. THỰC HÀNH



Hình 24-01-12: Sơ đồ lắp ráp

1. Nối đầu ra C của IC3d với chốt 7 bộ chỉ thị logic DISPLAY/BE-D02. Dùng dây nối các lối vào A & B của cổng IC4d với công tắc logic LS6, LS7 của mảng SWITCHES/BE-DO2. Gạt công tắc logic từ 0->1 và 1->0 tương ứng với trạng thái cho trong bảng 1.7, quan sát trạng thái tương ứng của LED chỉ thị : LED sáng - trạng thái lối ra IC3d là cao (=1), LED tắt - trạng thái lối ra IC3d là thấp (=0). Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý 1.7
2. Sử dụng đồng hồ đo thế ở chốt 7 của bộ chỉ thị LED đơn. Ghi kết quả vào bảng 1.7

Bảng 1.7

LS6	LS7	Lối vào A	Lối vào B	Lối vào C	Thế ra ở lối C
1	1	1	1		
1	0	1	0		
0	1	0	1		
0	0	0	0		

3. Trong trường hợp các lối vào cổng XOR có trạng thái khác nhau (hàng 2-3 của bảng 1.7).

Lối ra C luôn ở trạng thái nào ?

.....

Trong trường hợp các lối vào cổng XOR có trạng thái giống nhau (hàng 1-4 của bảng 1.7).

Lối ra C luôn ở trạng thái nào ?

.....

Định nghĩa về cổng XOR.

.....

3.7. Cổng EX – NOR

Đây là cổng logic thực hiện chức năng của mạch cộng đảo modulo 2 (cộng không nhớ), là cổng có hai ngõ vào và một ngõ ra có ký hiệu và bảng trạng thái như trên Hình 24-01-13

Phương trình logic mô tả hoạt động của cổng:

$$y = \overline{x_1 x_2} + \overline{x_1 \overline{x_2}} = x_1 \otimes x_2$$



a)

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	1

b)

Hình 24-01-13: a) Ký hiệu quy ước; b) Bảng chân lý của cổng EX – NOR

3.8. Cổng đệm (Buffer)

Cổng không đảo hay còn gọi là cổng đệm (BUFFER) là cổng có một ngõ vào và một ngõ ra với ký hiệu và bảng trạng thái hoạt động như hình vẽ.



a)

x	y
0	0
1	1

b)

Hình 24-01-13: a) Ký hiệu quy ước; b) Bảng chân lý của cổng EX – NOR

Phương trình logic mô tả hoạt động của công: $y = x$

4. Các phương pháp biểu diễn hàm logic

Mục tiêu:

- Trình bày được các phương pháp biểu diễn hàm

4.1. Biểu diễn hàm bằng bảng giá trị

Tương tự như trong đại số thông thường, một hàm logic có thể được biểu diễn bởi bảng giá trị của hàm đó. Bảng này sẽ có $n + 1$ cột (trong đó n là giá trị của biến và 1 cột là giá trị của hàm), 2^n hàng tương ứng với 2^n tổ hợp giá trị khác nhau của n biến vào. Ứng với mỗi tổ hợp giá trị biến ghi giá trị của hàm tương ứng. Bảng này còn được gọi là bảng chân lý hay bảng chức năng.

Giá trị thập phân của tổ hợp biến	x_3	x_2	x_1	f
0	0	0	0	1
1	0	0	1	0
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Hình 24-01-14: Biểu diễn hàm 3 biến trên bảng chân lý

Ví dụ : Một hàm 3 biến có giá trị được cho trong Hình 24-01-14

Ở đây ta quy ước x_3 là bit có trọng số nhỏ nhất. Trị thập phân của tổ hợp biến được xác định bằng công thức sau:

4.2. Mạch điện biểu diễn biểu thức

Định lý: Một hàm logic n biến bất kỳ luôn luôn có thể biểu diễn dưới dạng chuẩn tắc tuyển (CTT) đầy đủ hoặc chuẩn tắc hội (CTH) đầy đủ.

- Dạng CTT đầy đủ : Là tuyển của nhiều thành phần, mỗi thành phần là 1 hội (tích) gồm đầy đủ n biến.

- Dạng CTH đầy đủ : Là hội của nhiều thành phần, mỗi thành phần là tuyển (tổng) gồm đầy đủ n biến.

Cách viết hàm số dưới dạng CTT đầy đủ :

- Chỉ quan tâm đến các tổ hợp biến mà hàm có giá trị bằng 1. Số lần hàm bằng một sẽ chính là số tích của biểu thức.
- Trong mỗi một tích(hội) các biến có giá trị bằng 1 được giữ nguyên, còn các biến có giá trị bằng 0 lấy phủ định, nghĩa là nếu giá trị của $X_i = 1$ thì trong tích sẽ được viết là X_i , còn nếu $X_i = 0$ thì trong tích sẽ được viết là: $\overline{X_i}$ phủ định ($\overline{X_i}$).
- Hàm f bằng tổng các tích đó.

Cách viết hàm số dưới dạng CTH đầy đủ:

- Chỉ quan tâm đến các tổ hợp biến mà hàm có giá trị bằng 0. Số lần hàm bằng 0 sẽ chính là số tổng của biểu thức.
- Trong mỗi một tổng(tuyển) các biến có giá trị bằng 0 được giữ nguyên, còn các biến có giá trị bằng 1 lấy phủ định, nghĩa là nếu giá trị của $X_i = 0$ thì trong tích sẽ được viết bằng X_i , còn nếu $X_i = 1$ thì trong tích sẽ là $\overline{X_i}$.
- Hàm f bằng tích các tổng đó.

Ví dụ: Ta lấy lại ví dụ trong mục 4.1 ở Hình 24-01-14

Dạng CTT: hàm $f=1$ tại các tổ hợp giá trị biến ứng với giá trị thập phân là 0, 5, 7 và được viết trong bảng ở Hình 24-01-15

Tổ hợp giá trị biến thập phân	Tổ hợp giá trị biến	Tích thành phần
0	0 0 0	$\overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}$
5	1 0 1	$x_3 \cdot \overline{x_2} \cdot x_1$
7	1 1 1	$x_3 \cdot x_2 \cdot x_1$

Hình 24-01-15: Các tích đầy đủ của hàm tại các giá trị thập phân

Như vậy $f = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1} + x_3 \cdot \overline{x_2} \cdot x_1 + x_3 \cdot x_2 \cdot x_1$

Dạng CTH: hàm số $f = 0$ tại các tổ hợp biến ứng với giá trị thập phân là: 1 và 4 và được biểu diễn cho hình 24-01-16:

Tổ hợp giá trị biến thập phân	Tổ hợp giá trị biến	Tổng thành phần
1	0 0 1	$x_3 + x_2 + \overline{x_1}$
4	1 0 0	$\overline{x_3} + x_2 + x_1$

Hình 24-01-16: Các tổng đầy đủ ứng với giá trị thập phân

Như vậy $f = (x_3 + x_2 + \overline{x_1})(\overline{x_3} + x_2 + x_1)$

1.4.2. Biểu diễn hàm bằng bảng Karnaugh

Nguyên tắc xây dựng bảng:

- Để biểu diễn hàm logic n biến cần xây dựng bảng gồm có 2^n ô, mỗi ô tương ứng với một tổ hợp biến.
- Các ô cách nhau hoặc đối xứng nhau chỉ khác nhau 1 biến.
- Các ô cách nhau hoặc đối xứng nhau chỉ khác nhau 1 biến. Các cột và hàng của bảng được ghi các tổ hợp giá trị biến sao cho những cột và hàng cạnh nhau hoặc đối xứng nhau chỉ khác nhau 1 biến.
- Trong các ô ghi giá trị của hàm ứng với giá trị của tổ hợp biến tại ô đó.

Đối với dạng CTT thì các ô tương ứng với $f=0$ thường được để trống. Đối với dạng CTH thì các ô tương ứng với $f=1$ thường được để trống. Tại các ô mà hàm số không xác định được đánh dấu X .

Bảng Karnaugh cho trường hợp hàm hai biến được biểu diễn trong Hình 24-01-17:

a) Biểu diễn hàm

$$f(x_2, x_1, x_0) = \sum(0,2,3,5,6)$$

x_1x_0 x_2	00	01	11	10
0	0 1	1	3 1	2 1
1	4	5	7 1	6

b) Biểu diễn hàm

$$f(x_2, x_1, x_0) = \prod(1,4,7)$$

x_1x_0 x_2	00	01	11	10
0	0	1 0	3	2
1	4 0	5	7 0	6

Hình 24-01-17: Bảng Karnaugh của hàm 3 biến

Bảng Karnaugh của hàm 3 biến được biểu diễn trong hình 24-01-17. Trong đó các số ghi tổ hợp ở góc trái trên mỗi ô là giá trị thập phân của tổ hợp biến ứng với mỗi ô đó

Ví dụ: Biểu diễn bảng Karnaugh với hàm 4 biến theo dạng chuẩn tắc hội (CTH)

$$f(x_3, x_2, x_1, x_0) = \prod(1, 7, 13)$$

$x_1 x_0$ $x_3 x_2$	00	01	11	10
00	0	1 0	3	2
01	4	5	7 0	6
11	12	13 0	15	14
10	8	9	11	10

Hình 24-01-18: Bảng Karnaugh của hàm 4 biến

5. Đại số Boole và định lý Demorgan

Mục tiêu:

- Giới thiệu hàm Boole và định lý Demorgan

5.1. Biến logic

- Xét một tập hợp B chỉ gồm 2 phần tử 0 và 1; $B = \{0, 1\}$. X_i được gọi là biến logic, nếu như $X_i \in B$, tức là X_i chỉ có thể lấy 2 giá trị là 1 hoặc 0.

- Biến logic biểu thị 2 tính chất hay hai trạng thái đối lập nhau như đúng và sai, sống và chết.... Trong kỹ thuật biến logic được mã hóa như sau:

Điện thế:

$X_i = 0$ tương ứng với $U = 0$ V

$X_i = 1$ tương ứng với $U = 5$ V

5.2 Hàm logic

HÀM f được gọi là hàm logic nếu như f là hàm của một tập biến logic và bản thân f cũng chỉ lấy 2 giá trị 0 hoặc 1 hay nói cách khác $f \in B$

$$F = f(x_n, x_{n-1}, \dots, x_i, \dots, x_1) \in B$$

$$X_i \in B \text{ với } i = 1 \div n$$

Các tính chất của hàm Boole

1. $A + 0 = A$	2. $A \cdot 1 = A$
3. $A + 1 = \bar{A}$	4. $A \cdot 0 = \bar{A}$
5. $A + A = A$	6. $A \cdot A = A$
7. $A + \bar{A} = 1$	8. $A \cdot \bar{A} = 0$
9. $A + B = B + A$	10. $A \cdot B = B \cdot A$
11. $A + AB = A$	12. $A \cdot (A+B) = A$
13. $AB + A\bar{B} = A$	14. $(A+B)(A+\bar{B}) = A$
15. $A+B+C = (A+B)+C = A+(B+C)$	16. $A \cdot B \cdot C = A(B \cdot C) = (A \cdot B)C$
17. $\overline{A+B} = \bar{A} \cdot \bar{B}$	18. $\overline{A \cdot B} = \bar{A} + \bar{B}$

Nhận xét: Nếu thay phép cộng bằng phép nhân, giá trị 0 bằng giá trị 1 và ngược lại thì phương trình ở vế phải chuyển thành phương trình ở vế trái và ngược lại.

Các tính chất 9 và 10 được gọi là tính chất giao hoán.

Tính chất 11 và 12 được gọi là phép nuốt.

Tính chất 13 và 14 được gọi là phép dán.

Tính chất 15 và 16 được gọi là tính kết hợp.

Tính chất 17 và 18 là định lý Demoorgan.

5.3 Định lý De Moorgan

Định lý De Moorgan được phát biểu bởi hai biểu thức:

$$\overline{A+B+C} = \bar{A} \cdot \bar{B} \cdot \bar{C}$$

$$\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$$

Định lý De Morgan cho phép biến đổi qua lại giữa hai phép cộng và nhân nhờ vào phép đảo.

6. Đơn giản biểu thức logic

Mục tiêu:

- Làm đơn giản hàm số và rút gọn biểu thức

Để thực hiện một hàm logic bằng mạch điện tử, người ta luôn luôn nghĩ đến việc sử dụng lượng linh kiện ít nhất. Muốn vậy, hàm logic phải ở dạng tối giản, nên

vấn đề rút gọn hàm logic là **bước đầu tiên phải thực hiện** trong quá trình thiết kế.

Có 2 phương pháp rút gọn hàm logic:

- Phương pháp đại số
- Phương pháp dùng bảng Karnaugh

6.1. Đơn giản biểu thức bằng phương pháp đại số

- Hàm được đưa về biểu diễn ở dạng biểu thức và biến đổi một cách trực tiếp theo xu hướng giảm dần giá trị của hàm. Sự rút gọn thực hiện trên cơ sở các định lý:

$$A + \bar{A} = 1; A \cdot \bar{A} = 0; A + A = A; A \cdot A = A$$

Ví dụ: Cho một hàm số: $f = \bar{A}X + AX + A\bar{X}$

Áp dụng các tính chất trên ta có:

$$\begin{aligned} f &= (\bar{A}X + AX) + (AX + A\bar{X}) \\ &= X(\bar{A} + A) + A(X + \bar{X}) = X + A \end{aligned}$$

Vậy hàm số sau khi được đơn giản chỉ còn 2 giá trị

6.2. Rút gọn biểu thức logic bằng biểu đồ Karnaugh

Dùng bảng Karnaugh cho phép rút gọn dễ dàng các hàm logic chứa từ 3 tới 6 biến.

6.2.1. Nguyên tắc

Xét hai tổ hợp biến AB và $\bar{A}B$, hai tổ hợp này chỉ khác nhau một bit, ta gọi chúng là hai tổ hợp kề nhau.

Ta có: $AB + \bar{A}B = B$, biến B đã được đơn giản.

Phương pháp của bảng Karnaugh dựa vào việc nhóm các tổ hợp kề nhau trên bảng để đơn giản biến có giá trị khác nhau trong các tổ hợp này.

Công việc rút gọn hàm được thực hiện theo bốn bước:

- Vẽ bảng Karnaugh theo số biến của hàm
- Chuyển hàm cần đơn giản vào bảng Karnaugh
- Gom các ô chứa các tổ hợp kề nhau lại thành các nhóm sao cho có thể rút gọn hàm tới mức tối giản
- Viết kết quả hàm rút gọn từ các nhóm đã gom được.

6.2.2 Vẽ bảng Karnaugh

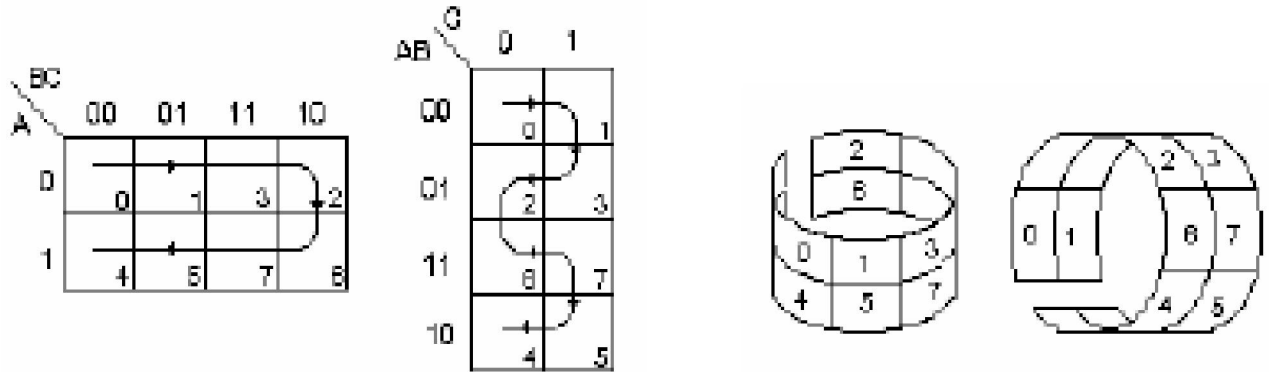
- Bảng Karnaugh thực chất là một dạng khác của bảng sự thật, trong đó mỗi ô của bảng tương đương với một hàng trong bảng sự thật.

Để vẽ bảng Karnaugh cho n biến, người ta chia số biến ra làm đôi, phân nửa dùng để tạo $2^{n/2}$ cột, phân nửa còn lại tạo $2^{n/2}$ hàng (nếu n là số lẻ, người ta có thể cho số lượng biến trên cột lớn hơn số lượng biến cho hàng hay ngược lại cũng được). Như vậy, với một hàm có n biến, bảng Karnaugh gồm 2^n ô, mỗi ô tương ứng với tổ hợp biến này. Các ô trong bảng được sắp đặt sao cho hai ô kề nhau chỉ khác nhau một đơn vị nhị phân (khác nhau một bit), điều này cho thấy rất thuận tiện nếu

chúng ta dùng mã Gray. Chính sự sắp đặt này cho phép ta đơn giản bằng cách nhóm các ô kề nhau lại.

Với 2 biến AB, sự sắp đặt sẽ theo thứ tự: AB = 00, 01, 11, 10 (đây là thứ tự mã Gray, nhưng để cho dễ ta dùng số nhị phân tương ứng để đọc thứ tự này: 0, 1, 3, 2)

Thí dụ : Bảng Karnaugh cho hàm 3 biến (A = MSB, và C = LSB)



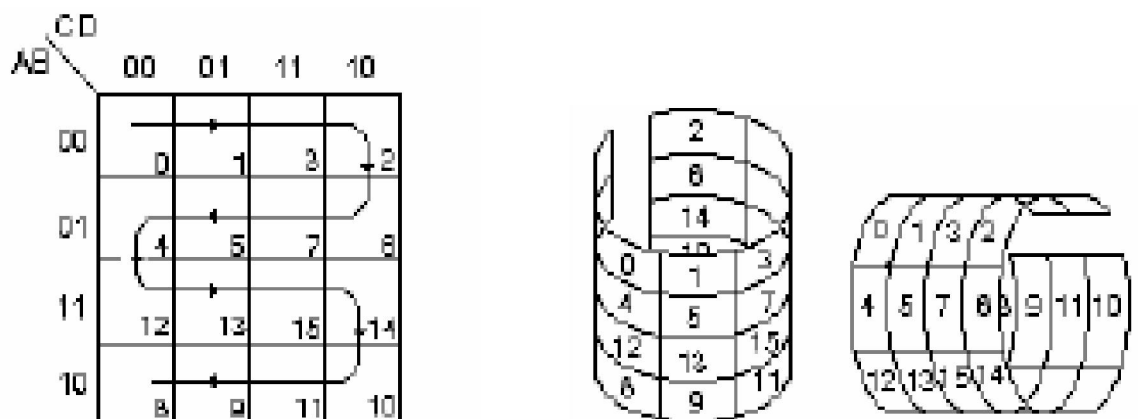
Hình 24-01-19: Bảng Karnaugh cho hàm 3 biến

Với 3 biến ABC, ta được: ABC = 000, 001, 011, 010, 110, 111, 101, 100 (số nhị phân tương ứng: 0, 1, 3, 2, 6, 7, 5, 4)

Lưu ý là ta có thể thiết lập bảng Karnaugh theo chiều nằm ngang hay theo chiều đứng.

Do các tổ hợp ở các bia trái và phải kề nhau nên ta có thể coi bảng có dạng hình trụ thẳng đứng và các tổ hợp ở bia trên và dưới cũng kề nhau nên ta có thể coi bảng có dạng hình trụ trục nằm ngang. Và 4 tổ hợp biến ở 4 góc cũng là các tổ hợp kề nhau.

Bảng Karnaugh cho 4 biến.



Hình 24-01-20: Bảng Karnaugh cho hàm 4 biến

6.2.3 Chuyển hàm logic vào bảng Karnaugh.

Trong mỗi ô của bảng ta đưa vào giá trị của hàm tương ứng với tổ hợp biến, để đơn giản chúng ta có thể chỉ ghi các trị 1 mà bỏ qua các trị 0 của hàm. Ta có các trường hợp sau:

♦ **Từ hàm viết dưới dạng tổng chuẩn:**

Thí dụ 1 :

$$f(A,B,C) = \overline{A}.\overline{B}.C + \overline{A}.B.C + A.B.C$$

$$f(A,B,C) = \overline{A}\overline{B}C + \overline{A}BC + ABC$$

	BC	$\overline{B}\overline{C}$	$\overline{B}C$	$B\overline{C}$	BC
A	00	01	11	10	
\overline{A} 0	0	1	1		2
A 1	4	5	7	6	

♦ **Nếu hàm không phải là dạng chuẩn**, ta phải đưa về dạng chuẩn bằng cách thêm vào các số hạng sao cho hàm vẫn không đổi nhưng các số hạng chứa đủ các biến.

Thí dụ 2 :

$$Y = \overline{A}B\overline{C} + AB\overline{D} + A\overline{B}C + A\overline{C}D$$

$$Y = \overline{A}B\overline{C}(D+\overline{D}) + AB\overline{D}(C+\overline{C}) + A\overline{B}C(D+\overline{D}) + A\overline{C}D(B+\overline{B})$$

$$Y = \overline{A}BCD + \overline{A}BC\overline{D} + ABCD + AB\overline{C}D + A\overline{B}CD + A\overline{B}C\overline{D} + AB\overline{C}\overline{D} + A\overline{B}\overline{C}D$$

Và Hàm Y được đưa vào bảng Karnaugh như sau

	CD	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
AB	00	01	11	10	
$\overline{A}\overline{B}$ 00					
$\overline{A}B$ 01			1	1	
AB 11	1	1		1	
$A\overline{B}$ 10		1	1	1	

♦ **Từ dạng số thứ nhất**, với các trọng lượng tương ứng A=4, B=2, C=1

Thí dụ 3 : $f(A,B,C) = \Sigma(1,3,7)$. Hàm số sẽ lấy giá trị 1 trong các ô 1,3 và 7.

♦ **Từ dạng tích chuẩn:** Ta lấy hàm đảo để có dạng tổng chuẩn và ghi trị 0 vào

Thí dụ 4 : $Y = f(A,B,C) = (A+B+C).(A+\overline{B}+C).(A+B+\overline{C}).(A+\overline{B}+\overline{C}).(A+\overline{B}+C)$

$$\overline{Y} = \overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.\overline{C}$$

Và bảng Karnaugh tương ứng

		BC			
		$\bar{B}\bar{C}$	$\bar{B}C$	$B\bar{C}$	BC
A	\bar{A} 0	0 0	1 1	1 3	0 2
	A 1	0 4	0 5	1 7	0 6

♦ Từ dạng số thứ hai:

Thí dụ 5 : $f(A,B,C) = \Pi(0,2,4,5,6)$

Hàm sẽ lấy các trị 0 ở các ô 0, 2, 4, 5, 6. Dĩ nhiên là ta phải ghi các giá trị 1 trong các ô còn lại

♦ Từ bảng sự thật:

Thí dụ 6 : Hàm $f(A,B,C)$ cho bởi bảng sự thật

N	A	B	C	$f(A,B,C)$
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Ta ghi 1 vào các ô tương ứng với các tổ hợp biến ở hàng 1, 3 và 7, kết quả giống như ở thí dụ 1.

♦ **Trường hợp có một số tổ hợp cho giá trị hàm không xác định:** nghĩa là ứng với các tổ hợp này hàm có thể có giá trị 1 hoặc 0, do đó, ta ghi dấu X vào các ô tương ứng với các tổ hợp này, lúc gom nhóm ta sử dụng nó như số 1 hay số 0 một cách tùy ý sao cho có được kết quả rút gọn nhất.

Thí dụ 7: $f(A,B,C,D) = \Sigma(3,4,5,6,7)$ với các tổ hợp từ 10 đến 15 cho hàm có trị bất kỳ (không xác định)

	CD			
AB	00	01	11	10
00			1	
01	1	1	1	1
11	X	X	X	X
10			X	X

6.2.4 Quy tắc gom nhóm

Các tổ hợp biến có trong hàm logic hiện diện trong bảng Karnaugh dưới dạng các số 1 trong các ô, vậy việc gom thành nhóm các tổ hợp kề nhau được thực hiện theo qui tắc sau:

- Gom các số 1 kề nhau thành từng nhóm sao cho số nhóm càng ít càng tốt.

Điều này có nghĩa là số số hạng trong kết quả sẽ càng ít đi.

- Tất cả các số 1 phải được gom thành nhóm và một số 1 có thể ở nhiều nhóm.

- Số số 1 trong mỗi nhóm càng nhiều càng tốt nhưng phải là bội của 2^k (mỗi nhóm có thể có 1, 2, 4, 8 ... số 1). Cứ mỗi nhóm chứa 2^k số 1 thì tổ hợp biến tương ứng với nhóm đó giảm đi k số hạng.

- Kiểm tra để bảo đảm số nhóm gom được không thừa.

6.2.5 Quy tắc rút gọn

- Kết quả cuối cùng được lấy như sau:

Hàm rút gọn là tổng của các tích: Mỗi số hạng của tổng tương ứng với một nhóm các số 1 nói trên và số hạng này là tích của các biến, biến A (hay \bar{A}) là thừa số của tích khi tất cả các

số 1 của nhóm chỉ chứa trong phân nửa bảng trong đó biến A có giá trị 1 (hay 0). Nói cách khác nếu các số 1 của nhóm đồng thời nằm trong các ô của biến A và \bar{A} thì biến A sẽ được đơn giản. Hình dưới đây minh họa việc lấy các thừa số trong tích

Thí dụ đối với bảng (ví dụ 7) ta có kết quả như sau:

CD \ AB	00	01	11	10	
00			1	1	nhóm 2
01	1	1	1	1	
11	1				nhóm 3
10					
					nhóm 1

- Hàm Y là hàm 4 biến A,B,C,D

- Nhóm 1 chứa 2 số 1 ($k=1$), như vậy nhóm 1 sẽ còn 3 biến, theo hàng, 2 số 1 này ở 2 ô ứng với $\bar{A}\bar{B}$ và $\bar{A}B$, biến A sẽ được đơn giản và theo cột thì 2 ô này ứng với tổ hợp $\bar{C}\bar{D}$.

Kết quả ứng với nhóm 1 là: $B \cdot \bar{C} \cdot \bar{D}$

- Nhóm 2 chứa 4 số 1 ($4=2^2$, $k=2$), như vậy nhóm 2 sẽ còn 2 biến, theo hàng, 4 số 1 này ở 2 ô ứng với tổ hợp $\bar{A}\bar{B}$ và $\bar{A}B$, biến B sẽ được đơn giản và theo cột thì 4 ô này ứng với tổ hợp CD và $C\bar{D}$, cho phép đơn giản biến D.

Kết quả ứng với nhóm 2 là: $\bar{A}C$

- Nhóm 3 chứa 4 số 1 ($4=2^2$, $k=2$), như vậy nhóm 2 sẽ còn 2 biến, theo hàng, 4 số 1 này ở ô ứng với tổ hợp $\bar{A}B$, theo cột 4 số 1 này chiếm hết 4 cột nên 2 biến C và D được đơn giản.

Kết quả ứng với nhóm 3 là: $\bar{A}B$

Và hàm Y rút gọn là: $Y = B\bar{C}\bar{D} + \bar{A}C + \bar{A}B$

Dưới đây là một số thí dụ

Thí dụ 1 : Rút gọn hàm

$$Y = f(A,B,C) = \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot B \cdot C$$

AB \ C	0	1
00		1
01		1
11		1
10	1	1

cho $Y = A\bar{B} + C$

Thí dụ 2 : Rút gọn hàm $Y = f(A,B,C,D) = \Sigma(0,2,4,5,8,10,12,13)$ với A=MSB

	CD	00	01	11	10
AB	00	1			1
	01	1	1		
	11	1	1		
	10	1			1

cho $Y = B\bar{C} + \bar{B}\bar{D}$

Thí dụ 3 : Rút gọn hàm S cho bởi bảng sự thật:

N	A	B	C	D	S
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10→15					x (Không xác định)

Bảng Karnaugh:

	CD	00	01	11	10
AB	00			1	1
	01	1	1		
	11	x	x	x	x
	10			x	x

Kết quả : $S = B\bar{C} + \bar{B}\bar{D}$

7. Thiết kế mạch logic

7.1. Bài toán thiết kế

- Từ yêu cầu có thể là do chức năng, dạng tín hiệu ra, tính năng kỹ thuật....xây dựng sơ đồ mạch thực hiện bằng các phần tử cho trước.

7.2. Các bước thực hiện

Đối với trường hợp thiết kế dùng các phần tử rời rạc và các vi mạch cỡ nhỏ thực hiện tuần tự như sau: Bài toán \rightarrow Viết hàm \rightarrow Đơn giản hàm \rightarrow Viết hàm phù hợp với các linh kiện yêu cầu \rightarrow Vẽ mạch

7.3. Thiết kế mạch hai tầng

Việc thiết kế mạch dựa theo bảng sau:

Tầng 2 \ Tầng 1	AND	OR	NAND	NOR
AND	X	CTT	X	1.CTH 2. $\overline{\overline{F}}$, Áp dụng D
OR	CTH	X	1.CTH 2. $\overline{\overline{F}}$, Áp dụng D	X
NAND	1.CTH 2. $\overline{\overline{TP}}$, Áp dụng D	X	1.CTH 2. $\overline{\overline{F}}$, Áp dụng D	X
NOR	X	1.CTH 2. $\overline{\overline{TP}}$, Áp dụng D	X	1.CTH 2. $\overline{\overline{F}}$, Áp dụng D

Hình 24-01-21: Các thiết kế mạch hai tầng với các phần tử đã cho trước

D : Quy tắc Demogan; $\overline{\overline{TP}}$: lấy đảo từng thành phần 2 lần; $\overline{\overline{F}}$: Đảo hai lần cả hàm số; CTT: chuẩn tắc tuyển; CTH: Chuẩn tắc hội

Ví dụ: Cho hàm logic 4 biến $f(x_3, x_2, x_1, x_0)$, tối giản hàm số và từ đó thiết kế mạch 2 tầng.

$$F(x_3, x_2, x_1, x_0) = \sum(0, 2, 5, 7, 8, 10, 13, 15)$$

$$F(x_3, x_2, x_1, x_0) = \prod(1, 3, 4, 6, 9, 11, 12, 14)$$

x1x0 \ x3x2	00	01	11	10
00	0 1	1	3	2 1
01	4	5 1	7 1	6
11	12	13 1	15 1	14
10	8 1	9	11	10 1

a)

x1x0 \ x3x2	00	01	11	10
00	0	1 0 n	3	2
01	4 0	5	7	6 0
11	12 0	13	15	14 0
10	10	9 0 n	11	10

b)

Hình 24-01-22: Biểu diễn hàm f trên bảng Karnagh

Sau khi đơn giản hàm F trên bảng Karnagh ta có:

$$F_{CTH} = \overline{(x_2 + x_0)}(x_2 + x_0)$$

$$F_{CTT} = x_2x_0 + x_2x_0$$

Với yêu cầu xây dựng sơ đồ mạch với tầng với tầng 1 và tầng 2 cho trước như sau:

* Tầng 1 dùng AND tầng 2 dùng NOR.

Từ thuật toán đã nêu ở bảng hình 3.4 ta có:

Viết phương trình hàm F dưới dạng CTH

$$F_{CTH} = \overline{\overline{(x_2 + x_0)}(x_2 + x_0)} = \overline{\overline{(x_2 + x_0)} + (x_2 + x_0)} = \overline{x_2 x_0 + x_2 x_0}$$

* Tầng 1 dùng NAND, tầng 2 dùng AND

- Viết hàm dưới dạng CTH

$$F_{CTH} = (x_2 + \overline{x_0})(\overline{x_2} + x_0)$$

Phủ định 2 lần từng thành phần rồi áp dụng Demorgan

$$F_{CTH} = \overline{\overline{(x_2 + x_0)}(\overline{\overline{x_2} + x_0})} = \overline{\overline{x_2} \cdot \overline{x_0} \cdot x_2 \cdot x_0}$$

* Tầng 1 dùng NOR, tầng 2 dùng OR

$$F_{CTH} = (x_2 + \overline{x_0})(\overline{x_2} + x_0) = \overline{\overline{(x_2 + x_0)}(\overline{\overline{x_2} + x_0})} = \overline{\overline{(x_2 + x_0)} + (\overline{\overline{x_2} + x_0})}$$

* Tầng 1 dùng hàm NAND, tầng 2 dùng hàm NAND

- Viết hàm dưới dạng CTT

$$F_{CTH} = \overline{(x_2 x_0)} + x_2 x_0$$

Phủ 2 lần hàm số rồi áp dụng Demorgan

$$F = \overline{\overline{x_2 x_0} + x_2 x_0} = \overline{\overline{x_2} \cdot \overline{x_0} + x_2 \cdot x_0}$$

* Tầng 1 dùng NOR tầng 2 dùng OR

$$F_{CTH} = \overline{\overline{(x_2 x_0)} + x_2 x_0} = \overline{\overline{\overline{\overline{x_2} \cdot \overline{x_0}} + x_2} + x_0} = \overline{\overline{\overline{\overline{x_2} + x_0}} + \overline{\overline{x_2} + x_0}} = \overline{\overline{\overline{x_2} + x_0} + \overline{x_2} + x_0}$$

CÂU HỎI VÀ BÀI TẬP

1.1. Trình bày biểu thức, ký hiệu, bảng trạng thái của các cổng logic cơ bản?

1.2. Một hội đồng giám khảo gồm 3 người. Lập bảng chân lý cho hàm báo hiệu nếu đa số ủy viên trong hội đồng giám khảo bỏ phiếu thuận

1.3. Biểu diễn hàm sau trên bảng Karnaugh:

$$F(x_3, x_2, x_1, x_0) = \sum(0, 1, 3, 7, 8, 10, 12, 15)$$

$$F(x_3, x_2, x_1, x_0) = \prod(1, 3, 5, 8, 9, 10, 13, 14)$$

1.4. Hãy chứng minh các đẳng thức sau:

a) $A + \overline{AB} = A + B$

b) $AB + \overline{AC} + BC = AB + \overline{AC}$

c) $AB + \overline{AC} = (A + C)(\overline{A} + B)$

1.5. Đơn giản các biểu thức sau:

a) $Y = \overline{A} + ABC\overline{C} + (\overline{A} + ABC)(A + \overline{ABC})$

b) $Y = AB + CD)(\overline{AC} + \overline{BD})$

BÀI 2: FLIP-FLOP**Mã bài: MĐ 14-02****Giới thiệu:**

Các mạch số được chia thành hai loại: mạch tuần tự và mạch tổ hợp. ta khảo sát mạch tổ hợp trong chương sau, ở mạch tuần tự trạng thái lối ra không chỉ phụ thuộc sự thay đổi trạng thái đầu vào mà còn phụ thuộc vào trạng thái đầu ra trước đó. Ngoài ra khi trạng thái đầu vào thay đổi, trạng thái đầu ra không thay đổi ngay mà đợi cho đến khi có xung đồng hồ tác động mới thay đổi. Vậy mạch tuần tự có tính nhớ và tính đồng bộ (các bộ phận hoạt động đồng thời khi có xung lệnh)

Mục tiêu:

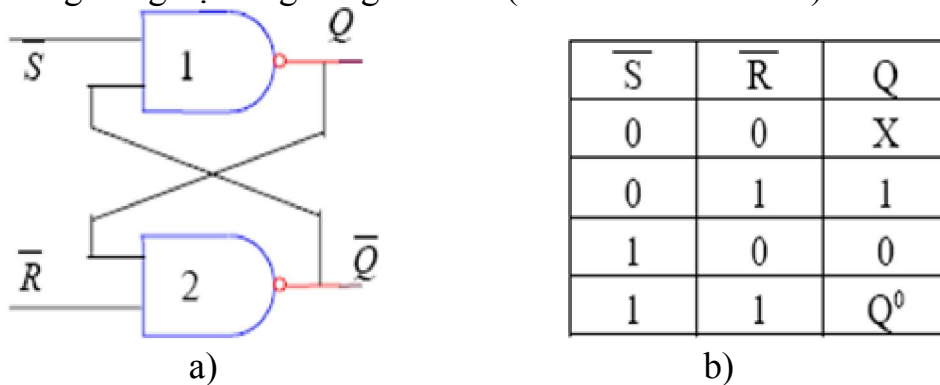
- Trình bày được cấu trúc, nguyên tắc hoạt động của các Flip - Flop
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, nghiêm túc trong công việc.

Nội dung chính:**1. Flip – Flop S-R**

- Trình bày được cấu trúc, nguyên tắc hoạt động của Flip - Flop S-R

1.1. FF RS không đồng bộ

RSFF không đồng bộ dùng cổng NAND (sơ đồ Hình 24-02-1)



Hình 24-02-1: a) Sơ đồ logic dùng 2 cổng NAND; b) Bảng chân lý

Dựa vào bảng chân lý của cổng NAND:

$$y = \begin{cases} 0 & \forall x_i = 1 \\ 1 & \exists x_i = 0 \end{cases}$$

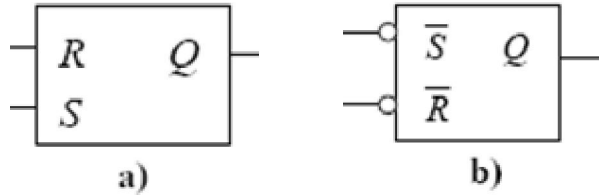
Ta có:

- $\bar{S} = 0, \bar{R} = 1 \Rightarrow Q = 1$ hồi tiếp về cổng NAND 2 nên cổng NAND 2 có hai ngõ vào bằng 1 vậy $\bar{Q} = 0$.
- $\bar{S} = 0, \bar{R} = 1 \Rightarrow \bar{Q} = 1$ hồi tiếp về cổng NAND 1 nên cổng NAND 1 có hai ngõ vào bằng 1 vậy $Q = 0$.
- $\bar{S} = \bar{R} = 0 \Rightarrow \bar{Q} = Q = 1$ đây là trạng thái cấm.

- $\bar{S} = \bar{R} = 1$: Giả sử trạng thái trước đó có $Q = 1, \bar{Q} = 0 \Rightarrow$ hồi tiếp về cổng NAND 1 nên cổng NAND 1 có một ngõ vào bằng 0 vậy $Q = 1 \Rightarrow$ RSFF giữ nguyên trạng thái cũ.

Như vậy gọi là FF không đồng bộ bởi vì chỉ cần một trong hai ngõ vào S hay R thay đổi thì ngõ ra cũng thay đổi theo.

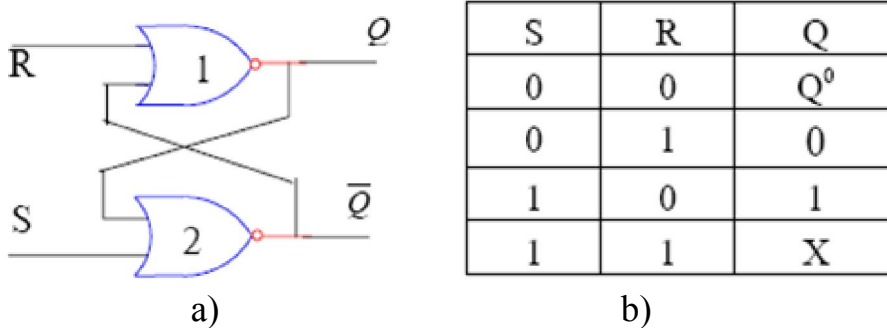
Về mặt kí hiệu, các RSFF không đồng bộ được ký hiệu như sau:



Hình 24-02-2: Ký hiệu qui ước

1.2. FF S-R sử dụng cổng NOR

Dạng 1: RSFF không đồng bộ dùng cổng NOR (Hình 24-02-3)



Hình 24-02-3: a) Sơ đồ logic dùng 2 cổng NOR; b) Bảng chân lý

Dựa vào bảng chân lý của cổng NOR, ta có:

- $S = 0, R = 1 \Rightarrow Q = 0$, hồi tiếp về cổng NOR 2 nên cổng NOR 2 có hai ngõ vào bằng 0 $\Rightarrow \bar{Q} = 1$.
- $S = 1, R = 0 \Rightarrow \bar{Q} = 0$, hồi tiếp về cổng NOR 1 nên cổng NOR 1 có hai ngõ vào bằng 0 $\Rightarrow Q = 1$
- Giả sử ban đầu: $S = 0, R = 1 \Rightarrow Q = 0$ và $\bar{Q} = 1$. (*)

Nếu tín hiệu ngõ vào thay đổi thành: $S = 0, R = 0$ ta có (dựa vào sơ đồ để phân tích các trạng thái xảy ra liên tiếp. Cụ thể ban đầu như dấu (*) sau đó $R=0$ và $\bar{Q}=1$ thì $Q=0$):

$$+ S = 0 \text{ và } \bar{Q} = 0 \Rightarrow \bar{Q} = 1$$

$$+ R = 0 \text{ và } \bar{Q} = 1 \Rightarrow Q = 0 \Rightarrow \text{RSFF giữ nguyên trạng thái cũ.}$$

- Giả sử ban đầu: $S = 1, R = 0 \Rightarrow Q = 1$ và $\bar{Q} = 0$

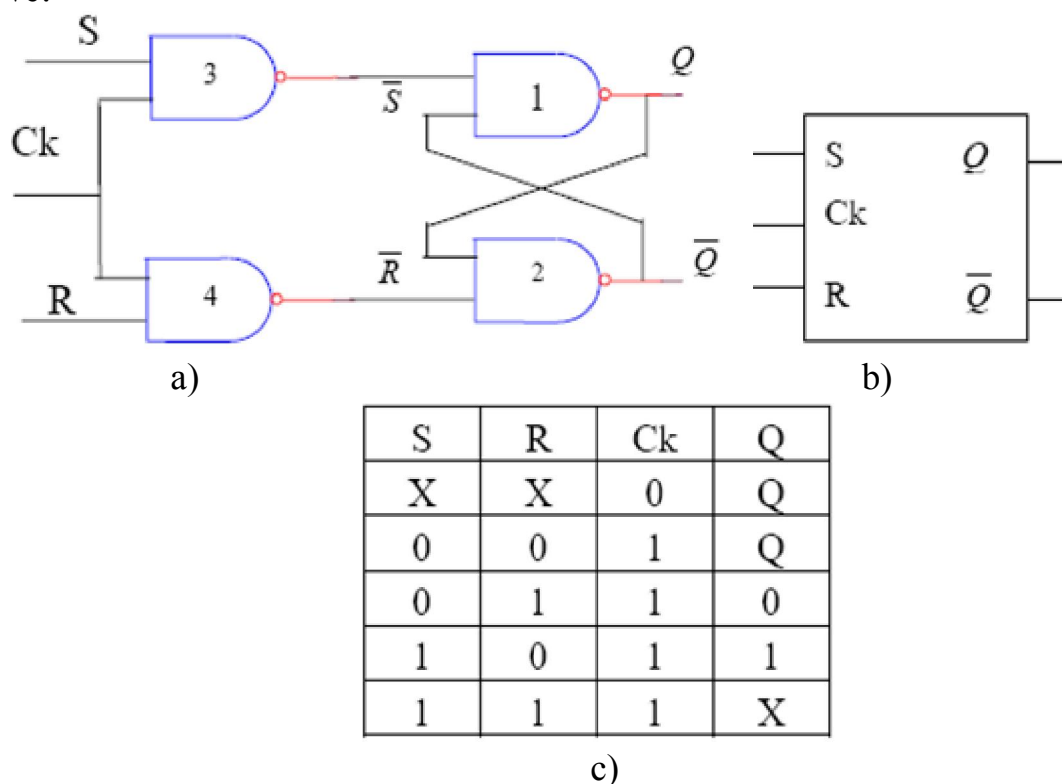
Nếu tín hiệu ngõ vào thay đổi thành: $S = 0, R = 0$ ta có:

$$+ R = 0 \text{ và } \bar{Q} = 0 \Rightarrow \bar{Q} = 1$$

$$+ S = 0 \text{ và } Q = 1 \Rightarrow \bar{Q} = 0 \Rightarrow \text{RSFF giữ nguyên trạng thái cũ.}$$

1.3. FF RS đồng bộ

Xét sơ đồ RSFF đồng bộ với sơ đồ mạch, ký hiệu và bảng trạng thái hoạt động như hình vẽ:



Hình 24-02-4: a) Sơ đồ logic ; b) Ký hiệu qui ước; c) Bảng chân lý

Trong đó: Ck là tín hiệu điều khiển đồng bộ hay tín hiệu đồng hồ (Clock). Khảo sát hoạt động của mạch:

- Ck = 0: cổng NAND 3 và 4 khóa không cho dữ liệu đưa vào. Vì cổng NAND 3 và 4 đều có ít nhất một ngõ vào Ck = 0 $\Rightarrow \bar{S} = \bar{R} = 1 \Rightarrow Q = Q_0$ (FF giữ nguyên trạng thái cũ).

- Ck = 1: cổng NAND 3 và 4 mở. Ngõ ra Q sẽ thay đổi tùy thuộc vào trạng thái của S và R.

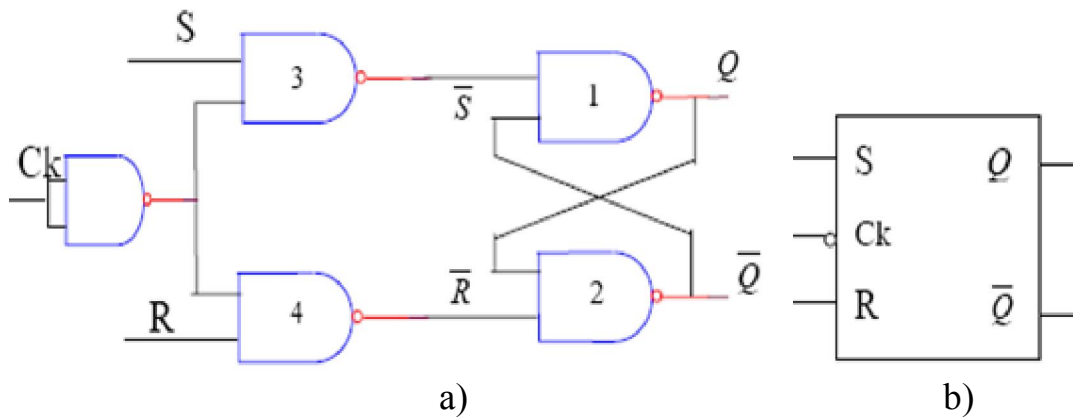
$$+ S = 0, R = 0 \Rightarrow \bar{S} = \bar{R} = 1 \Rightarrow Q = Q_0 \text{ (giữ nguyên trạng thái cũ).}$$

$$+ S = 0, R = 1 \Rightarrow \bar{S} = 1, \bar{R} = 0 \Rightarrow Q = 0$$

$$+ S = 1, R = 0 \Rightarrow \bar{S} = 0, \bar{R} = 1 \Rightarrow Q = 1$$

$$+ S = R = 1 \Rightarrow \bar{S} = \bar{R} = 0 \Rightarrow Q = X \text{ (trạng thái cấm).}$$

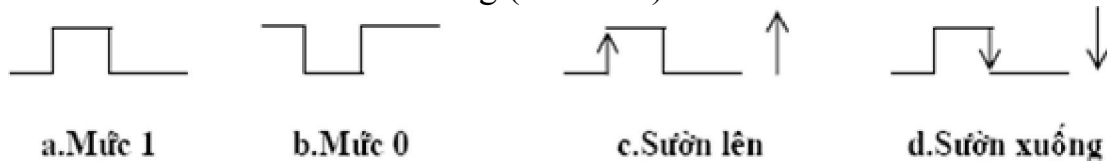
Trong trường hợp này Ck tác động mức 1. Trong trường hợp Ck tác động mức 0 thì ta mắc thêm cổng đảo như sau (Hình 24-02-5):



Hình 24-02-5: a) Sơ đồ logic ; b) Ký hiệu qui ước;

Như vậy, tùy thuộc vào mức tích cực của tín hiệu đồng bộ Ck, chúng ta có các loại tín hiệu điều khiển:

- Ck điều khiển theo mức 1.
- Ck điều khiển theo mức 0.
- Ck điều khiển theo sườn lên (sườn trước).
- Ck điều khiển theo sườn xuống (sườn sau).



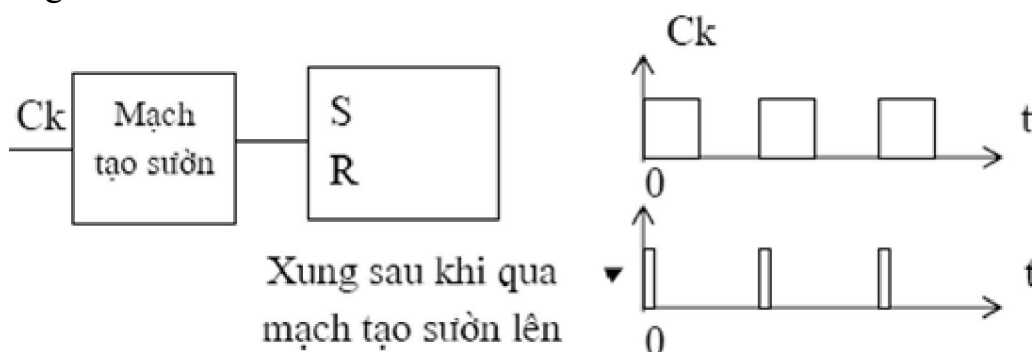
Hình 24-02-6: Các dạng sườn xung

a. Xét FF có Ck điều khiển theo sườn lên (sườn trước):

Sườn lên và mức logic 1 có mối quan hệ với nhau, vì vậy mạch tạo sườn lên là mạch cải tiến của mạch tác động theo mức logic 1.

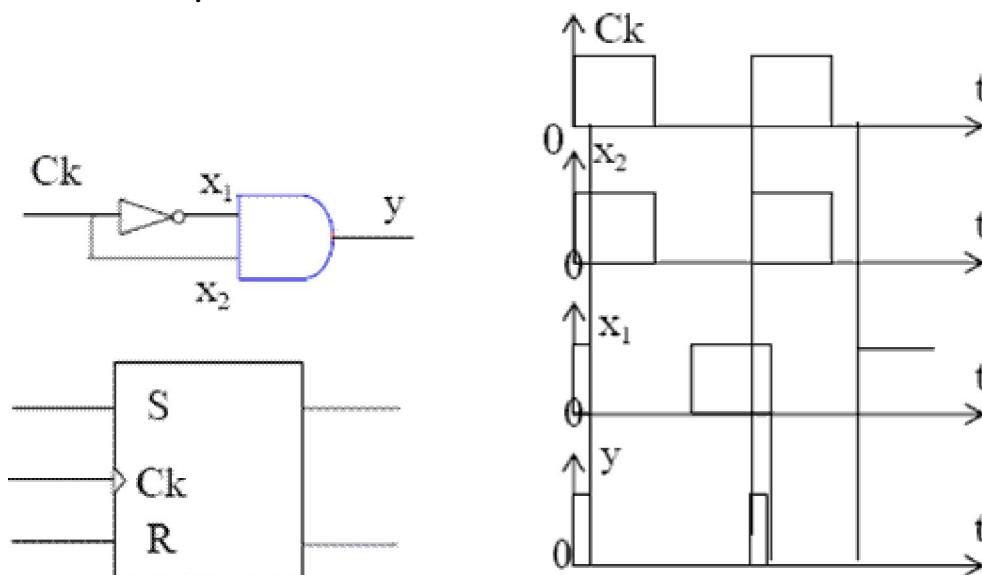
Sườn lên thực chất là một xung dương có thời gian tồn tại rất ngắn. Để cải tiến các FF tác động theo mức logic 1 thành FF tác động theo sườn lên ta mắc vào trước FF đó một mạch tạo sườn lên như hình Hình 24-02-5.

Ở mạch tạo sườn người ta lợi dụng thời gian trễ của tín hiệu khi đi qua phần tử logic. Đối với mạch tạo sườn người ta lợi dụng thời gian trễ của tín hiệu khi đi qua cổng NOT.



Hình 24-02-7: Dạng xung dưới tác động Ck

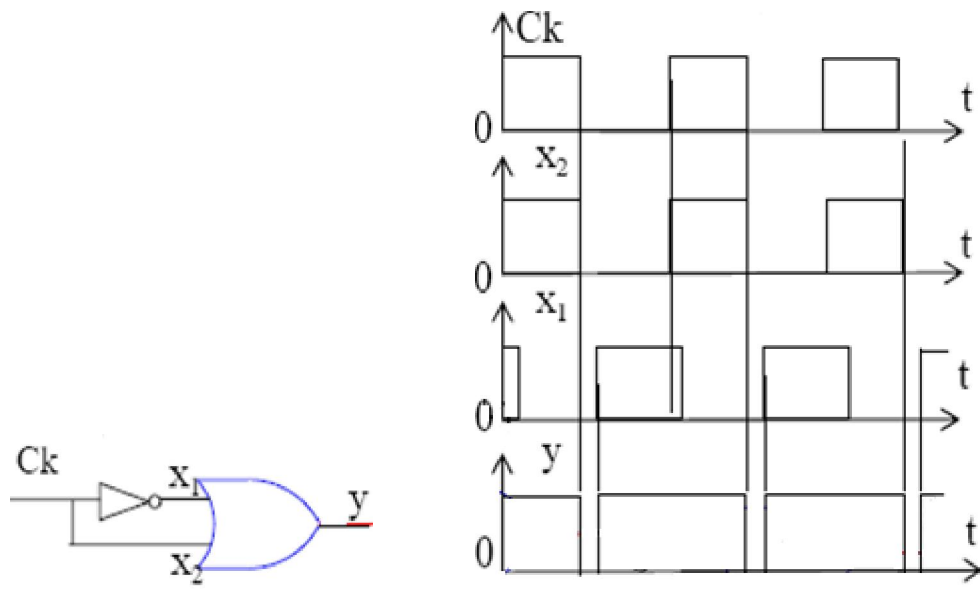
Xét sơ đồ mạch tạo sườn lên và dạng sóng như hình Hình 24-02-6: Mạch tạo sườn lên gồm một cổng AND 2 ngõ vào và một cổng NOT. Tín hiệu x_1 từ cổng NOT được đưa đến cổng AND cùng với tín hiệu x_2 đi trực tiếp ($x_2 = Ck$). Do tính chất trễ của tín hiệu Ck khi đi qua cổng NOT nên x_1 bị trễ một khoảng thời gian, vì vậy tín hiệu ngõ ra của cổng AND có dạng một xung dương rất hẹp với thời gian tồn tại chính bằng thời gian trễ (trễ truyền đạt) của cổng NOT. Xung dương hẹp này được đưa đến ngõ vào đồng bộ của FF điều khiển theo mức logic 1. Tại các thời điểm có sườn lên của tín hiệu xung nhịp Ck sẽ xuất hiện một xung dương tác động vào ngõ vào đồng bộ của FF điều khiển ngõ ra Q thay đổi trạng thái theo các ngõ vào. Sơ đồ mạch FF có tín hiệu Ck điều khiển theo sườn lên như hình Hình 24-02-8.



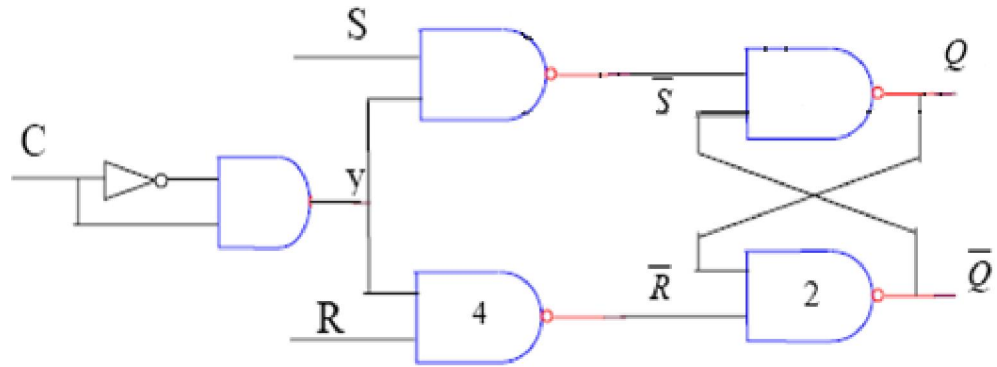
Hình 24-02-8: Sơ đồ mạch FF có tín hiệu Ck điều khiển theo sườn lên

b. Xét FF có Ck điều khiển theo sườn xuống (sườn sau):

Mạch tạo sườn xuống là mạch cải tiến tác động mức logic 0. Sơ đồ mạch và dạng sóng như sau (Hình 24-02-9):

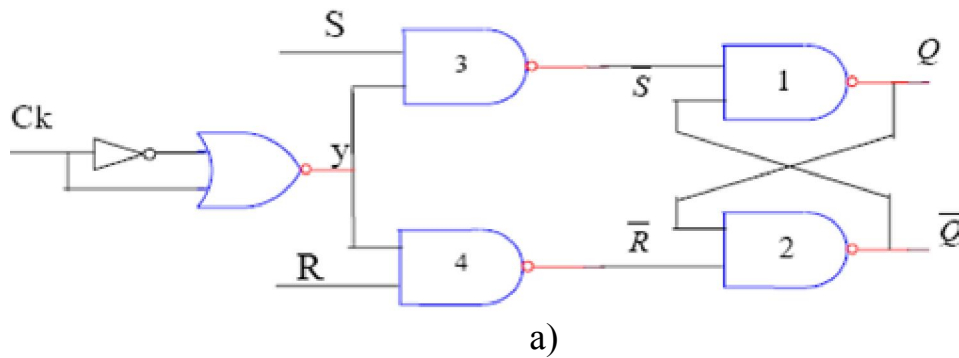


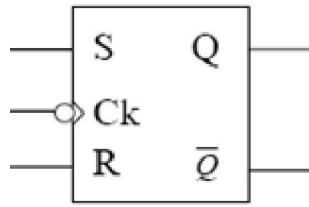
a) Sơ đồ mạch b) Dạng sóng
 Hình 24-02-9: Mạch tạo sườn xuống



Hình 24-02-10: FF có tín hiệu Ck điều khiển theo sườn lên

Trên Hình 24-02-11 là ký hiệu trên sơ đồ mạch và sơ đồ thực hiện Flip-Flop tác động theo sườn xuống.





b)

Hình 24-02-11: a) Sơ đồ mạch; b) ký hiệu trên sơ đồ

Ý nghĩa của tín hiệu đồng bộ Ck:

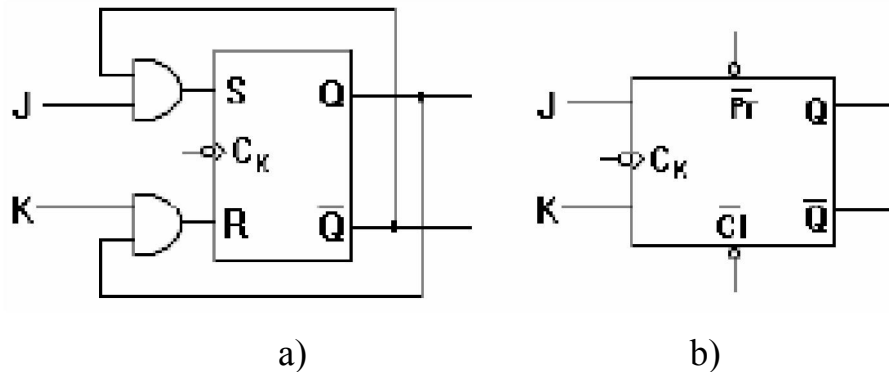
Đối với các FF đồng bộ, các ngõ ra chỉ thay đổi trạng thái theo ngõ vào DATA khi xung Ck tồn tại mức 1 (đối với FF tác động mức 1), hoặc xung Ck tồn tại mức 0 (đối với FF tác động mức 0), hoặc xung Ck ở sườn lên (đối với FF tác động sườn lên), xung Ck ở sườn xuống (đối với FF tác động sườn xuống), còn tất cả các trường hợp khác của Ck thì ngõ ra không thay đổi trạng thái theo các ngõ vào mặc dù lúc đó các ngõ vào có thay đổi trạng thái.

2. Flip - Flop J -K

Mục tiêu:

- Mô tả được ký hiệu, bảng chân lí của Flip - Flop J-K

FF JK được tạo ra từ FF RS theo sơ đồ như (Hình 24-02-12a).



a)

b)

(Hình 24-02-12b) là ký hiệu FF JK của ngõ vào Pr và Cl tác động thấp.

Bảng chân lí 2.1 (Để đơn giản, ta bỏ qua các ngõ vào Pr và Cl)

J	K	Q	\bar{Q}	$S=J\bar{Q}$	$R=KQ$	Ck	Q+
0	0	0	1	0	0	↓	Q
0	0	1	0	0	0	↓	Q
0	1	0	1	0	0	↓	Q=0
0	1	1	0	0	1	↓	0
1	0	0	1	1	0	↓	1
1	0	1	0	0	0	↓	Q=1
1	1	0	1	1	0	↓	1
1	1	1	0	0	1	↓	0

Bảng 2.1

J	K	C _K	Q ₊
0	0	↓	Q
0	1	↓	0
1	0	↓	1
1	1	↓	\overline{Q}

Bảng 2.2

Bảng 2.2 là bảng rút gọn, suy ra từ bảng 2.1

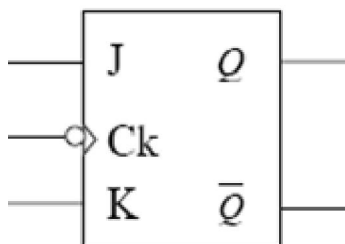
Kết quả từ bảng 2.2 cho thấy:

FF JK để thoát khỏi trạng thái cấm thay vào đó là **trạng thái đảo** (khi J=K=1 thì $Q_+ = \overline{Q}$). Người ta lợi dụng trạng thái đảo này để thiết kế mạch đếm

Đó là FF có ngõ vào và ngõ ra ký hiệu như hình vẽ :

Trong đó:

- J, K là các ngõ vào dữ liệu.
- Q, \overline{Q} là các ngõ ra.
- Ck là tín hiệu xung đồng bộ.



Hình 24-02-13: JK FF

Gọi J^n , K^n là trạng thái ngõ vào DATA của J, K ở xung Ck thứ n.

Gọi Q^n , Q^{n+1} là trạng thái ngõ ra Q ở xung Ck thứ n và thứ (n+1).

Lúc đó ta có bảng trạng thái mô tả hoạt động của JKFF:

J	K	Q ⁿ⁺¹
0	0	Q ⁿ
0	1	0
1	0	1
1	1	\overline{Q}^n

Phương trình logic của JKFF:

$$Q^{n+1} = J^n \overline{Q}^n + \overline{K}^n \cdot Q^n$$

Từ bảng trạng thái \Rightarrow JKFF khắc phục được trạng thái cấm của RSFF.

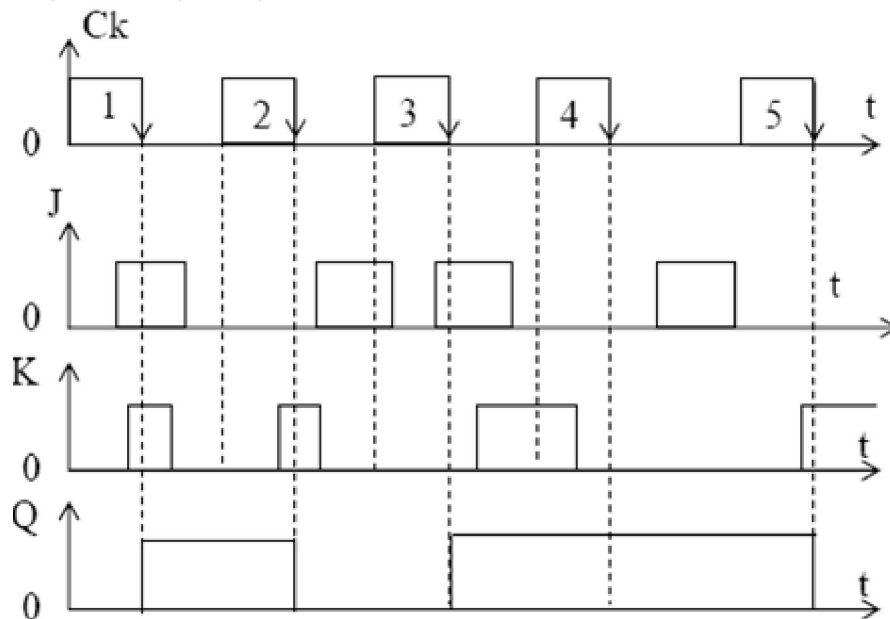
Để tìm bảng đầu vào kích của JKFF ta khai triển bảng trạng thái:

J^n	K^n	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Từ bảng khai triển trên ta xây dựng được bảng đầu vào kích cho JKFF như sau:

Q^n	Q^{n+1}	S^n	R^n
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

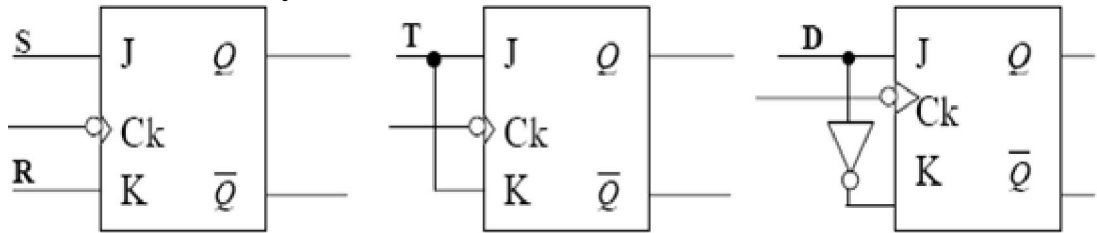
Đồ thị thời gian dạng sóng của JKFF:



Hình 24-02-13: Đồ thị thời gian dạng sóng JK FF

Nhận xét: JKFF là mạch điện có chức năng thiết lập trạng thái 0, trạng thái 1, chuyển đổi trạng thái và duy trì trạng thái căn cứ vào các tín hiệu đầu vào J, K và xung nhịp đồng bộ Ck. Như vậy có thể nói JKFF là một FF rất vạn năng.

Trong thực tế, chúng ta có thể dùng JKFF để thực hiện chức năng của các FF khác: JKFF thay thế cho RSFF, JKFF thực hiện chức năng của TFF và DFF, các sơ đồ thực hiện được trình bày trên hình 3.67:



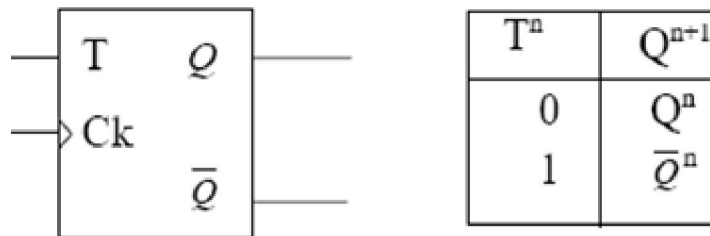
Hình 24-02-13: Dùng JK thực hiện chức năng của RS FF, T FF, D FF

3. Flip - Flop T

Mục tiêu:

- Mô tả được ký hiệu, bảng chân lí của Flip – Flop T

Flip – Flop T có ký hiệu và bảng chân lí như hình Hình 24-02-14



Hình 24-02-14: a) Ký hiệu quy ước; b) Bảng chân lí

Trong đó:

- T: ngõ vào dữ liệu
- Q, \bar{Q} : các ngõ ra
- Ck: tín hiệu xung đồng bộ.

Gọi T_n là trạng thái của ngõ vào DATA T ở xung Ck thứ n.

Gọi Q_n, \bar{Q}_n là trạng thái của ngõ ra ở xung Ck thứ n và (n+1).

Lúc đó ta có bảng trạng thái hoạt động khai triển của TFF. Từ bảng trạng thái này ta có nhận xét:

- + Khi T=0: mỗi khi có xung Ck tác động ngõ ra Q duy trì trạng thái cũ trước đó.
- + Khi T=1: mỗi khi có xung Ck tác động ngõ ra Q đảo trạng thái.

T^n	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

Từ bảng trạng thái khai triển của TFF ta tìm được bảng đầu vào kích của TFF như sau:

Q^n	Q^{n+1}	T^n
0	0	0
0	1	1
1	0	1
1	1	0

Phương trình logic của TFF:

$$Q^{n+1} = \overline{T^n} \cdot Q^n + T^n \cdot \overline{Q^n} \quad (\text{dạng chính tắc 1})$$

$$\text{Hoặc: } Q^{n+1} = (T^n + Q^n)(\overline{T^n} + \overline{Q^n}) \quad (\text{dạng chính tắc 2}).$$

$$\Rightarrow Q^{n+1} = T^n \otimes Q^n$$

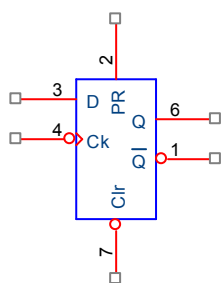
(Ta cũng có thể lập bảng trạng thái rồi dùng sơ đồ Karnaugh để tìm phương trình logic của TFF).

4. D Flip-Flop

Mục tiêu:

- Mô tả được ký hiệu, bảng chân lí của Flip - Flop D

Flip-Flop D có ký hiệu và bảng chân lí như hình Hình 24-02-15



a)

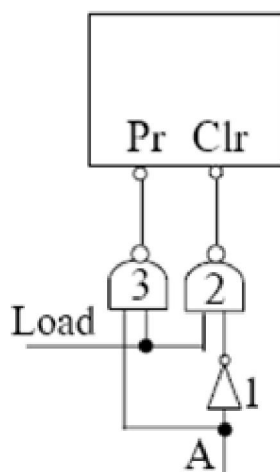
D	Q
0	0
1	1

b)

Hình 24-02-15: a) Ký hiệu quy ước; b) Bảng chân lí

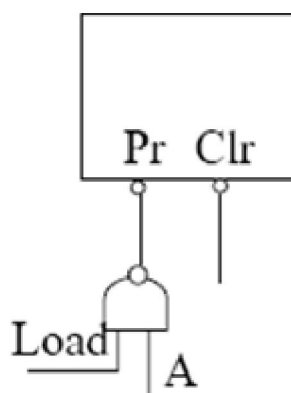
5. FLip-Flop với đầu vào Preset và clear

Nhập dữ liệu vào FF bởi chân Preset (Pr): (Hình 24-02-16)



Hình 24-02-16

- Khi Load = 0 : Cổng NAND 3 và 2 khóa \rightarrow ngõ vào Pr = Clr = 1 \rightarrow FF tự do \Rightarrow dữ liệu A không nhập vào được FF.
- Khi Load = 1 : Cổng NAND 3 và 2 mở. Lúc đó ta có: Pr = A, Clr = A.
 Nếu A = 0 \rightarrow Pr = 1, Clr = 0 \Rightarrow Q = A = 0.
 Nếu A = 1 \rightarrow Pr = 0, Clr = 1 \Rightarrow Q = A = 1.
 Vậy Q = A \Rightarrow dữ liệu A không nhập vào được FF.
 Để khắc phục những nhược điểm đó ta dùng mạch như trên Hình 24-02-16



Hình 24-02-17

- Chân Clr để trống tương đương với mức logic 1.
 - Khi Load = 0 : cổng NAND khóa \rightarrow Pr = Clr = 1 \rightarrow FF tự do. Dữ liệu không được nhập vào FF.
 - Khi Load = 1 : cổng NAND mở \rightarrow Pr = A.
- Giả sử ban đầu: Q = 0.

Nếu $A = 0 \rightarrow Pr = 1, Clr = 1 \Rightarrow Q = Q^0 = 0$.

Nếu $A = 1 \rightarrow Pr = 0, Clr = 1 \Rightarrow Q = 1$.

Vậy $Q = A \Rightarrow$ Dữ liệu A được nhập FF.

Chú ý: Phương pháp này đòi hỏi trước khi nhập phải xa FF về 0

CÂU HỎI ÔN TẬP

- 2.1. Trình bày FF RS không đồng bộ?
- 2.2. Trình bày FF RS đồng bộ?
- 2.3. Nêu các loại FF: JK, T, D?
- 2.4. Trình bày FF với đầu vào Preset và clear?

BÀI 3: MẠCH LOGIC MSI

Mã bài: MĐ 14-03

Giới thiệu:

Các mạch MSI ngày càng được sử dụng rộng rãi, giá thành ngày càng hạ. Phương pháp thiết kế mạch số dùng MSI khác hoàn toàn với mạch số dùng SSI. Giá thành của một mạch số gần như tỷ lệ thuận với số IC dùng trong mạch. Do vậy người thiết kế cần giải quyết bài toán: thay thế một số lớn các mạch SSI bằng một số ít các mạch MSI mặc dù không sử dụng hết khả năng này nhưng như vậy vẫn kinh tế hơn.

Mục tiêu:

- Trình bày được cấu trúc, nguyên lý của hệ thống mã hóa và giải mã.
- Trình bày được các phép toán logic, tạo kiểm và các loại IC thông dụng.
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, nghiêm túc trong công việc.

Nội dung chính:

1. Mạch mã hóa

Mục tiêu:

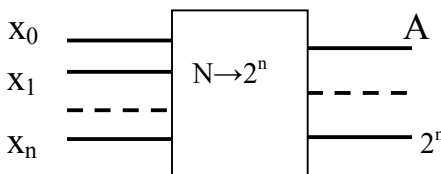
- Trình bày được cấu trúc, nguyên lý của hệ thống mã hóa và giải mã.

1.1 Sơ đồ khối tổng quát

- Khái niệm: Mã hóa là quá trình dùng văn tự hay ký hiệu để biểu thị một đối tượng. Nếu dùng mã nhị phân để biểu thị đối tượng (là một tín hiệu) ta có quá trình mã hoá nhị phân. Một ký tự nhị phân có 2 giá trị (hai trạng thái) 0 và 1 tương ứng với việc biểu diễn 2 tín hiệu, hay nếu dùng n ký tự nhị phân (n số tự nhiên nguyên) sẽ biểu diễn được 2^n tín hiệu khác nhau. Điều kiện để mã hoá N tín hiệu là:

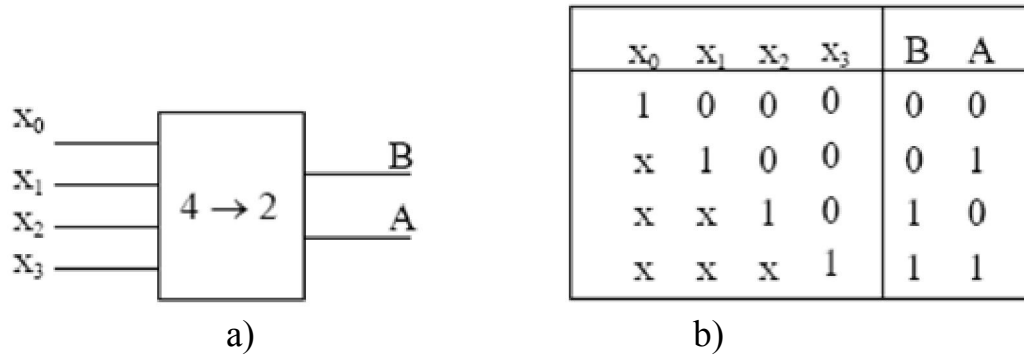
$$2^n \geq N$$

- Sơ đồ khối tổng quát:



Hình 24 -03-1: Sơ đồ khối tổng quát mạch mã hóa

1.2. Mạch mã hóa từ 4 sang 2

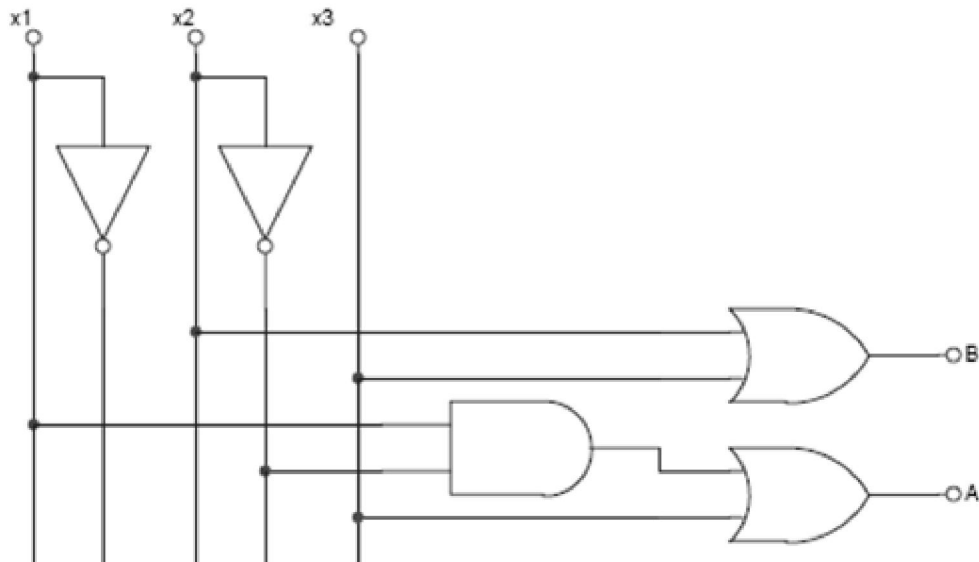


Hình 24 -03-2: a) Sơ đồ khối; b) Bảng chân lí

Phương trình tối giản :

$$A = x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_3 = \overline{x_1} \cdot \overline{x_2} + x_3$$

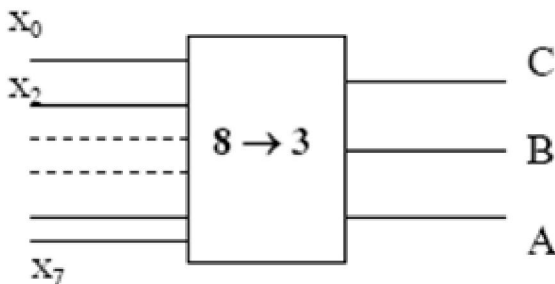
$$B = x_2 \cdot \overline{x_3} + x_3 = x_2 + x_3$$



Hình 24 -03-3: Sơ đồ logic mạch mã hóa từ 4 sang 2

1.3. Mạch mã hóa từ 8 sang 3

Xét mạch mã hóa nhị phân từ 8 sang 3 (8 ngõ vào và 3 ngõ ra). Sơ đồ khối của mạch được cho trên Hình 24 -03-4.



Hình 24 -03-4: Sơ đồ khối mạch mã hóa 8 sang 3

Trong đó:

- x_0, x_1, \dots, x_7 là các ngõ vào tín hiệu.

- A, B, C là các ngõ ra.

Mạch mã hóa nhị phân thực hiện biến đổi tín hiệu ngõ vào thành một từ mã nhị phân tương ứng ở ngõ ra, cụ thể như sau:

$$0 \rightarrow 000 \quad 3 \rightarrow 011 \quad 6 \rightarrow 100$$

$$1 \rightarrow 001 \quad 4 \rightarrow 100 \quad 7 \rightarrow 111$$

$$2 \rightarrow 010 \quad 5 \rightarrow 101$$

Chọn mức tác động (tích cực) ở ngõ vào là mức logic 1, ta có bảng trạng thái mô tả hoạt động của mạch :

Bảng 3.1

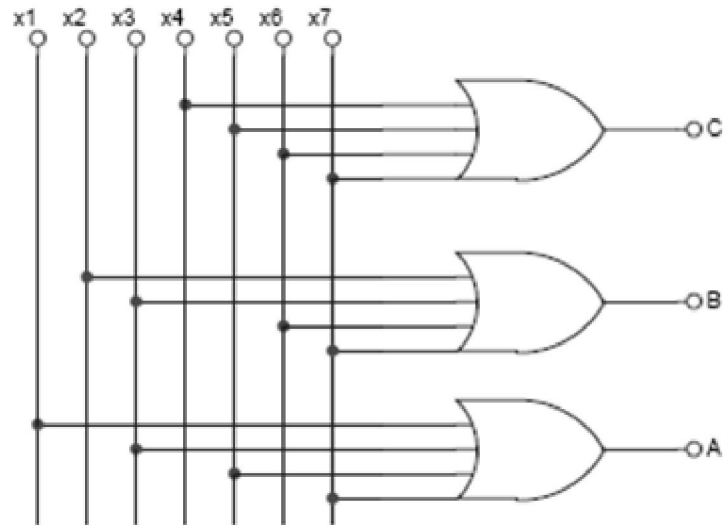
x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Giải thích bảng trạng thái: Khi một ngõ vào ở trạng thái tích cực (mức logic 1) và các ngõ vào còn lại không được tích cực (mức logic 0) thì ngõ ra xuất hiện từ mã tương ứng. Cụ thể là: khi ngõ vào $x_0=1$ và các ngõ vào còn lại bằng 0 thì từ mã ở ngõ ra là 000, khi ngõ vào $x_1=1$ và các ngõ vào còn lại bằng 0 thì từ mã nhị phân ở ngõ ra là 001, ..v..v..

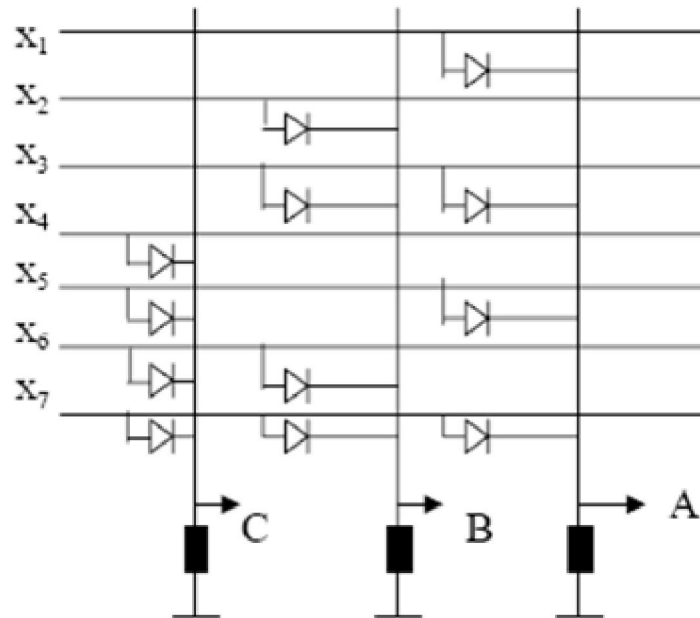
Phương trình logic tối giản:

$$A = x_1 + x_3 + x_5 + x_7, \quad B = x_2 + x_3 + x_6 + x_7, \quad C = x_4 + x_5 + x_6 + x_7$$

Sơ đồ logic (Hình 24 -03-4):



Hình 24 -03-5: Mạch mã hóa nhị phân từ 8 sang 3
Biểu diễn bằng cổng logic dùng Diode (Hình 24 -03-5):



Hình 24 -03-6: Mạch mã hóa nhị phân từ 8 sang 3 sử dụng diode
Nếu chúng ta chọn mức tác động tích cực ở ngõ vào là mức logic 0, bảng trạng thái mô tả hoạt động của mạch lúc này như sau:

Bảng 2.2

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
0	1	1	1	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0	1
1	1	0	1	1	1	1	1	0	1	0
1	1	1	0	1	1	1	1	0	1	1
1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	0	1	1	1	0	1
1	1	1	1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	0	1	1	1

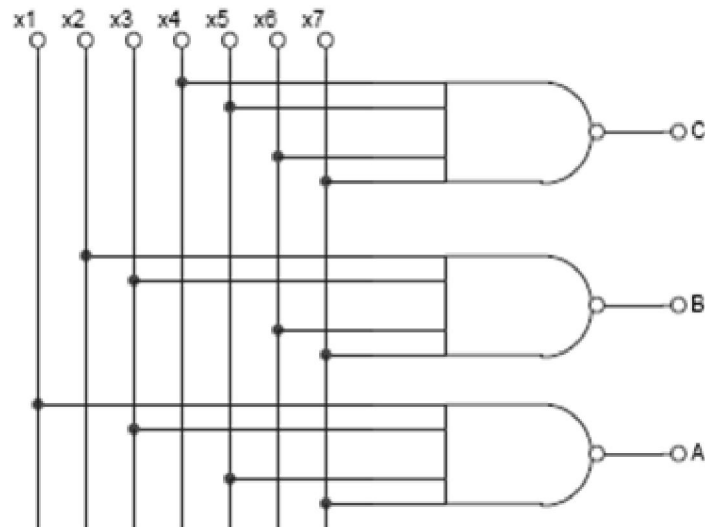
Phương trình logic tối giản :

$$A = \bar{x}_1 + \bar{x}_3 + \bar{x}_5 + \bar{x}_7 = \overline{x_1 x_3 x_5 x_7}$$

$$B = \bar{x}_2 + \bar{x}_3 + \bar{x}_6 + \bar{x}_7 = \overline{x_2 x_3 x_6 x_7}$$

$$C = \bar{x}_4 + \bar{x}_5 + \bar{x}_6 + \bar{x}_7 = \overline{x_4 x_5 x_6 x_7}$$

Sơ đồ mạch thực hiện cho trên Hình 24 -03-7



Hình 24 -03-7: Mạch mã hóa nhị phân từ 8 sang 3 ngõ vào tích cực mức 0

1.4. Mạch mã hoá ưu tiên

Ở các bộ mã hóa đã xét không tồn tại tình huống có đồng thời từ 2 đầu vào trở lên có giá trị 1. thực tế lại gặp phải tình huống có nhiều đầu vào nhận trị 1, lúc này mạch chỉ thực hiện mã hóa tín hiệu đầu vào nào có cấp (ưu tiên) cao nhất xét lại chúng cùng lúc tác động. Ta xét với bộ mã hóa ưu tiên 4 bit với 10 đầu vào cho

các tín hiệu Y_0 đến Y_9 , với tính chất nếu $Y_i = 1$ thì sẽ bỏ qua mọi $Y_j = 1$ khi $j < i$ ($i, j = 0, 1, \dots, 9$) tức là chỉ có đầu vào ứng với mức ưu tiên (i) cao nhất được mã hóa (quyết định tới đầu ra) tất cả các đầu vào có $Y_j = 1$ ($j < i$) sẽ ko tác động gì tới đầu ra.

IC 74147 thực hiện mã hóa ưu tiên có bảng chân lyscho trên bảng (2.3). Vi mạch có 10 đầu vào từ \overline{Y}_0 đến \overline{Y}_9 và 4 đầu ra $\overline{D}, \overline{C}, \overline{B}, \overline{A}$ tương ứng với các trọng số 8421 của mã BCD tự nhiên, các đầu vào và đầu ra đều có mức tích cực thấp, nghĩa là khi tại các đầu ra xuất hiện mã $\overline{D} = \overline{C} = \overline{B} = \overline{A} = 1$ (ứng với đầu vào $\overline{Y}_0 = 0$ hay $Y_0 = 1$) thì từ mã là $D = C = B = A = 0$.

Tương tự như vậy khi đầu vào xuất tín hiệu, ví dụ $Y_7 = 1$ lúc đó tác động tới đầu $\overline{Y}_7 = 0$ (mức tích cực thấp) tại các đầu ra theo bảng chân lý (2.3) có tổ hợp $\overline{D} = 1, \overline{C} = \overline{B} = \overline{A} = 1$. Từ nhận xét đó, mã BCD 8421 tại đầu ra chính là số bù 1 của các giá trị hàm ra ở bảng chân lý 2.3.

Bảng 2.3. BẢNG CHÂN LÝ BỘ MÃ HÓA ƯU TIÊN BCD 8421

Các hàm biến vào \overline{Y}_i										Hàm ra BCD 8421			
\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3	\overline{Y}_4	\overline{Y}_5	\overline{Y}_6	\overline{Y}_7	\overline{Y}_8	\overline{Y}_9	\overline{D}	\overline{C}	\overline{B}	\overline{A}
1	1	1	1	1	1	1	1	1	1	1	1	1	1
x	x	x	x	x	x	x	x	x	0	0	1	1	0
x	x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	x	1	1	1	1	1	0	0	1
x	x	x	x	x	1	1	1	1	1	1	0	1	0
x	x	x	x	1	1	1	1	1	1	1	0	1	1
x	x	x	1	1	1	1	1	1	1	1	1	0	0
x	x	1	1	1	1	1	1	1	1	1	1	0	1
x	1	1	1	1	1	1	1	1	1	1	1	1	0

2. Mạch giải mã

Mục tiêu:

- Trình bày được cấu trúc, nguyên lý của hệ thống mã hóa và giải mã.

2.1. Đặc điểm chung

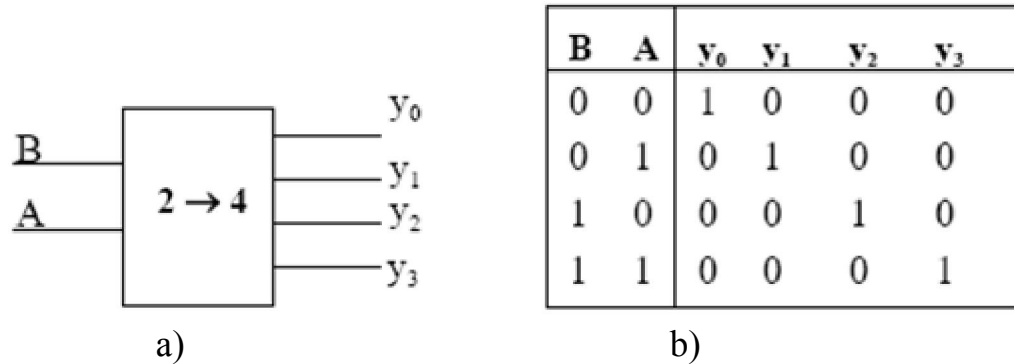
Bộ giải mã nhiệm vụ tiếp nhận chuyển đổi 1 từ mã nhị phân đầu vào (khi chúng tác động đồng thời tới các đầu vào) thành một tín hiệu logic duy nhất ở một đầu ra nào đó tương ứng với mã nhị phân đã tác động. Như vậy với N đầu vào có

thể nhận giá trị 0 hay 1, sẽ có 2^N tổ hợp mã đầu vào. Với mỗi tổ hợp mã đầu vào chỉ có một đầu ra tương ứng với biểu diễn của mã đầu vào được kích hoạt lên mức tích cực, các đầu ra còn lại ở mức đối lập với mức tích cực. Khi không dùng hết các tổ hợp mã đầu vào, bộ giải mã được thiết kế loại bỏ các tổ hợp này để chúng không tác động tới bất kỳ đầu ra nào.

2.2. Mạch giải mã 2 sang 4

Xét mạch giải mã nhị phân 2→4 (2 ngõ vào, 4 ngõ ra) như trên hình Hình 24 -03-8.

Chọn mức tích cực ở ngõ ra là mức logic 1.

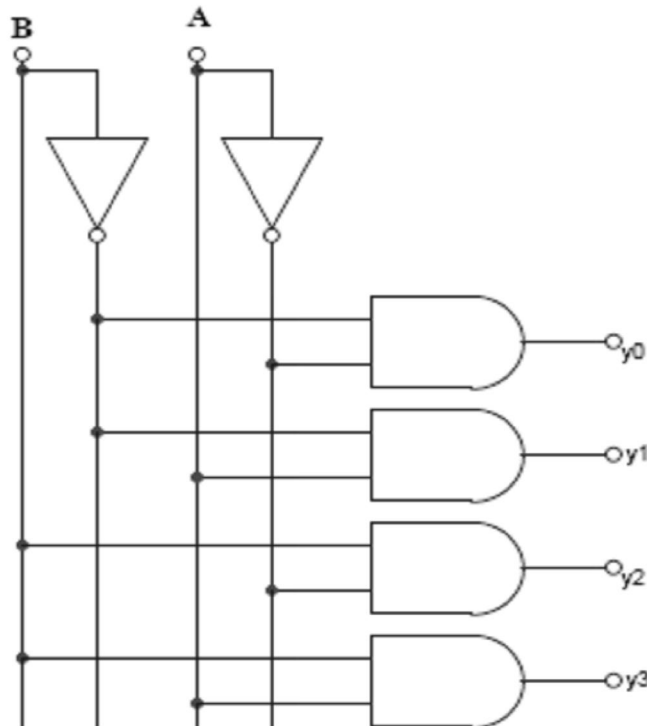


Hình 24 -03-8: a) Sơ đồ khối; b) Bảng chân lí

Phương trình logic tối giản :

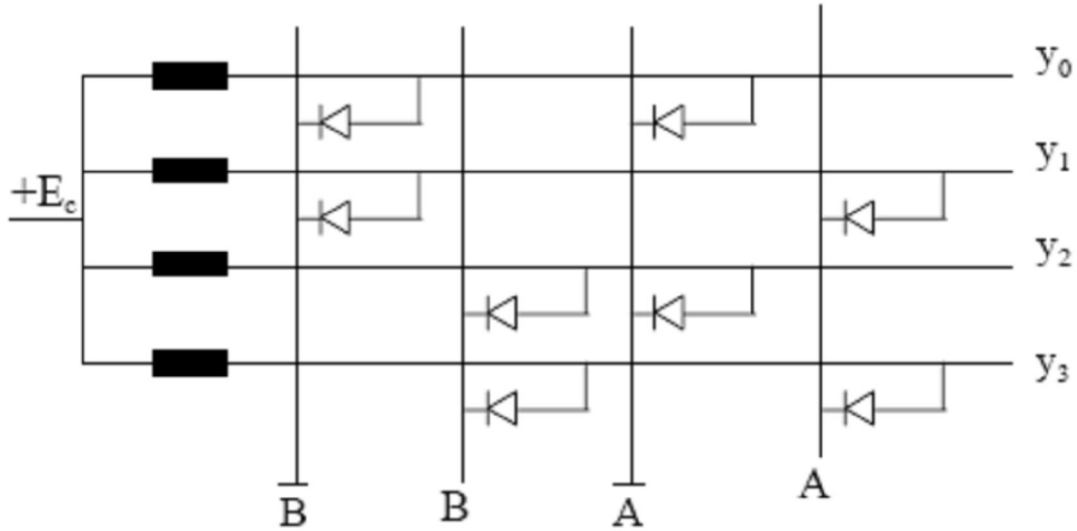
$$\begin{aligned} y_0 &= \overline{B} \cdot \overline{A} & y_1 &= \overline{B} \cdot A \\ y_2 &= B \cdot \overline{A} & y_3 &= A \cdot B \end{aligned}$$

Sơ đồ logic:



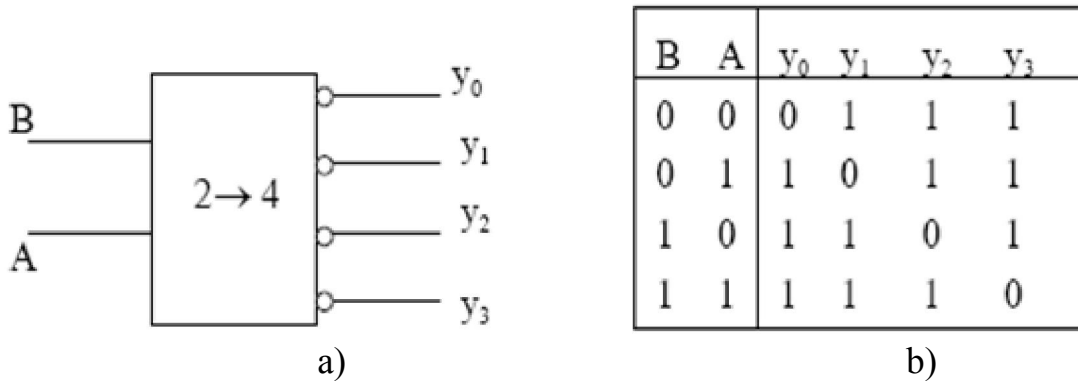
Hình 24 -03-9: Sơ đồ logic

Biểu diễn bằng công logic dùng Diode.



Hình 24 -03-10: Sơ đồ cổng logic dùng diode

Trường hợp chọn mức tích cực ở ngõ ra là mức logic 0 (mức logic thấp L):



Hình 24 -03-11: a) Sơ đồ khối; b) Bảng chân lí

Phương trình logic:

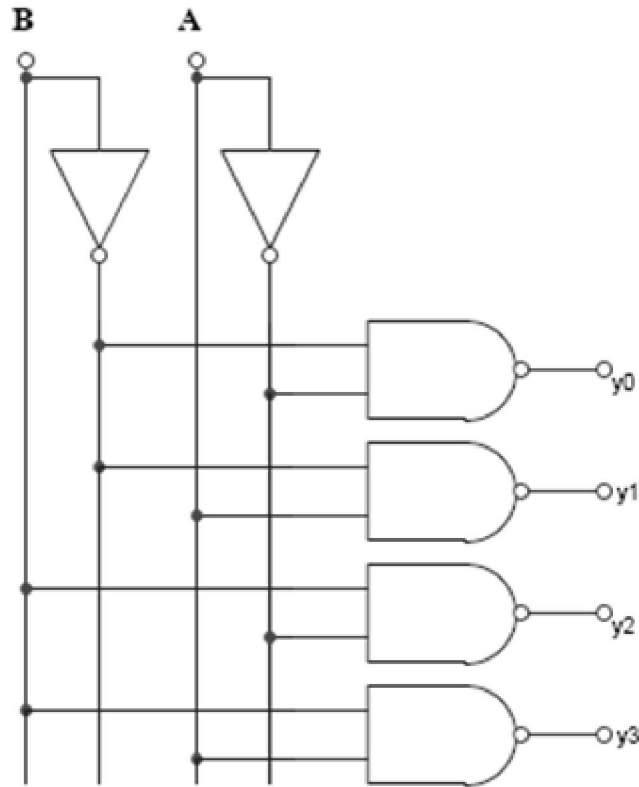
$$y_0 = B + A = \overline{\overline{B.A}}$$

$$y_1 = B + \overline{A} = \overline{\overline{B.A}}$$

$$y_2 = \overline{B} + A = \overline{\overline{B.A}}$$

$$y_3 = \overline{B} + \overline{A} = \overline{\overline{B.A}}$$

Sơ đồ logic:



Hình 24 -03-11: Mạch giải mã từ 2→4 với ngõ ra mức tích cực thấp

- Phần thực hành:

A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.
2. Đồng hồ vạn năng.
3. Khối thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).
4. Phụ tùng : Dây có chốt cắm hai đầu.

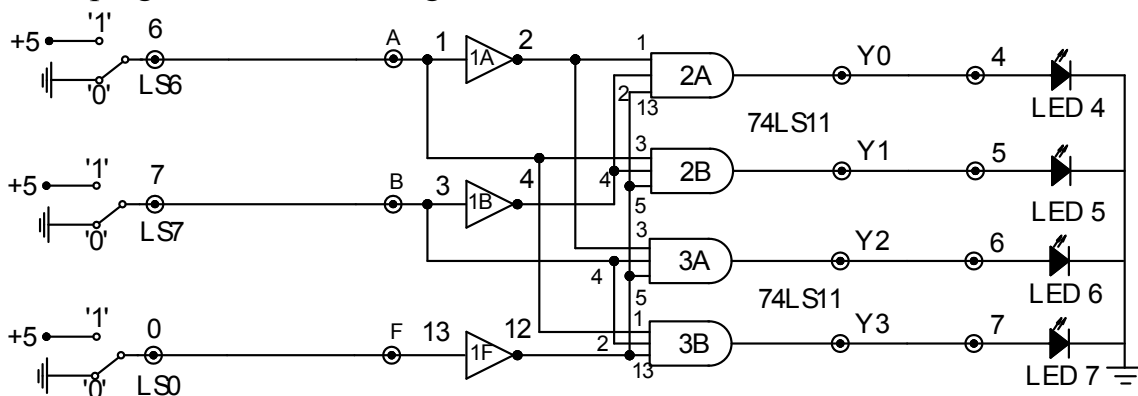
B. MỤC ĐÍCH THÍ NGHIỆM.

Tìm hiểu nguyên tắc biến đổi mã cơ số 2 thành các đường điều khiển riêng biệt.

C. THỰC HÀNH

Chú ý: Bộ giải mã Hình 24 -03-12: có các đường điều khiển lối ra tác động ở mức cao (=1).

1. Cấp nguồn +5V cho mảng sơ đồ Hình 24 -03-12:



2. Nối theo sơ đồ hình Hình 24 -03-12::

*Lối vào (Input): nối với bộ công tắc SWITCHES/BE-02.

- Nối lối vào A (bit thấp) với công tắc logic LS6.

- Nối lối vào B (bit cao) với công tắc logic LS7.

- Nối lối vào E (cho phép) với công tắc logic LS0.

*Lối ra (Output): nối với bộ công tắc DISPLAY/BE-02.

- Nối lối ra Y0 với LED4.

- Nối lối ra Y1 với LED5.

- Nối lối ra Y2 với LED6.

- Nối lối ra Y3 với LED7.

3. Đặt các công tắc logic LS6, LS7 và LS0 tương ứng với các trạng thái ghi trong bảng 2.4

Theo dõi trạng thái đèn LED chỉ thị . Đèn LED sáng, chứng tỏ mức ra là cao (=1), đèn LED tắt - là mức thấp (=0). Ghi kết quả vào bảng 2.4.

Bảng 2.4

LỐI VÀO INPUT			LỐI RA OUTPUT			
LSO	LS7	LS6	Y3	Y2	Y1	Y0
E	B	A				
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

4. Trên cơ sở sơ đồ nguyên lý và nguyên tắc hoạt động của cổng logic hãy giải thích kết quả cho từng hàng của bảng 2.4.

• A=0, B=0, E=0

- A=0 => (1A/2) =

- B=0 => (1B/4) =

- E=0 => (1F/12) =

Y0 = (2A/12) =

=> Y1 = (2B/6) =

Y2 = (3B/6) =

Y3 = (3A/12) =

• A=1, B=0, E=0

- A=1 => (1A/2) =

- B=0 => (1B/4) =

- E=0 => (1F/12) =

Y0 = (2A/12) =

=> Y1 = (2B/6) =

Y2 = (3B/6) =

- A=0, B=1, E=0
 - A=0 => (1A/2) =
 - B=1 => (1B/4) =..... => Y1 = (2B/6) =.....
 - E=0 => (1F/12) =.....
- A=1, B=1, E=0
 - A=1 => (1A/2) =
 - B=1 => (1B/4) =..... => Y1 = (2B/6) =.....
 - E=0 => (1F/12) =.....
- A=0, B=0, E=1
 - A=0 => (1A/2) =
 - B=0 => (1B/4) =..... => Y1 = (2B/6) =.....
 - E=1 => (1F/12) =.....
- A=1, B=0, E=1
 - A=1 => (1A/2) =
 - B=0 => (1B/4) =..... => Y1 = (2B/6) =.....
 - E=1 => (1F/12) =.....
- A=0, B=1, E=1
 - A=0 => (1A/2) =
 - B=1 => (1B/4) =..... => Y1 = (2B/6) =.....
 - E=1 => (1F/12) =.....
- A=1, B=1, E=1
 - A=1 => (1A/2) =
 - B=1 => (1B/4) =..... => Y1 = (2B/6) =.....
 - E=1 => (1F/12) =.....

$$\begin{aligned}
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots \\
 Y0 &= (2A/12) = \dots\dots\dots \\
 Y2 &= (3B/6) = \dots\dots\dots \\
 Y3 &= (3A/12) = \dots\dots\dots
 \end{aligned}$$

5. Nhận xét khi lỗi vào E = 1, tất cả các lỗi ra Y0:Y3 luôn ở trạng thái nào ?

.....

Nêu rõ vai trò của lỗi vào E:

.....

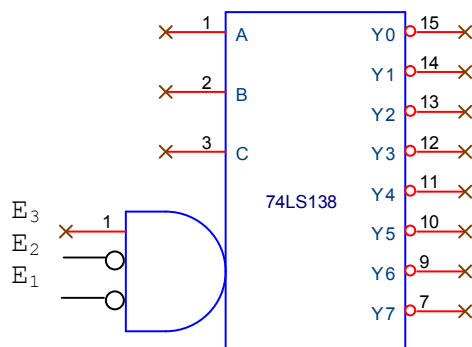
6. Trong trường hợp E = 0, Sơ đồ giải mã cơ số 2 thành mã điều khiển lỗi ra như thế nào?

2.3. Mạch giải mã 3 sang 8

- Giới thiệu IC 74LS138

- Hình dáng IC :

Các chân A,B,C là các ngõ vào số nhị phân



Các chân Y0 → Y7 là các ngõ ra.

E1,E2,E3 là chân Enable

- Bảng trạng thái :

Bảng 2.5

C	B	A	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

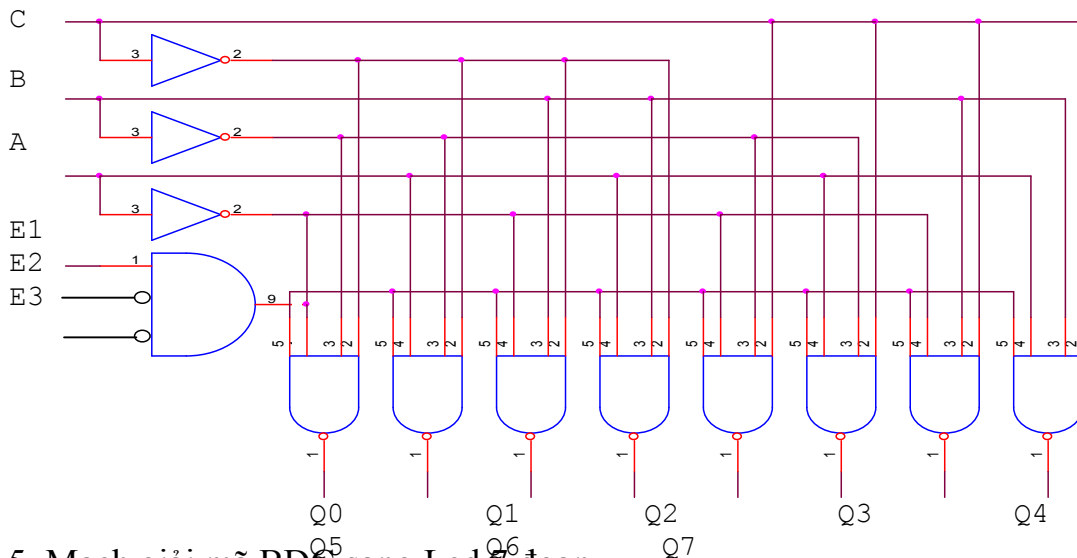
- Mạch điện :

Từ bảng trạng thái và theo chuẩn Minterm(chuẩn tắc tuyền) ta xây dựng được hàm ngõ ra như sau : (xét ngõ ra không đảo)

$$Q0 = \overline{A}\overline{B}\overline{C}, Q1 = \overline{A}B\overline{C}, Q2 = \overline{A}BC, Q3 = A\overline{B}\overline{C},$$

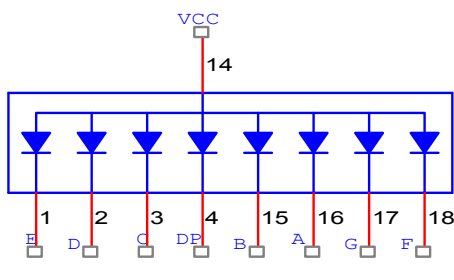
$$Q4 = \overline{A}BC, Q5 = A\overline{B}C, Q6 = \overline{A}BC, Q7 = A.B.C$$

Từ biểu thức hàm logic ta vẽ được mạch điện như hình dưới.

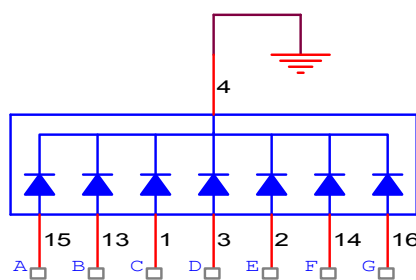


2.5. Mạch giải mã BCD sang Led 7 đoạn

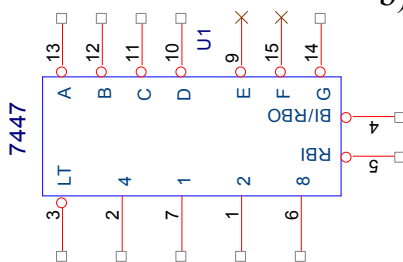
- Giới thiệu IC 7447 :
- Giới thiệu Led 7 đoạn :
 - Hình dáng bên ngoài :
 - Mạch điện :



a)



b)



c)

Hình 24-03-13: Các hình dáng của IC 7447

Để led làm việc ta cần có điện trở hạn dòng.

Hình dáng IC 7447 :

Nhiệm vụ từng chân linh kiện :

1,2,4,8 ngõ vào số BCD,

Các ngõ A,B,C,D,E,F,G các ngõ ra nối nói Led 7 đoạn.

LT : Lamp test.

RBI : xoá số không vô nghĩa ở ngõ vào.

RBO : xoá số không vô nghĩa ở ngõ ra.

Bảng 2.6

D	C	B	A	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1	1	1
0	0	1	0	0	1	0	0	1	0
0	0	1	1	0	0	0	1	1	0
0	1	0	0	0	0	1	1	0	0
0	1	0	1	1	0	0	1	0	0
0	1	1	0	1	0	0	0	0	0
0	1	1	1	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	1	0	0

- Phần thực hành:

A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.

2. Khối thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).

3. Phụ tùng : Dây có chốt cắm hai đầu, cáp băng

B. MỤC ĐÍCH THÍ NGHIỆM.

Tìm hiểu nguyên tắc biến đổi mã BCD thành 7 đường điều khiển dùng để chỉ thị LED.

C. THỰC HÀNH

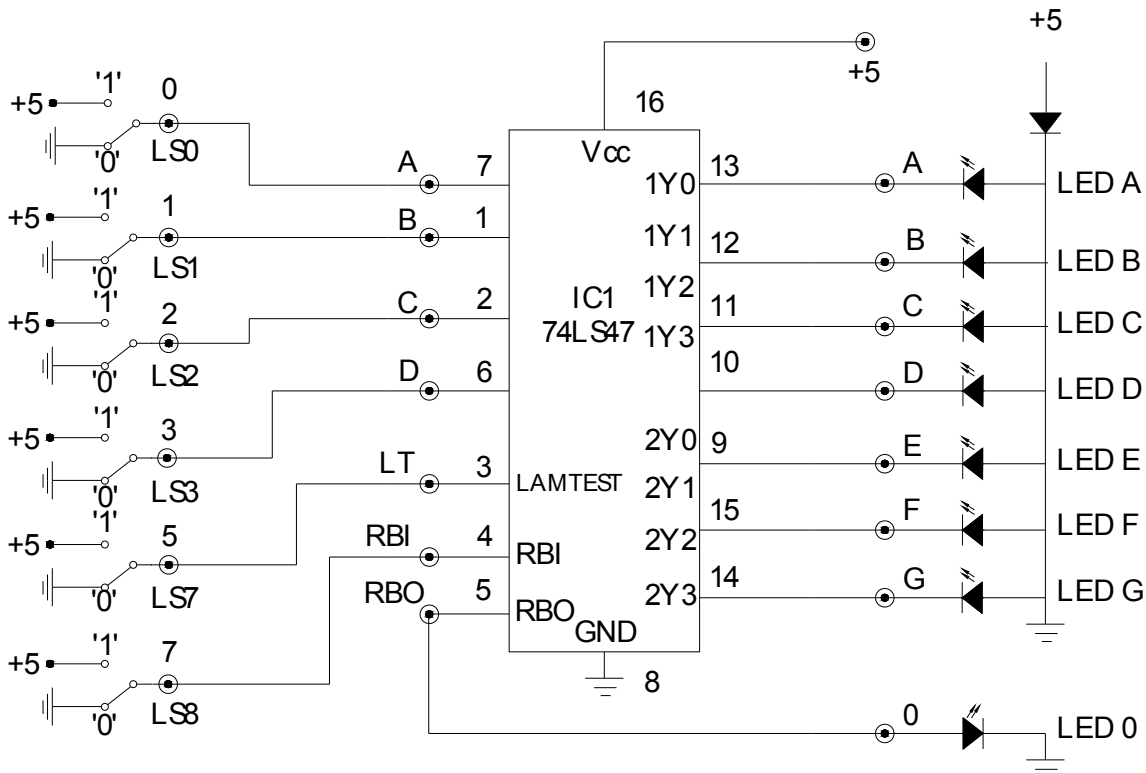
Ghi nhớ: mã BCD thường được hình thành trên 4 đường ra (4 bit) như Bảng 2.7.

Sau 10 xung, các trạng thái lỗi ra trở về trạng thái ban đầu.

Bảng 2.7

	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Bộ giải mã 4 bit thành 7 đường điều khiển loại vi mạch : Hình 24-03-14



Chú ý : bộ giải mã cho ra đường điều khiển tác động ở mức thấp (0).

1. Nối mạch của sơ đồ hình 24-03-14 với mạch của thiết bị chính BE-DO2 như sau

* Lối vào (Input): nối với bộ công tắc SWITCHES / BE-D02. Sử dụng cáp bằng nối jack Cn1/ khối D02/ D2-2 với jack 8chân của công tắc logic LS0.

-Lối vào A (bit thấp nhất) nối với công tắc logic LS0.

-Lối vào B nối với công tắc logic LS1.

-Lối vào C nối với công tắc logic LS2.

-Lối vào D (bit cao nhất) nối với công tắc logic LS3.

-Lối vào LT (Lamp Test - kiểm tra đèn) nối với công tắc logic LS7.

-Lối vào RB1 (lối vào điều khiển sáng) nối với công tắc logic LS8.

* Lối ra (Output):

- Các lối ra A-G của IC1 (7447) đã nối với các LED /a- LED /g tương ứng, bố trí theo dạng các đoạn (Segment) của số thập phân. Các LED được cấp nguồn theo các anode được nối qua diod lên nguồn +5V.

- Nối lối ra RB0 (báo giá trị mã zero) với LED0 của bộ chỉ thị logic/ BE-D02.

2.Đặt các công tắc logic LS0 ÷ LS6 tương ứng với các trạng thái ghi trong bảng 2.8 Theo dõi trạng thái đèn LED/a- LED/g, nếu tắt - ghi chữ T, còn nếu sáng - ghi chữ S vào hàng và cột tương ứng của bảng 2.8.

Đèn LED 0 của BE -D02 khi sáng chỉ thị là mức cao (ghi =1), nếu tắt - mức ra là mức thấp (=0).

Bảng 2.8

ĐIỀU KHIỂN CONTROL		LỐI VÀO INPUT				LỐI RA OUTPUT							
LS5	LS4	LS 3	LS2	LS1	LS 0		7	6	5	4	3	2	1
LT	RB1	D	C	B	A	RB O	g	f	e	d	c	b	a
1	1	0	0	0	0								
1	0	0	0	0	0								
1	1	0	0	0	1								
1	1	0	0	1	0								
1	1	0	0	1	1								
1	1	0	1	0	0								
1	1	0	1	0	1								
1	1	0	1	1	0								
1	1	0	1	1	1								
1	1	1	0	0	0								
1	1	1	0	0	1								
1	1	1	0	1	0								
1	0	0	1	0	1								
0	1	X	X	X	X								

* X: Giá trị chọn tùy ý.

3. Kết luận tóm tắt về bộ giả mã đã khảo sát khi so sánh giá trị thập phân của mã vào với chỉ số chỉ thị hình thành trên bộ LED:

• Khi LT = 1, lỗi vào này có tác động hay không ?

.....

• Khi LT = 0, trạng thái tất cả các LED trên board D2-2 như thế nào ?

.....

• Khi RBI = 1, trạng thái tất cả các LED trên board hay không?

.....

• Khi RBI = 0, có tác động đến chỉ thị tương ứng với trạng thái nào của các lỗi vào A,B,C,D ?

.....

Vậy khi muốn không chỉ thị số 0 không có nghĩa, cần đặt RBI =

• Khi LT = 1, RBI = 1 hãy nhận xét về cấu hình chỉ thị LED theo mã vào ?

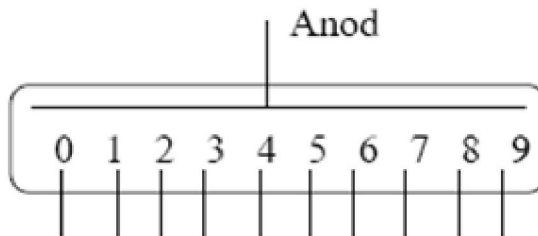
.....

2.4. Mạch giải mã BCD sang thập phân

- Giải mã đèn NIXIE

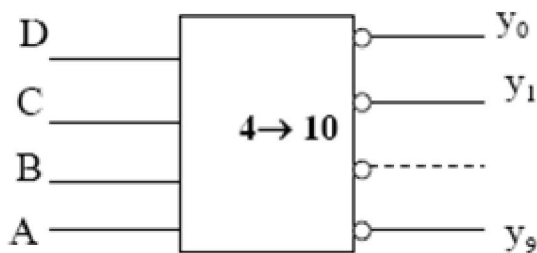
Đèn NIXIE là loại đèn điện tử loại Katod lạnh (Katod không được nung nóng bởi tim đèn), có cấu tạo gồm một Anod và 10 Katod mang hình các số từ 0 → 9.

Sơ đồ khai triển của đèn được cho trên hình 24-03-15:



Hình 24-03-15: Sơ đồ khai triển của đèn NIXIE

Sơ đồ khối của mạch giải mã đèn NIXIE



Hình 24-03-16: Sơ đồ khối của mạch giải mã đèn NIXIE

Chọn mức tích cực ở ngõ ra là mức logic 1, lúc đó bảng trạng thái hoạt động của mạch như sau:

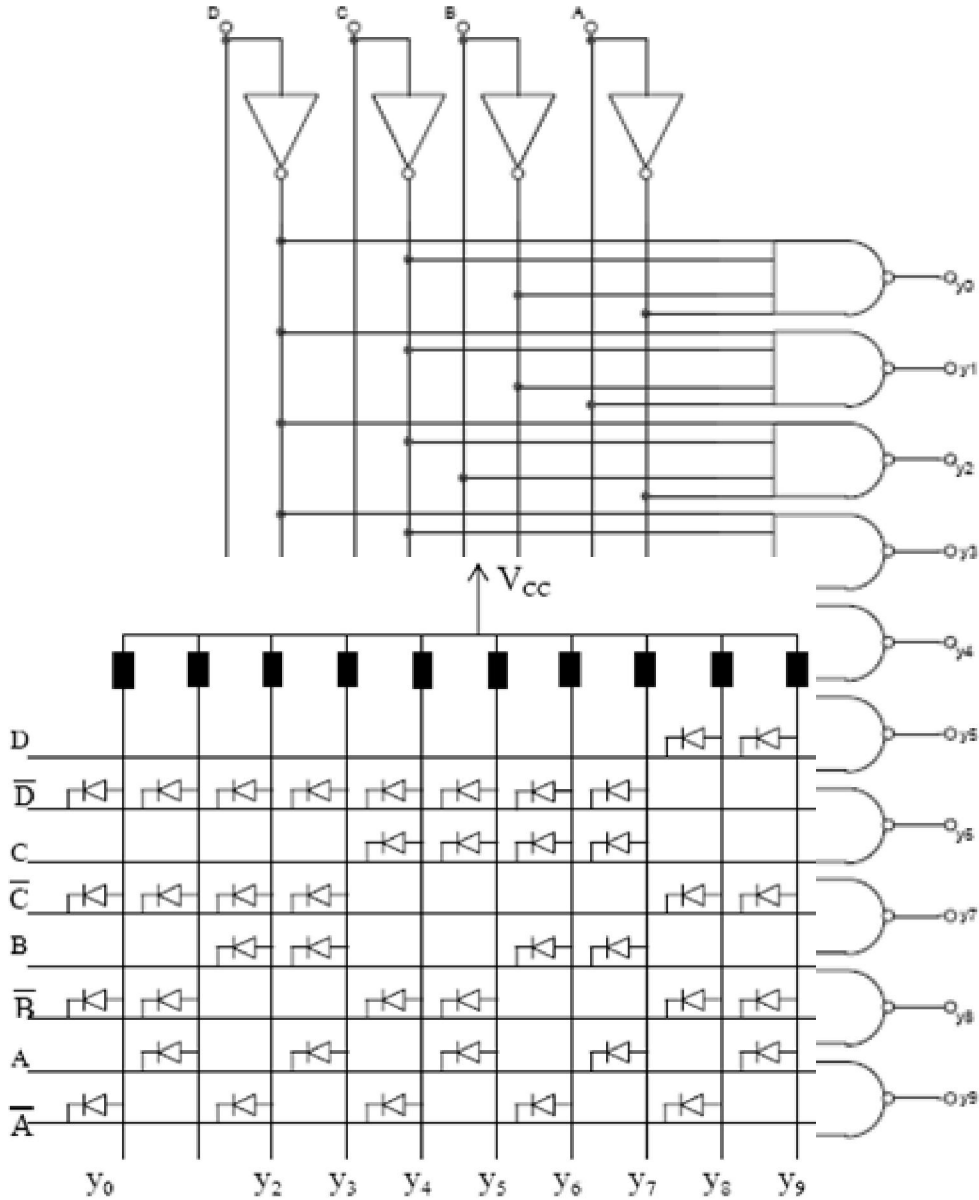
Bảng 2.9

D	C	B	A	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

Phương trình logic:

$$\begin{aligned}
 y_0 &= \overline{DCBA} & y_1 &= \overline{DC\overline{B}A} & y_2 &= \overline{DCBA\overline{A}} & y_3 &= \overline{DCBA} \\
 y_4 &= \overline{DC\overline{B}\overline{A}} & y_5 &= \overline{DC\overline{B}A} & y_6 &= \overline{DC\overline{B}\overline{A}} & y_7 &= \overline{DCBA} \\
 y_8 &= \overline{DC\overline{B}\overline{A}} & y_9 &= \overline{DC\overline{B}A}
 \end{aligned}$$

Sơ đồ thực hiện mạch giải mã đèn NIXIE được cho trên Hình 24-03-17:



Hình 24-03-17: Sơ đồ thực hiện bằng công logic

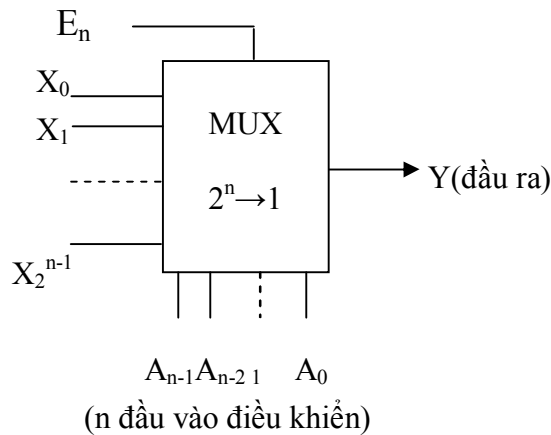
3. Mạch ghép kênh

Mục tiêu:

- Trình bày cấu tạo, nguyên lý hoạt động các mạch dồn kênh (MUX) thông dụng.

3.1. Tổng quát

- Định nghĩa: Bộ dồn kênh (MUX) là mạch có 2^n đầu, n đầu vào điều khiển, 1 đầu vào chọn mạch và một đầu ra
- Sơ đồ khối của DEMUX

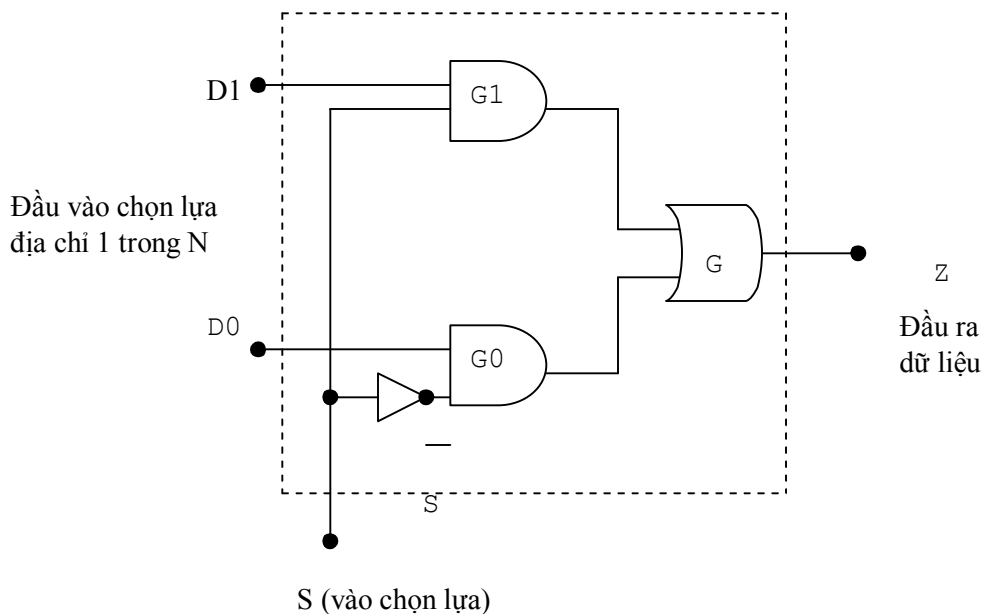


Hình 24-03-18: Sơ đồ khối của bộ dồn kênh

- Phương trình tín hiệu ra của MUX $2^n \rightarrow 1$ như sau:

$$Y_0 = X_0(\bar{A}_{n-1} \bar{A}_{n-2} \dots \bar{A}_i \dots \bar{A}_0) + X_1(\bar{A}_{n-1} \bar{A}_{n-2} \dots \bar{A}_i \dots A_0 A_0) + \dots + X_{2^n-1}(A_{n-1} A_{n-2} \dots A_i \dots A_0 A_0)$$

3.2. Mạch ghép kênh 2 đầu vào

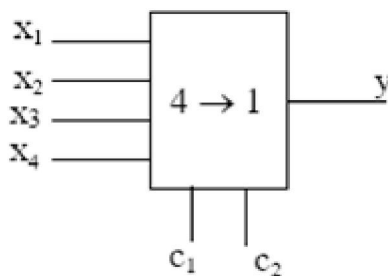


Hình 24-03-19: Bộ dồn kênh 2 đầu vào dữ liệu

Bộ ghép kênh 2 đầu vào (N=2) cho trên hình vẽ hoạt động theo mức logic của S: khi S=0 thì G₀ mở và Z= D₀ , còn khi S=1 cổng G₁ sẽ mở cho phép D₁ qua và Z=D₁

3.3. Mạch ghép 4 kênh sang 1

Xét mạch chọn kênh đơn giản có 4 ngõ vào và 1 ngõ ra như hình 4.23a.



a)

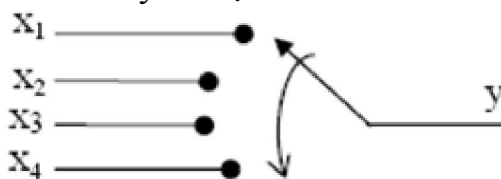
Trong đó:

+ x_1, x_2, x_3, x_4 : Các kênh dữ liệu vào.

+ Ngõ ra y : Đường truyền chung.

+ c_1, c_2 : Các ngõ vào điều khiển

Vậy mạch này giống như 1 chuyển mạch:



b)

Hình 24-03-20: a) Sơ đồ khối; b) Bộ dồn kênh dạng chuyển mạch

Để thay đổi lần lượt từ $x_1 \rightarrow x_4$ phải có điều khiển do đó đối với mạch chọn kênh để chọn lần lượt từ 1 trong 4 kênh vào cần có các ngõ vào điều khiển c_1, c_2 .

Nếu có N kênh vào thì cần có n ngõ vào điều khiển thỏa mãn quan hệ: $N=2^n$. Nói cách khác: Số tổ hợp ngõ vào điều khiển bằng số lượng các kênh vào.

Việc chọn dữ liệu từ 1 trong 4 ngõ vào để đưa đến đường truyền chung là tùy thuộc vào tổ hợp tín hiệu điều khiển tác động đến hai ngõ vào điều khiển c_1, c_2 .

+ $c_1 = c_2 = 0 \Rightarrow y = x_1$ (x_1 được nối tới ngõ ra y).

+ $c_1 = 0, c_2 = 1 \Rightarrow y = x_2$ (x_2 được nối tới ngõ ra y).

+ $c_1 = 1, c_2 = 0 \Rightarrow y = x_3$ (x_3 được nối tới ngõ ra y).

+ $c_1 = 1, c_2 = 1 \Rightarrow y = x_4$ (x_4 được nối tới ngõ ra y).

Vậy tín hiệu điều khiển phải liên tục để dữ liệu từ các kênh được liên tục đưa đến ngõ ra. Từ đó ta lập được bảng trạng thái (Bảng 2.10) mô tả hoạt động của mạch chọn kênh.

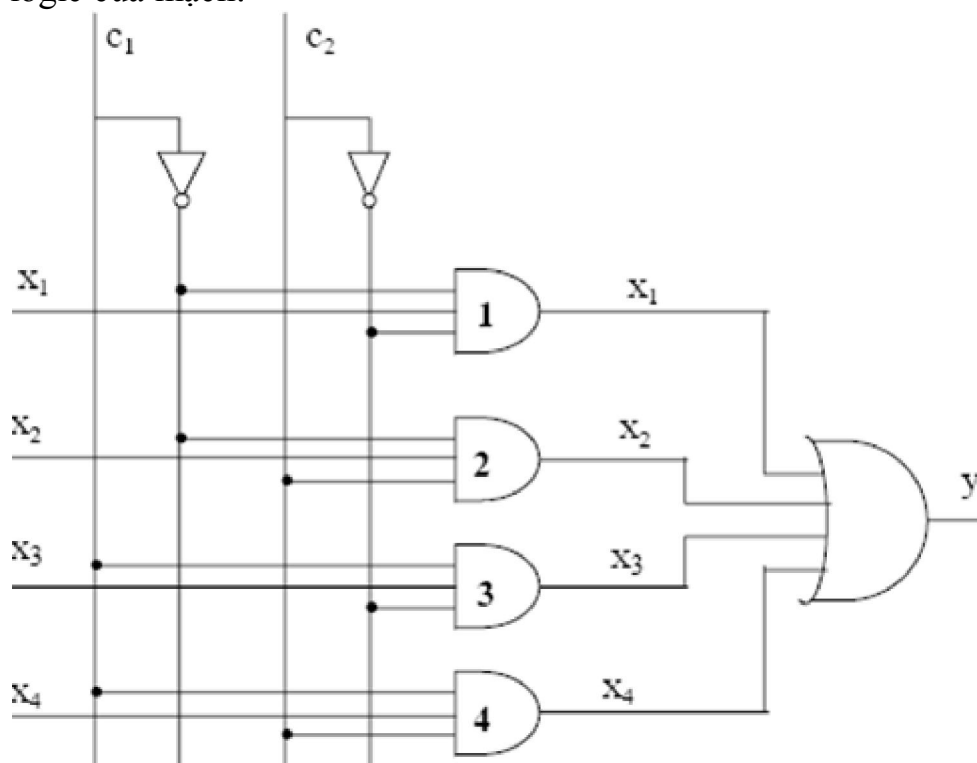
Bảng 2.10

c_1	c_2	y
0	0	x_1
0	1	c_2
1	0	c_3
1	1	c_4

Phương trình logic mô tả hoạt động của mạch :

$$y = \overline{c_1} \overline{c_2} . x_1 + \overline{c_1} c_2 . x_2 + c_1 \overline{c_2} . x_3 + c_1 . c_2 . x_4$$

Sơ đồ logic của mạch:



Hình 24-03-21: Sơ đồ logic mạch chọn kênh từ 4 → 1

Giải thích hoạt động của mạch:

$$+ c_1 = c_2 = 0 \Rightarrow \overline{c_1} = \overline{c_2} = 1$$

⇒ cổng AND 1 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 1 mở cho dữ liệu x_1 đưa vào.

$$+ c_1 = 0, c_2 = 1 \Rightarrow \overline{c_1} = 1, c_2 = 0 \Rightarrow$$

cổng AND 2 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 2 mở cho dữ liệu x_2 đưa vào.

$$+ c_1 = 1, c_2 = 0 \Rightarrow c_1 = 1, \overline{c_2} = 1 \Rightarrow$$

cổng AND 3 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 3 mở cho dữ liệu x_3 đưa vào.

$$+ c_1 = 1, c_2 = 1 \Rightarrow c_1 = c_2 = 1 \Rightarrow$$

cổng AND 4 có hai ngõ vào điều khiển ở mức logic 1, cũng tương ứng với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND 4 mở cho dữ liệu x_4 đưa vào.

- Phần thực hành:

A. THIẾT BỊ SỬ DỤNG.

1. Thiết bị chính cho thực tập cơ bản về điện tử số BE-D02.
2. Khối thí nghiệm BE-D021 (Gắn lên thiết bị chính BE-D02).
3. Phụ tùng : Dây có chốt cắm hai đầu.

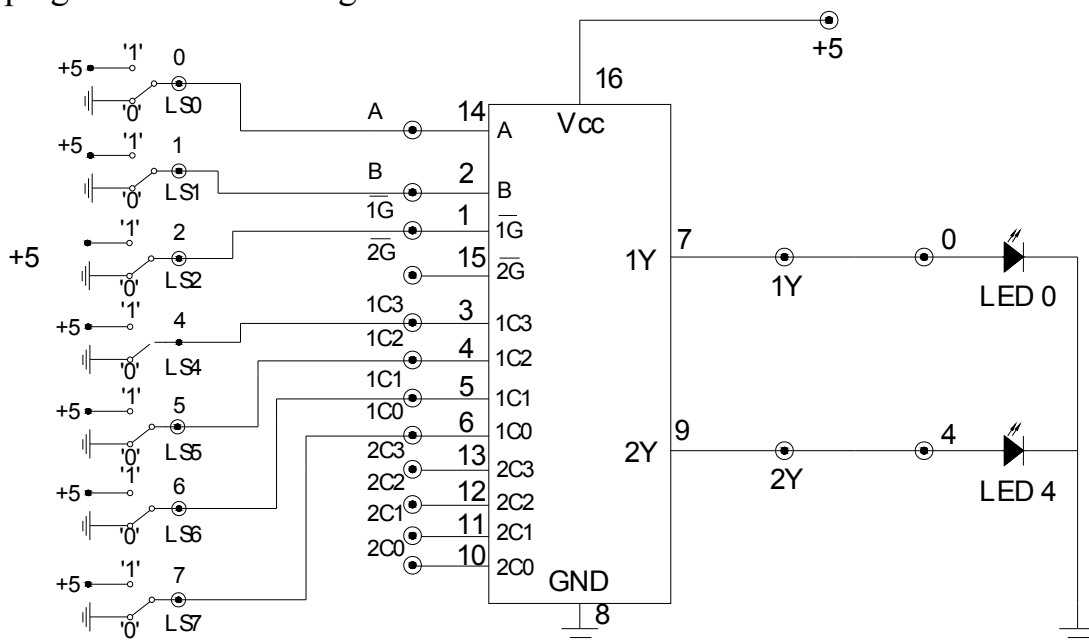
B. MỤC ĐÍCH THÍ NGHIỆM.

Tìm hiểu nguyên tắc chuyển điều khiển logic từ phía nhiều đường thành ít đường.

C. THỰC HÀNH

Vi mạch hợp kênh 74LS153 có hai bộ lối vào 4 bit có lối ra riêng.

1. Cấp nguồn +5V cho mảng sơ đồ Hình 24-03-22: .



Hình 24-03-22: Bộ hợp kênh 4lối vào - 1 lối ra (4 In/1 Out Multiplexer).

2. Nối mạch của sơ đồ Hình 24-03-22 với các mạch của thiết bị chính BE-D02 như sau:

* Lối vào (Input): nối với bộ công tắc SWITCHES & DISPLAY của BE-D02.

- Nối lối vào IC3 nối với công tắc logic LS4.
- Nối lối vào IC2 nối với công tắc logic LS5.
- Nối lối vào IC1 nối với công tắc logic LS6.
- Nối lối vào IC0 nối với công tắc logic LS7.
- Nối lối vào A nối với công tắc logic LS0.
- Nối lối vào B nối với công tắc logic LS1.
- Nối lối vào $1\bar{G}$ với công tắc LS2.

* Lối vào (Output) nối với các LED của bộ chỉ thị logic của BE-D02

- Nối lối 1Y nối với LED0.
- Nối lối 2Y nối với LED4.

3. Đặt các công tắc logic LS0:LS2,LS4:LS7 tương ứng với các trạng thái ghi trong bảng 2.11. Theo dõi trạng thái đèn LED chỉ thị. Đèn LED sáng, chứng tỏ mức ra là cao (=1), đèn LED tắt - mức ra là mức thấp (=0). Ghi kết quả vào bảng 2.11, trong đó cột trạng thái ghi 0 hoặc 1 theo chỉ thị của đèn LED tương ứng.

Bảng 2.11

MÃ CHỌN SELECT IN		DỮ LIỆU VÀO DATA INPUT				CÔNG STROBE		LỐI RA OUT	
B	A	IC0	IC1	IC2	IC3	$1\bar{G}$	$2\bar{G}$	1Y	2Y
X	X	X	X	X	X	1	1		
0	0	0	X	X	X	0	1		
0	0	1	X	X	X	0	1		
0	1	X	0	X	X	0	1		
0	1	X	1	X	X	0	1		
1	0	X	X	0	X	0	1		
1	0	X	X	1	X	0	1		
1	1	X	X	X	0	0	1		
1	1	X	X	X	1	0	1		

* X : giá trị bất kỳ

4. Nêu những nhận xét về hoạt động của bộ hợp kênh 74LS153:

- Khi $1\bar{G} = 1$, Lối ra của bộ hợp kênh ở trạng thái nào ?

Vậy lối vào $1\bar{G}$ được sử dụng làm nhiệm vụ gì ?

.....

.....

- Khi $1\bar{G} = 0$, bộ hợp kênh làm việc như thế nào ?

.....

.....

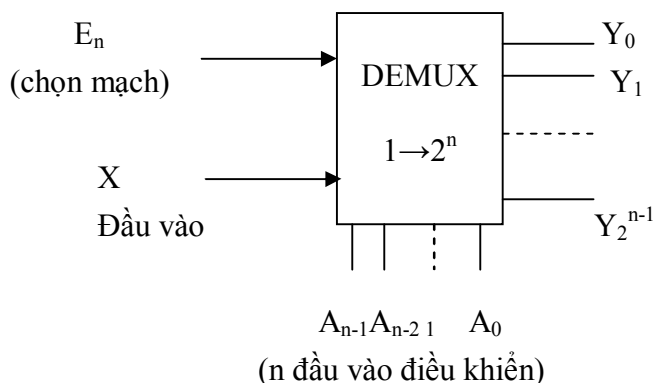
4. Mạch tách kênh

Mục tiêu:

- Trình bày cấu tạo, nguyên lý hoạt động các mạch tách kênh (DEMUX) thông dụng.

4.1. Tổng quát

- Định nghĩa: Bộ phân kênh (DEMUX) là mạch có 1 đầu vào, n đầu vào điều khiển, 1 đầu vào chọn mạch và 2^n đầu ra.
- Sơ đồ khối của DEMUX:



Hình 24-03-23: Sơ đồ khối của bộ phân kênh

- Phương trình tín hiệu ra của DEMUX $1 \rightarrow 2^n$ như sau:

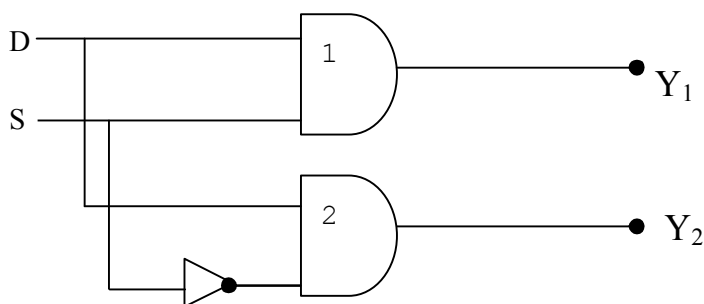
$$Y_0 = X \cdot \bar{A}_{n-1} \bar{A}_{n-2} \dots \bar{A}_i \dots \bar{A}_0$$

$$Y_1 = X \cdot \bar{A}_{n-1} \bar{A}_{n-2} \dots \bar{A}_i \dots A_0$$

.....

$$Y_{2^n-1} = X \cdot A_{n-1} A_{n-2} \dots A_i \dots A_0$$

4.2. Mạch tách kênh 1 sang 2



Hình 24-03-24: Sơ đồ logic bộ phân kênh một đầu vào

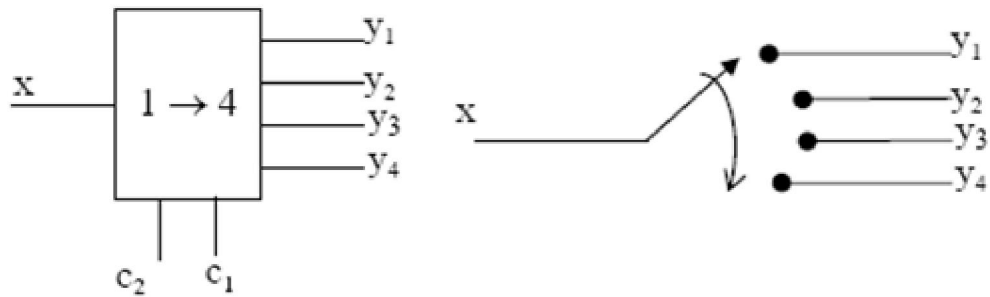
Trong đó: D: Đầu vào dữ liệu

S : Đầu vào chọn địa chỉ

Y_1, Y_2 : Đầu ra

4.3. Mạch tách kênh 1 sang 4

Xét mạch phân đường đơn giản có 1 ngõ vào và 4 ngõ ra ký hiệu như sau :



Hình 24-03-25: Sơ đồ mạch phân kênh đơn giản từ 1 → 4

Trong đó:

- + x là kênh dữ liệu vào.
- + y_1, y_2, y_3, y_4 các ngõ ra dữ liệu.
- + c_1, c_2 các ngõ vào điều khiển.

Ta có thể thấy mạch này thực hiện chức năng như 1 chuyển mạch (hình vẽ 24-03-25).

Tùy thuộc vào tổ hợp tín hiệu điều khiển tác dụng vào mạch mà lần lượt tín hiệu từ ngõ vào x sẽ chuyển đến ngõ ra y_1, y_2, y_3, y_4 một cách tương ứng.

Lúc đó bảng trạng thái mô tả hoạt động của mạch :

Bảng 2.12

c_1	c_2	y_1	y_2	y_3	y_4
0	0	x	0	0	0
0	1	0	x	0	0
1	0	0	0	x	0
1	1	0	0	0	x

Phương trình logic các ngõ ra:

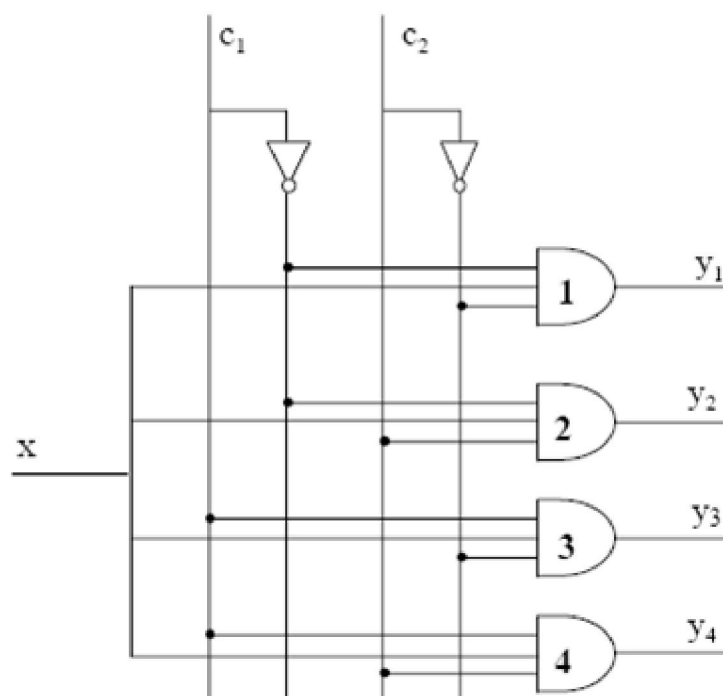
$$y_1 = \overline{c_1} \overline{c_2} . x$$

$$y_2 = \overline{c_1} c_2 . x$$

$$y_3 = c_1 \overline{c_2} . x$$

$$y_4 = c_1 c_2 . x$$

Sơ đồ logic được cho trên hình 24-03-26:



Hình 24-03-26: Sơ đồ logic thực hiện mạch phân đường

Giải thích hoạt động:

$$+ c_1 = c_2 = 0 \rightarrow \overline{c_1} = \overline{c_2} = 1$$

nên cổng AND (1) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (1) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_1 . Đồng thời lúc đó các cổng AND 2, 3, 4 có ít nhất một ngõ vào điều khiển ở mức logic 0 nên không cho dữ liệu từ đầu vào x đến các ngõ ra.

$$+ c_1 = 0, c_2 = 1 \rightarrow \overline{c_1} = 1, c_2 = 1$$

nên cổng AND (2) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (2) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_2 .

$$+ c_1 = 1, c_2 = 0 \rightarrow c_1 = 1, \overline{c_2} = 1$$

nên cổng AND (3) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (3) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_3 .

$$+ c_1 = c_2 = 1 \rightarrow c_1 = c_2 = 1$$

nên cổng AND (4) có hai ngõ vào điều khiển ở mức logic 1, tương đương với 1 ngõ vào điều khiển ở mức logic 1 nên cổng AND (4) mở đưa dữ liệu từ ngõ vào x đến ngõ ra y_4 .

Nếu $x = 1$ và hoán đổi ngõ vào điều khiển thành ngõ vào dữ liệu thì mạch phân đường chuyển thành mạch giải mã nhị phân. Vì vậy, nhà sản xuất đã chế tạo IC đảm bảo cả hai chức năng: giải mã và giải đa hợp (Decode/Demultilex). Ví dụ: các IC 74138, 74139, 74154: giải mã và phân đường tùy thuộc vào cách nối chân.

Trong trường hợp tổng quát, mạch phân đường có 1 ngõ vào và 2ⁿ ngõ ra: để tách $N=2^n$ nguồn dữ liệu khác nhau cần có n ngõ vào điều khiển, lúc đó số tổ hợp ngõ vào điều khiển bằng số lượng ngõ ra.

CÂU HỎI ÔN TẬP

- 3.1. Trình bày định nghĩa, sơ đồ khối mạch mã hóa?
- 3.2. Trình bày mạch mã hóa 8 sang 3
- 3.3. Trình bày mạch giải mã 2 sang 4
- 3.4. Trình bày mạch giải mã BCD sang thập phân
- 3.5. Trình bày mạch dồn kênh?
- 3.6. Trình bày mạch phân kênh?

BÀI 4: MẠCH ĐẾM VÀ THANH GHI

Mã bài: MĐ 24-04

Giới thiệu:

Mạch đếm là mạch dãy đơn giản, cũng như các mạch dãy khác, mạch đếm được xây dựng từ các phần tử nhớ là các Flip-Flop và các phần tử tổ hợp.

Các mạch đếm là thành phần cơ bản của hệ thống số, chúng được sử dụng để đếm thời gian, chia tần số, điều khiển các mạch khác...

Thanh ghi dịch có khả năng ghi giữ và dịch thông tin (dịch phải hoặc dịch trái)

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch đếm và thanh ghi thông dụng.

- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính xác

Nội dung chính:

1. Mạch đếm

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động các mạch đếm

1.1. Mạch đếm lên không đồng bộ

Đây là bộ đếm có nội dung đếm tăng dần. Nguyên tắc ghép nối các TFF (hoặc JKFF thực hiện chức năng TFF) để tạo thành bộ đếm nối tiếp còn phụ thuộc vào tín hiệu điều khiển C_k . Có 2 trường hợp khác nhau:

- Tín hiệu C_k tác động sườn lên: TFF hoặc JKFF được ghép nối với nhau theo qui luật sau:

$$C_{k_{i+1}} = Q_i$$

- Tín hiệu C_k tác động sườn xuống: TFF hoặc JKFF được ghép nối với nhau theo qui luật sau:

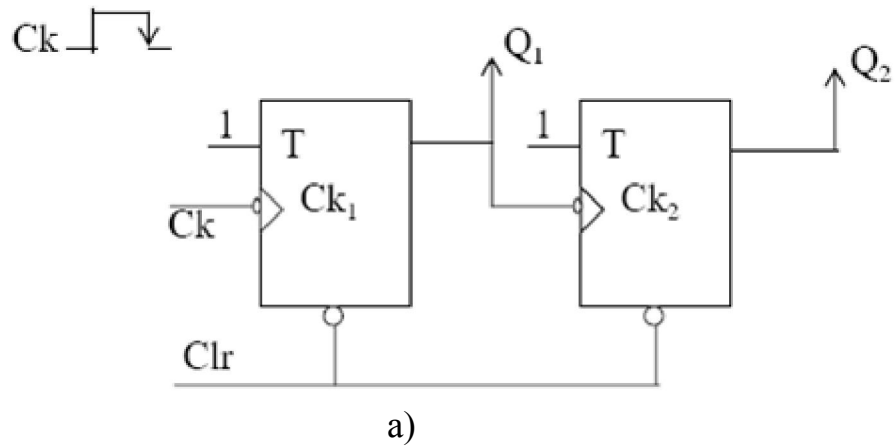
$$C_{k_{i+1}} = \overline{Q_i}$$

Trong đó T luôn luôn giữ ở mức logic 1 ($T = 1$) và ngõ ra của TFF đứng trước nối với ngõ vào C_k của TFF đứng sau.

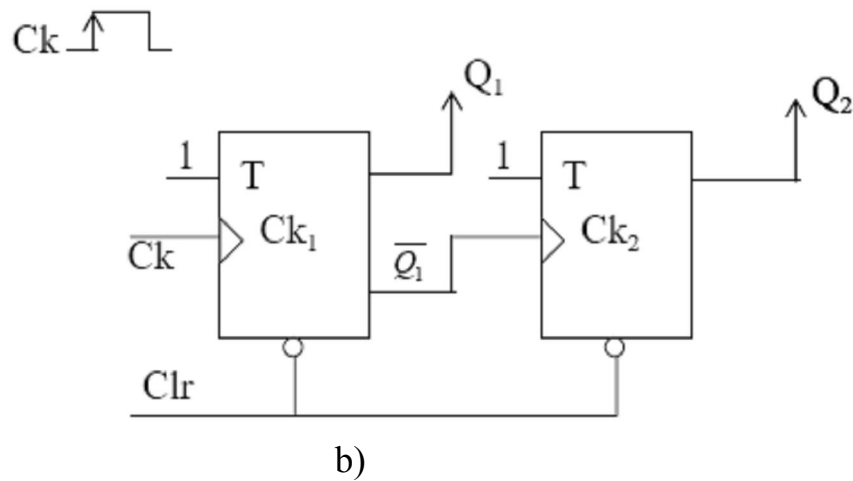
Để minh họa chúng ta xét ví dụ về một mạch đếm nối tiếp, đếm 4, đếm lên, dùng TFF.

Số lượng TFF cần dùng: $4 = 2^2 \Rightarrow$ dùng 2 TFF

Trường hợp C_k tác động theo sườn xuống (Hình 24-04-1a):

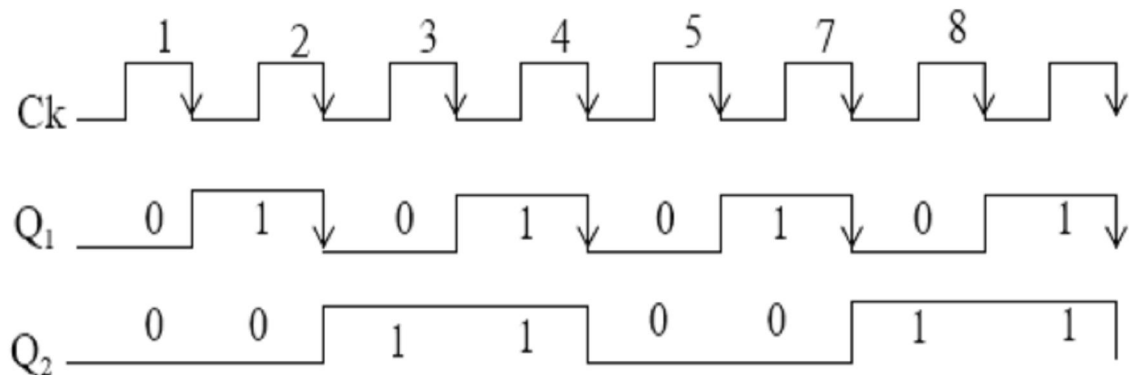


Trường hợp Ck tác động theo sườn lên (24-04-1b):



Hình 24-04-1: a) Ck tác động theo sườn xuống ; b) Ck tác động theo sườn lên
 Trong các sơ đồ mạch này Clr (Clear) là ngõ vào xóa của TFF. Ngõ vào Clr tác động mức thấp, khi Clr = 0 thì ngõ ra Q của FF bị xóa về 0 (Q=0).

Giản đồ thời gian của mạch ở Hình 24-04-1a :



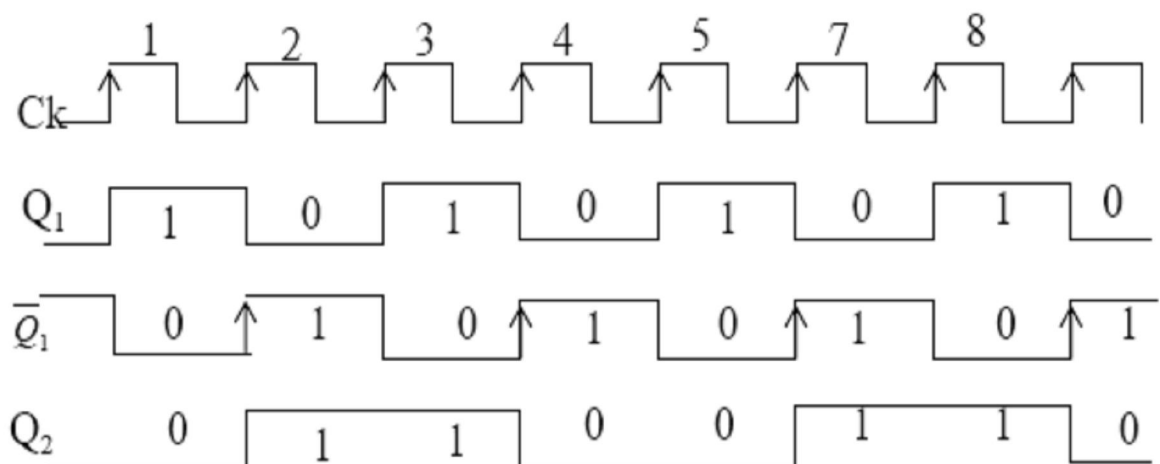
Hình 24-04-2: Giản đồ thời gian của hình 24-04-1a

Bảng trạng thái hoạt động của mạch hình 24-04-1a:

Bảng 4.1

Xung vào	Trạng thái hiện tại		Trạng thái kế tiếp	
Ck	Q_2	Q_1	Q_2	Q_1
1	0	0	0	1
2	0	1	1	0
3	1	0	1	1
4	1	1	0	0

Giản đồ thời gian mạch hình 24-04-1b:



Hình 24-04-3: Giản đồ thời gian của hình 24-04-1b

Bảng trạng thái hoạt động của mạch hình 24-04-1b:

Bảng 4.2

Xung vào	Trạng thái hiện tại		Trạng thái kế tiếp	
Ck	Q_2	Q_1	Q_2	Q_1
1	0	1	1	0
2	1	0	1	1
3	1	1	0	0
4	0	0	0	1

1.2. Mạch đếm xuống

Đây là bộ đếm có nội dung đếm giảm dần. Nguyên tắc ghép các FF cũng phụ thuộc vào tín hiệu điều khiển Ck:

- Tín hiệu Ck tác động sườn xuống: TFF hoặc JKFF được ghép nối với nhau theo qui luật sau:

$$Ck_{i+1} = \overline{Q_i}$$

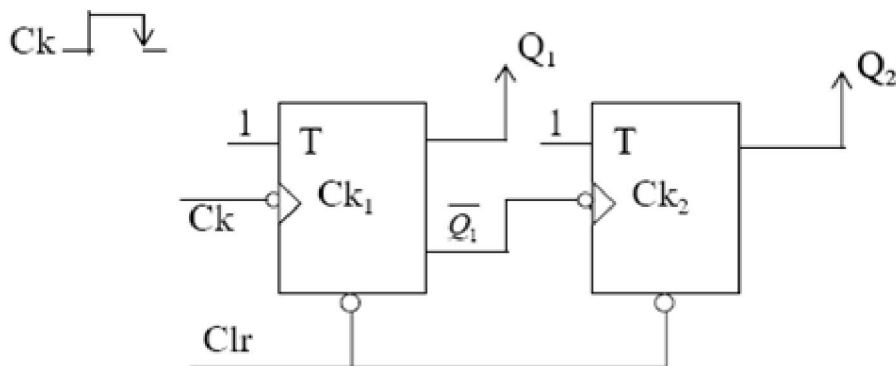
- Tín hiệu Ck tác động sườn xuống: TFF hoặc JKFF được ghép nối với nhau theo qui luật sau: $Ck_{i+1} = \overline{Q_i}$

Trong đó T luôn luôn giữ ở mức logic 1 ($T = 1$) và ngõ ra của TFF đứng trước nối với ngõ vào Ck của TFF đứng sau.

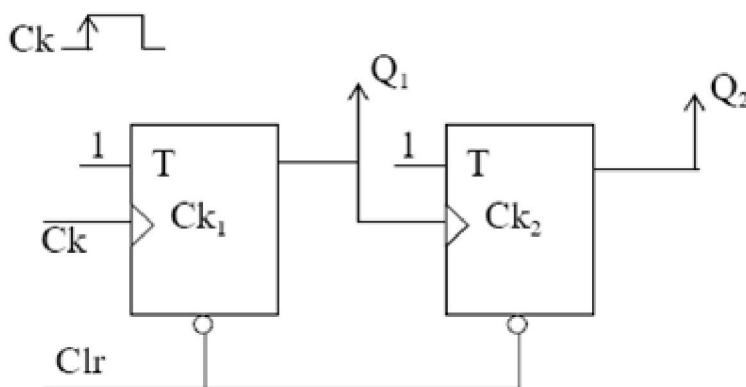
Ví dụ: Xét một mạch đếm 4, đếm xuống, đếm nối tiếp dùng TFF.

Số lượng TFF cần dùng: $4=2^2 \Rightarrow$ dùng 2 TFF

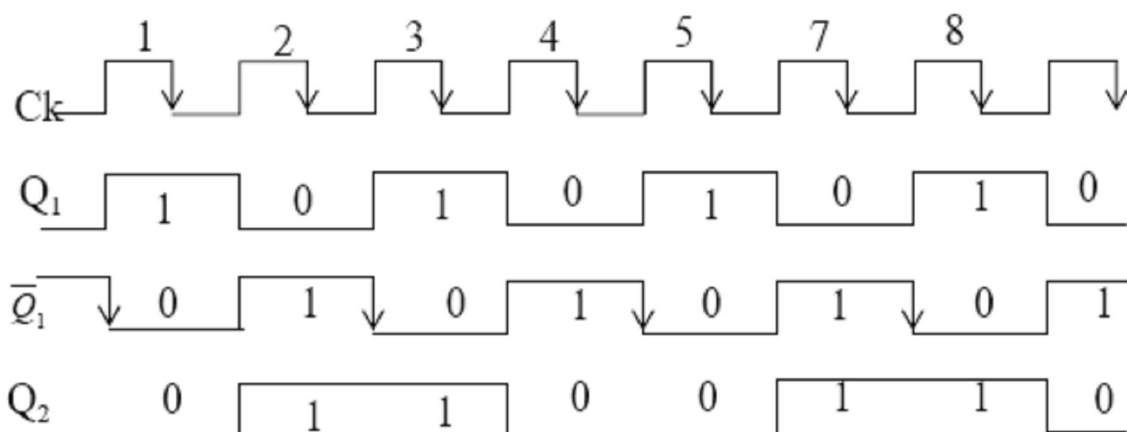
Sơ đồ mạch thực hiện khi sử dụng Ck tác động sườn xuống và Ck tác động sườn lên lần lượt được cho trên hình 24-04-4a và hình 24-04-4b:



Hình 24-04-4a: Sơ đồ mạch thực hiện khi sử dụng Ck tác động sườn xuống



Hình 24-04-4b: Sơ đồ mạch thực hiện khi sử dụng Ck tác động sườn lên
Giản đồ thời gian của mạch hình 24-04-4a:

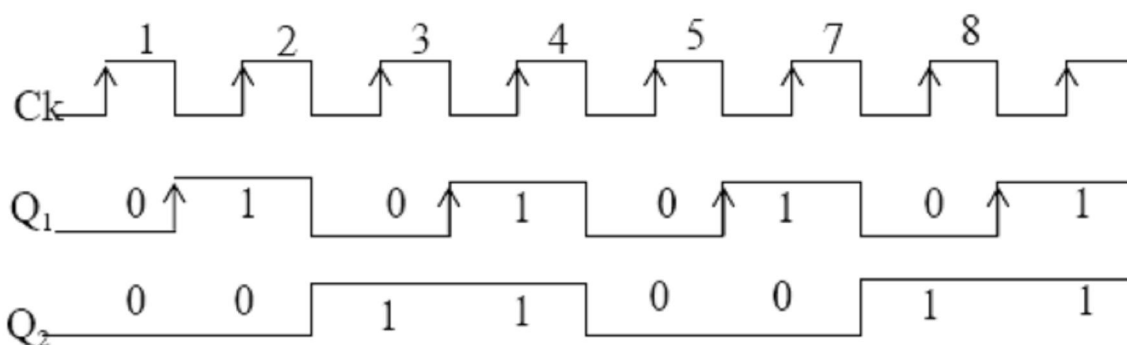


Bảng trạng thái hoạt động của mạch hình 24-04-4a:

Bảng 4.3

Xung vào	Trạng thái hiện tại		Trạng thái kế tiếp	
Ck	Q_2	Q_1	Q_2	Q_1
1	0	0	1	1
2	1	1	1	0
3	1	0	0	1
4	0	1	0	0

Giản đồ thời gian của mạch hình 24-04-4b:



Hình 24-04-5: Giản đồ thời gian của mạch hình 24-04-4b

1.3. Mạch đếm lên, đếm xuống

Gọi X là tín hiệu điều khiển chiều đếm, ta quy ước:

- + Nếu X = 0 thì mạch đếm lên.
- + Nếu X = 1 thì đếm xuống.

Ta xét 2 trường hợp của tín hiệu Ck:

- Xét tín hiệu Ck tác động sườn xuống:

Lúc đó ta có phương trình logic:

$$Ck_{i+1} = \overline{X}.Q_i + X\overline{Q}_i = X \oplus Q_i$$

- Xét tín hiệu Ck tác động sườn lên:

Lúc đó ta có phương trình logic:

$$Ck_{i+1} = \overline{X}.Q_i + X.Q_i = \overline{X \oplus Q_i}$$

1.4 Mạch đếm không đồng bộ chia n tần số

Đây là bộ đếm nối tiếp, theo mã BCD 8421, có dung lượng đếm khác 2^n .

Ví dụ: Xét mạch đếm 5, đếm lên, đếm nối tiếp.

Số lượng TFF cần dùng: Vì $2^4 = 16 > 5 < 2^3 = 8 \Rightarrow$ dùng 3 TFF.

Vậy bộ đếm này sẽ có 3 đầu ra (chú ý: Số lượng FF tương ứng với số đầu ra).

Bảng trạng thái hoạt động của mạch:

Bảng 4.4

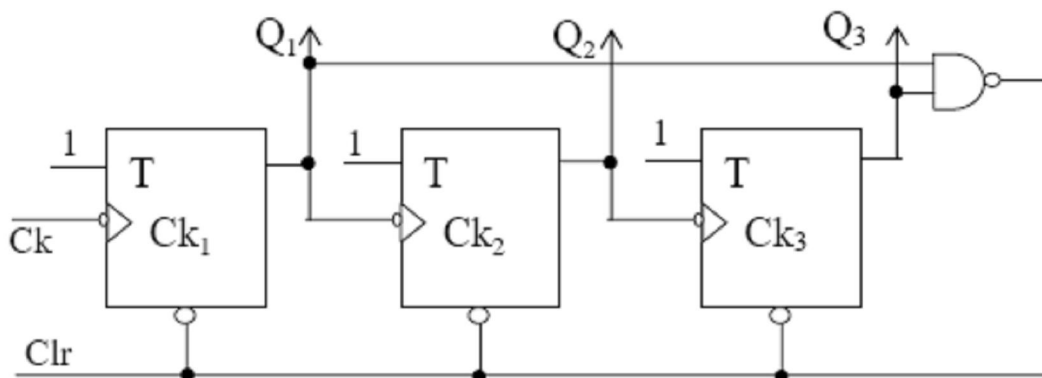
Xung vào	Trạng thái hiện tại			Trạng thái kế tiếp		
	Ck	Q ₃	Q ₂	Q ₁	Q ₃	Q ₂
1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	1/0	0	1/0

Nếu dùng 3 FF thì mạch có thể đếm được 8 trạng thái phân biệt (000 → 111 tương ứng 0→7). Do đó, để sử dụng mạch này thực hiện đếm 5, đếm lên, thì sau xung Ck thứ 5 ta tìm cách đưa tổ hợp 101 về 000 có nghĩa là mạch thực hiện việc đếm lại từ tổ hợp ban đầu. Như vậy, bộ đếm sẽ đếm từ 000 → 100 và quay về 000 trở lại, nói cách khác ta đã đếm được 5 trạng thái phân biệt. Để xóa bộ đếm về 000 ta phân tích: Do tổ hợp 101 có 2 ngõ ra Q₁, Q₂ đồng thời bằng 1 (khác với các tổ hợp trước đó) → đây chính là dấu hiệu nhận biết để điều khiển xóa bộ đếm. Vì vậy để xóa bộ đếm về 000:

- Đối với FF có ngõ vào Clr tác động mức 0 thì ta dùng cổng NAND 2 ngõ vào.
- Đối với FF có ngõ vào Clr tác động mức 1 thì ta dùng cổng AND có 2 ngõ vào.

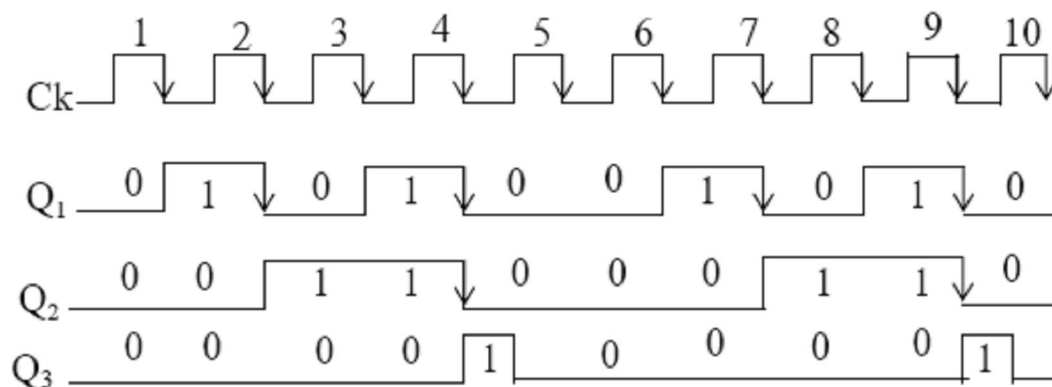
Như vậy sơ đồ mạch đếm 5 là sơ đồ cải tiến từ mạch đếm 8 bằng cách mắc thêm phần tử cổng NAND (hoặc cổng AND) có hai ngõ vào (tùy thuộc vào chân Clr tác động mức logic 0 hay mức logic 1) được nối đến ngõ ra Q₁ và Q₂, và ngõ ra của cổng NAND (hoặc AND) sẽ được nối đến ngõ vào Clr của bộ đếm (cũng chính là ngõ vào Clr của các FF).

Trong trường hợp Clr tác động mức thấp sơ đồ mạch thực hiện đếm 5 như trên hình 24-04-5:



Hình 24-04-5: Mạch đếm 5, đếm lên

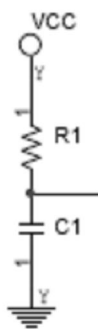
Giản đồ thời gian của mạch:



Hình 24-04-6: Giản đồ thời gian mạch đếm 5, đếm lên

Chú ý:

Do trạng thái của ngõ ra là không biết trước nên để mạch có thể đếm từ trạng thái ban đầu là 000 ta phải dùng thêm mạch xóa tự động ban đầu để xóa bộ đếm về 0 (còn gọi là mạch RESET ban đầu). Phương pháp thực hiện là dùng hai phần tử thụ động R và C.

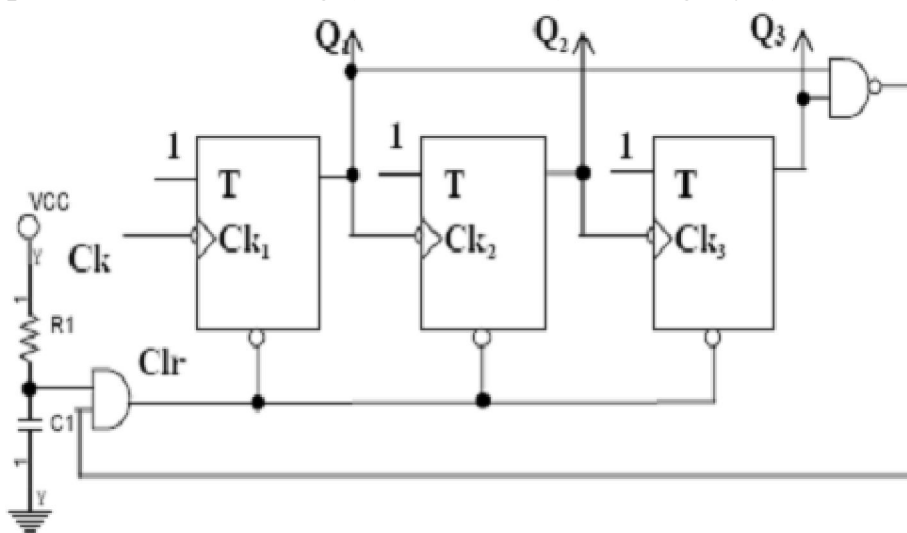


Hình 24-04-7: Mạch Reset mức 0

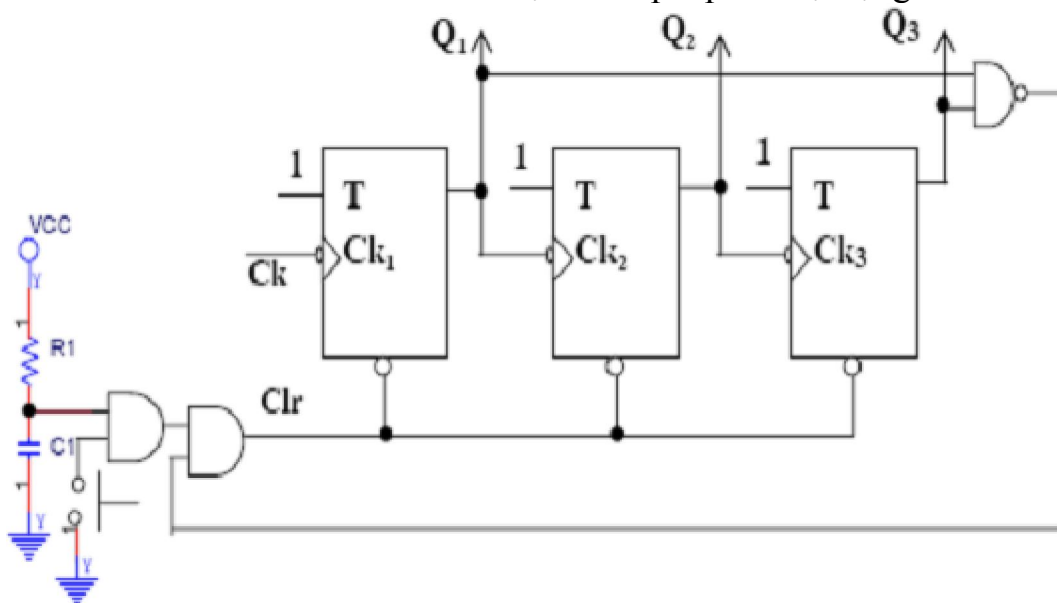
Trên hình 24-04-7 là mạch Reset mức 0 (tác động mức 0). Mạch hoạt động như sau: Do tính chất điện áp trên tụ C không đột biến được nên ban đầu mới cấp nguồn Vcc thì $V_C = 0 \Rightarrow$ ngõ ra Clr = 0 và mạch có tác động Reset xóa bộ đếm, sau đó tụ C được nạp điện từ nguồn qua điện trở R với thời hằng nạp là $\tau = RC$ nên điện áp trên tụ tăng dần, cho đến khi tụ C nạp đầy thì điện áp trên tụ xấp xỉ bằng Vcc \Rightarrow ngõ ra Clr = 1, mạch không còn tác dụng reset.

Chú ý khi thiết kế: Với một FF, ta biết được thời gian xóa (có trong Datasheet do nhà sản xuất cung cấp), do đó ta phải tính toán sao cho thời gian tụ C nạp điện từ giá trị ban đầu đến giá trị điện áp ngưỡng phải lớn hơn thời gian xóa cho phép thì mới đảm bảo xóa được các FF.

Mạch cho phép xóa bộ đếm tự động (Hình 24-04-8) và bằng tay (Hình 24-04-9):



Hình 24-04-8: Mạch cho phép xóa tự động



Hình 24-04-9: Mạch cho phép xóa tự động và bằng tay

Ưu điểm của bộ đếm nối tiếp: Đơn giản, dễ thiết kế.

Nhược điểm: Với dung lượng đếm lớn, số lượng FF sử dụng càng nhiều thì thời gian trễ tích lũy khá lớn. Nếu thời gian trễ tích lũy lớn hơn một chu kỳ tín hiệu xung kích thì lúc bấy giờ kết quả đếm sẽ sai. Do đó, để khắc phục nhược điểm này, người ta sử dụng bộ đếm song song.

1.5. Mạch đếm đồng bộ

1.5.1. Khái niệm

Bộ đếm song song là bộ đếm trong đó các FF mắc song song với nhau và các ngõ ra sẽ thay đổi trạng thái dưới sự điều khiển của tín hiệu Ck. Chính vì vậy mà người ta còn gọi bộ đếm song song là bộ đếm đồng bộ.

Mạch đếm song song được sử dụng với bất kỳ FF loại nào và có thể đếm theo qui luật bất kỳ cho trước. Vì vậy, để thiết kế bộ đếm đồng bộ (song song) người ta dựa vào các bảng đầu vào kích của FF.

1.5.2. Mạch thực hiện

Đối với bộ đếm song song dù đếm lên hay đếm xuống, hoặc là đếm Modulo M (đếm lên/đếm xuống) đều có cách thiết kế chung và không phụ thuộc vào tín hiệu Ck tác động sườn lên, sườn xuống, mức 0 hay mức 1.

Các bước thực hiện :

- Từ yêu cầu thực tế xây dựng bảng trạng thái hoạt động của mạch.
- Dựa vào bảng đầu vào kích của FF tương ứng để xây dựng các bảng hàm giá trị của các ngõ vào dữ liệu (DATA) theo ngõ ra.
- Dùng các phương pháp tối thiểu để tối thiểu hóa các hàm logic trên.
- Thành lập sơ đồ logic.

Ví dụ: Thiết kế mạch đếm đồng bộ, đếm 5, đếm lên theo mã BCD 8421 dùng JKFF.

Trước hết xác định số JKFF cần dùng: Vì $2^2 = 4 < 5 < 8 = 2^3 \Rightarrow$ dùng 3 JKFF
 \Rightarrow có 3 ngõ ra Q_1, Q_2, Q_3 .

Ta có bảng trạng thái mô tả hoạt động của mạch như sau:

Bảng 4.5

Xung vào	Trạng thái hiện tại			Trạng thái kế tiếp		
	Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁
1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0

Ở phần trước chúng ta đã xây dựng được bảng đầu vào kích cho các FF và đã có được bảng đầu vào kích tổng hợp như sau:

Bảng 4.6

Q ⁿ	Q ⁿ⁺¹	S ⁿ	R ⁿ	J ⁿ	K ⁿ	T ⁿ	D ⁿ
0	0	0	X	0	X	0	0
0	1	1	0	1	X	1	1
1	0	0	1	X	1	1	0
1	1	X	0	X	0	0	1

Từ đó ta suy ra bảng hàm giá trị của các ngõ vào data theo các ngõ ra như sau :

Bảng 4.7

Xung vào	Trạng thái hiện tại			Trạng thái kế tiếp								
	Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁
1	0	0	0	0	0	1	0	X	0	X	1	X
2	0	0	1	0	1	0	0	X	1	X	X	1
3	0	1	0	0	1	1	0	X	X	0	1	X
4	0	1	1	1	0	0	1	X	X	1	X	1
5	1	0	0	0	0	0	X	1	0	X	0	X

Lập bảng Karnaugh để tối thiểu hóa ta được:

$J_1 \searrow$		$Q_3 Q_2$			
		Q_1	0	0	1
0	1	1	x	0	
	1	x	x	x	

$J_1 = Q_1$

$K_1 \searrow$		$Q_3 Q_2$			
		Q_1	0	0	1
0	x	x	x	x	
	1	1	1	x	

$K_1 = 1 = Q_1$

$J_2 \searrow$		$Q_3 Q_2$			
		Q_1	0	0	1
0	0	x	x	0	

$K_2 \searrow$		$Q_3 Q_2$			
		Q_1	0	0	1
0	x	0	x	0	

Giải thích hoạt động :

- Ban đầu dùng mạch RC xóa về 0 $\Rightarrow Q_1 = Q_2 = Q_3 = 0$.
 $J_1 = K_1 = 1$; $J_2 = K_2 = Q_2 = 0$; $J_3 = 0, K_3 = 1$.
- Khi $Ck_1 \uparrow$: Các trạng thái ngõ ra đều thay đổi theo trạng thái ngõ vào DATA trước đó.
 $J_1 = K_1 = 1 \Rightarrow Q_1 = \overline{Q_1^0} = 1$.
 $J_2 = K_2 = 1 \Rightarrow Q_2 = \overline{Q_2^0} = 0$.
 $J_3 = 0, K_3 = 1 \Rightarrow Q_3 = 1$ bất chấp trạng thái trước đó.
 (Hoặc $J_3 = 0, K_3 = 0 \Rightarrow Q_3 = Q_3^0 = 0$) $\Rightarrow Q_3 Q_2 Q_1 = 001$.
 Lúc đó: $J_1 = K_1 = \overline{Q_3} = 1$; $J_2 = K_2 = Q_1 = 1$; $J_3 = Q_2 \cdot Q_1 = 0, K_3 = 1$.
 (Hoặc $K_3 = Q_3 = 0$).
- Khi $Ck_2 \uparrow$:
 $J_1 = K_1 = 1 \Rightarrow Q_1 = \overline{Q_1^1} = 0$.
 $J_2 = K_2 = 1 \Rightarrow Q_2 = \overline{Q_2^1} = 1$.
 $J_3 = 0, K_3 = 1 \Rightarrow Q_3 = 0$.
 (Hoặc $J_3 = 0, K_3 = 0 \Rightarrow Q_3 = Q_3^1 = 0$) $\Rightarrow Q_3 Q_2 Q_1 = 010$.
 Lúc đó: $J_1 = K_1 = \overline{Q_3} = 1$; $J_2 = K_2 = Q_1 = 0$; $J_3 = 0, K_3 = 1$.
 (Hoặc $K_3 = \overline{Q_2} = 0$).
- Khi $Ck_3 \uparrow$:
 $J_1 = K_1 = 1 \Rightarrow Q_1 = \overline{Q_1^2} = 1$.
 $J_2 = K_2 = 0 \Rightarrow Q_2 = Q_2^0 = 1$.
 $J_3 = 0, K_3 = 1 \Rightarrow Q_3 = 0$ bất chấp trạng thái trước đó.

Lưu ý:
 phương trình
 dụ: $K_3 = 1, J_3 = 0$
 2Q để tránh c

Hình 24-04-10: Sơ đồ logic

(Hoặc $J_3 = 0, K_3 = 0 \Rightarrow Q_3 = Q_3^2 = 0$) $\Rightarrow Q_3 Q_2 Q_1 = 011$.

Lúc đó: $J_1 = K_1 = \overline{Q_3} = 1; J_2 = K_2 = Q_1 = 1; J_3 = Q_2 \cdot Q_1 = 1, K_3 = 0$.

(Hoặc $K_3 = 1$).

- Khi $Ck_4 \uparrow \overline{1}$:

$$J_1 = K_1 = 1 \Rightarrow Q_1 = \overline{Q_1^3} = 0.$$

$$J_2 = K_2 = 1 \Rightarrow Q_2 = \overline{Q_2^3} = 0.$$

$J_3 = 0, K_3 = 1 \Rightarrow Q_3 = 1$ bất chấp trạng thái trước đó.

(Hoặc $J_3 = 0, K_3 = 0 \Rightarrow Q_3 = Q_3^0 = 0$) $\Rightarrow Q_3 Q_2 Q_1 = 100$.

Lúc đó: $J_1 = K_1 = \overline{Q_3} = 1; J_2 = K_2 = Q_1 = 0; J_3 = Q_2 \cdot Q_1 = 0, K_3 = 1$.

(Hoặc $K_3 = Q_3 = 0$).

- Khi $Ck_5 \uparrow \overline{1}$:

$$J_1 = K_1 = 1 \Rightarrow Q_1 = \overline{Q_1^4} = 0.$$

$$J_2 = K_2 = 1 \Rightarrow Q_2 = \overline{Q_2^4} = 0.$$

$J_3 = 0, K_3 = 1 \Rightarrow Q_3 = 0$ bất chấp trạng thái trước đó.

$$\Rightarrow \overline{Q_3} Q_2 Q_1 = 000.$$

Lúc đó: $J_1 = K_1 = \overline{Q_3} = 1; J_2 = K_2 = Q_1 = 0; J_3 = Q_2 \cdot Q_1 = 0, K_3 = 1$.

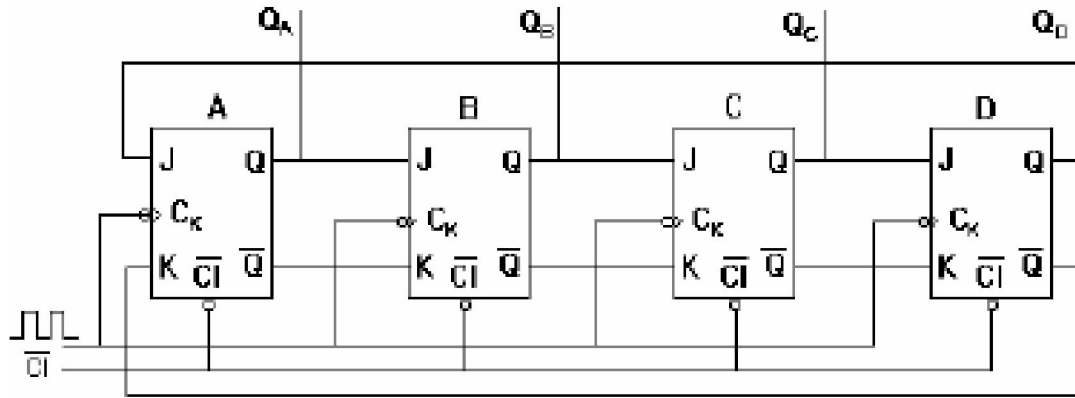
Mạch trở về trạng thái ban đầu.

1.6 Mạch đếm vòng

Thực chất là mạch ghi dịch trong đó ta cho hồi tiếp từ một ngõ ra nào đó về ngõ vào để thực hiện một chu kỳ đếm. Tùy đường hồi tiếp mà ta có các chu kỳ đếm khác nhau

Sau đây ta khảo sát vài loại mạch đếm vòng phổ biến.

1. Hồi tiếp từ Q_D về J_A và \bar{Q}_D về K_A



Hình 24-04-11: Sơ đồ hồi tiếp từ Q_D về J_A và \bar{Q}_D về K_A

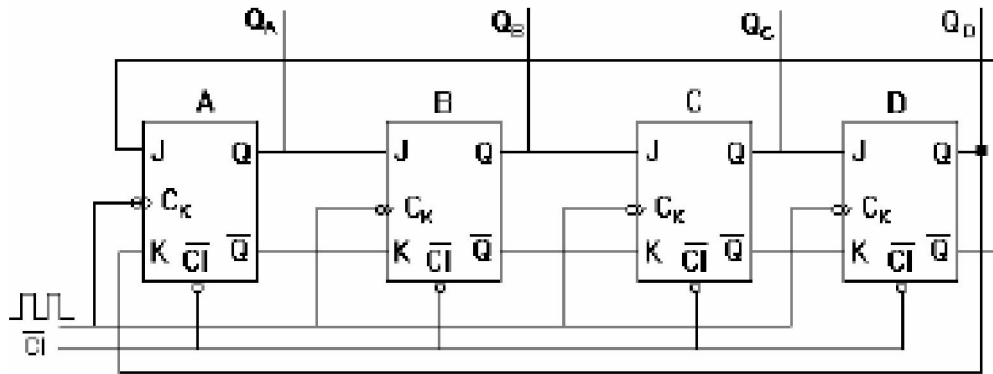
Đối với mạch này, sự đếm vòng chỉ thấy được khi có đặt trước ngã ra
 - Đặt trước $Q_A = 1$, ta được kết quả như bảng 4.9.

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	1	1
1↓	0	0	1	0	2
2↓	0	1	0	0	4
3↓	1	0	0	0	8
4↓	0	0	0	1	1
:	:	:	:	:	:

Nếu đặt trước $Q_A = Q_B = 1$ ta có bảng 4.10

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	1	1	3
1↓	0	1	1	0	6
2↓	1	1	0	0	12
3↓	1	0	0	1	9
4↓	0	0	1	1	3
:	:	:	:	:	:

2. Hồi tiếp từ \bar{Q}_D về J_A và Q_D về K_A (Hình 24-04-12)

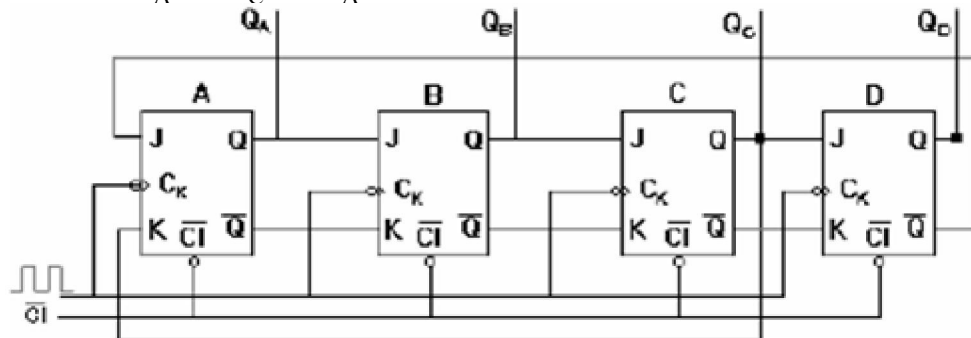


Hình 24-04-12: Sơ đồ hồi tiếp từ \bar{Q}_D về J_A và Q_D về K_A

Mạch này còn có tên là mạch đếm Johnson. Mạch có một chu kỳ đếm mặc nhiên mà không cần đặt trước và nếu có đặt trước, mạch sẽ cho các chu kỳ khác nhau tùy vào tổ hợp đặt trước đó. Bảng 4.11 là chu kỳ đếm mặc nhiên.

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	0	0
1↓	0	0	0	1	1
2↓	0	0	1	1	3
3↓	0	1	1	1	7
4↓	1	1	1	1	15
5↓	1	1	1	0	14
6↓	1	1	0	0	12
7↓	1	0	0	0	8
8↓	0	0	0	0	0

3. Hồi tiếp từ \bar{Q}_D về J_A và Q_C về K_A (Hình 24-04-13)



Hình 24-04-13: Hồi tiếp từ \bar{Q}_D về J_A và Q_C về K_A

Bảng 4.12

C_K	Q_D	Q_C	Q_B	Q_A	Số TP
Preset	0	0	0	0	0
1↓	0	0	0	1	1
2↓	0	0	1	1	3
3↓	0	1	1	1	7
4↓	1	1	1	0	14
5↓	1	1	0	0	12
6↓	1	0	0	0	8
7↓	0	0	0	0	0

2. Thanh ghi

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động của thanh ghi.

2.1. Thanh ghi vào nối tiếp ra song song dịch phải

Thanh ghi được xây dựng trên cơ sở các DFF (hoặc các FF khác thực hiện chức năng của DFF) và trong đó mỗi DFF sẽ lưu trữ 1 bit dữ liệu.

Để tạo thanh ghi nhiều bit, người ta ghép nhiều DFF lại với nhau theo qui luật như sau:

- Ngõ ra của DFF đứng trước được nối với ngõ vào DATA của DFF sau ($D_{i+1} = Q_i$)
 \Rightarrow **thanh ghi có khả năng dịch phải.**

- Hoặc ngõ ra của DFF đứng sau được nối với ngõ vào DATA của DFF đứng trước ($D_i = Q_{i+1}$) \Rightarrow **thanh ghi có khả năng dịch trái.**

2.2. Thanh ghi vào nối tiếp ra song song dịch trái

Phân loại theo số bit dữ liệu lưu trữ: 4 bit, 5 bit, 8 bit, 16 bit, 32 bit. Đối với thanh ghi lớn 8 bit, người ta không dùng họ TTL mà dùng họ CMOS.

Phân loại theo hướng dịch chuyển dữ liệu trong thanh ghi:

- Thanh ghi dịch trái.
- Thanh ghi dịch phải.
- Thanh ghi vừa dời phải vừa dời trái.

Phân loại theo ngõ vào dữ liệu:

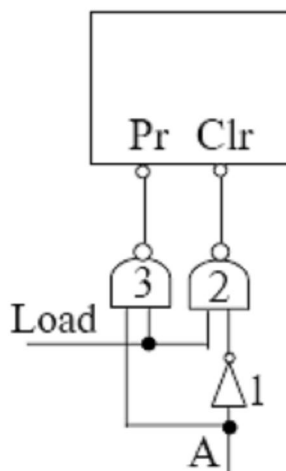
- Ngõ vào dữ liệu nối tiếp.
- Ngõ vào dữ liệu song song: Song song không đồng bộ, song song đồng bộ.

Phân loại theo ngõ ra:

- Ngõ ra nối tiếp.
- Ngõ ra song song.
- Ngõ ra vừa nối tiếp vừa song song.

2.3 Thanh ghi vào song song ra song song

Nhập dữ liệu vào FF bằng chân Preset (Pr): (xem hình 24-04-14)



Hình 24-04-14: Sơ đồ nhập dữ liệu vào FF bằng chân Preset

- Khi Load = 0 : Cổng NAND 3 và 2 khóa \rightarrow ngõ vào Pr = Clr = 1 \rightarrow FF tự do \Rightarrow dữ liệu A không nhập vào được FF.

- Khi Load = 1 : Cổng NAND 2 và 3 mở. Lúc đó ta có: Pr = A, Clr = A.

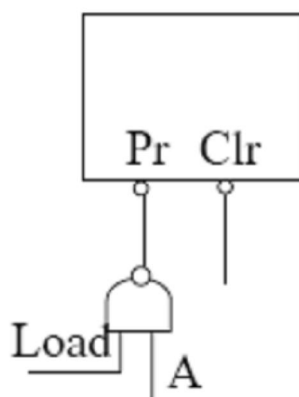
Nếu A = 0 \rightarrow Pr = 1, Clr = 0 \Rightarrow Q = A = 0.

Nếu A = 1 \rightarrow Pr = 0, Clr = 1 \Rightarrow Q = A = 1.

Vậy Q = A \Rightarrow dữ liệu A được nhập vào FF.

Tuy nhiên, cách này phải dùng nhiều cổng logic không kinh tế và phải dùng chân Clr là chân xóa nên phải thiết kế đồng bộ.

Để khắc phục những nhược điểm đó ta dùng mạch như trên hình 24-04-15:



Hình 24-04-15

- Chân Clr để trống tương đương với mức logic 1.

- Khi Load = 0 : cổng NAND khóa \rightarrow Pr = Clr = 1 \rightarrow FF tự do. Dữ liệu không được nhập vào FF.

- Khi Load = 1 : cổng NAND mở \rightarrow Pr = A.

Giả sử ban đầu : Q = 0.

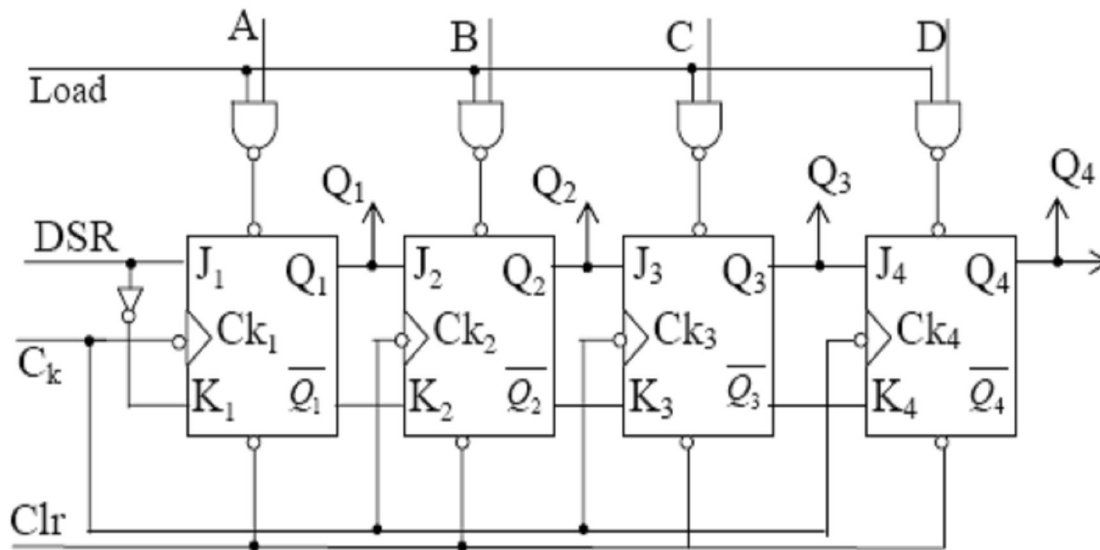
Nếu A = 0 \rightarrow Pr = 1, Clr = 1 \Rightarrow Q = Q⁰ = 0.

Nếu $A = 1 \rightarrow Pr = 0, Clr = 1 \Rightarrow Q = 1$.

Vậy $Q = A \Rightarrow$ Dữ liệu A được nhập vào FF.

Chú ý: Phương pháp này đòi hỏi trước khi nhập phải xóa FF về 0.

Ví dụ: Xét một thanh 4 bit có khả năng dời phải (Hình 24-04-16).



Hình 24-04-16: Thanh ghi dịch phải

Trong đó:

- DSR (Data Shift Right): Ngõ vào Data nối tiếp (ngõ vào dịch phải).
- Q_1, Q_2, Q_3, Q_4 : các ngõ ra song song.

Để giải thích hoạt động của mạch, ta dựa vào bảng trạng thái của DFF.

Giả sử ban đầu: Ngõ vào nhập Load = 1 \rightarrow A, B, C, D được nhập vào thanh ghi dịch $\rightarrow Q_1 = A, Q_2 = B, Q_3 = C, Q_4 = D$.

Hoạt động dịch phải của thanh ghi:

- Xét FF : $D = DSR_1, Q_1 = A$.

Nếu $DSR_1 = 0 \rightarrow Q_1 = 0$; nếu $DSR_1 = 1 \rightarrow Q_1 = 1$.

Kết luận: Sau một xung Ck tác động sườn xuống thì $Q_1 = DSR_1$.

- Lúc đó FF₂, FF₃, FF₄: $Q_2 = A, Q_3 = B, Q_4 = C$.

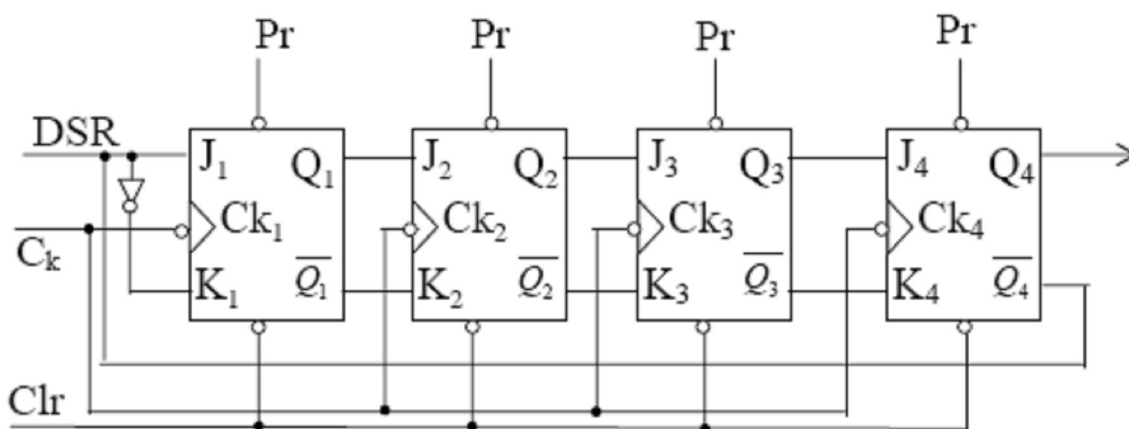
Tức là sau khi Ck tác động sườn xuống thì nội dung trong thanh ghi được dời sang phải 1 bit. Sau 4 xung, dữ liệu trong thanh ghi được xuất ra ngoài và nội dung DFF được thay thế bằng các dữ liệu từ ngõ vào DATA nối tiếp $DSR_1, DSR_2, DSR_3, DSR_4$.

⁴Ta có bảng trạng thái hoạt động của mạch:

Bảng 4.13

Xung vào	Trạng thái hiện tại				Trạng thái kế			
	Q_1	Q_2	Q_3	Q_4	Q_1	Q_2	Q_3	Q_4
1	A	B	C	D	DSR_1	A	B	C
2	DSR_1	A	B	C	DSR_2	DSR_1	A	B
3	DSR_2	DSR_1	A	B	DSR_3	DSR_2	DSR_1	A
4	DSR_3	DSR_2	DSR_1	A	DSR_4	DSR_3	DSR_2	DSR_1

Trường hợp ngõ ra Q bằng ngõ vào dữ liệu nối tiếp DSR (hình 24-04-17).



Hình 24-04-17

Ta có bảng trạng thái hoạt động của mạch hình 24-04-17:

Bảng 4.13

Xung vào	Trạng thái hiện tại				Trạng thái kế			
	Q_1	Q_2	Q_3	Q_4	Q_1	Q_2	Q_3	Q_4
1	0	0	0	0	1	0	0	0
2	1	0	0	0	1	1	0	0
3	1	1	0	0	1	1	1	0
4	1	1	1	0	1	1	1	1
5	1	1	1	1	0	1	1	1
6	0	1	1	1	0	0	1	1
7	0	0	1	1	0	0	0	1
8	0	0	0	1	0	0	0	0

Đây là mạch được ứng dụng nhiều trong thực tế.

CÂU HỎI VÀ BÀI TẬP

4.1. Trình bày mạch đếm

4.2. Khái niệm và phân loại thanh ghi

- 4.3. Dùng FF JK thiết kế mạch đếm 6, đồng bộ
- 4.4. Thiết kế mạch đếm 7 không đồng bộ, dùng FF JK có ngõ vào xung đồng hồ tác động bởi cạnh lên của C_K .

BÀI 5: HỘ VI MẠCH TTL – CMOS**Mã bài: MĐ 14-05****Giới thiệu:**

Mỗi một họ IC có những đặc điểm, tính chất khác nhau. Khi sử dụng các IC trong cùng một họ để lắp ráp mạch thì không có vấn đề gì xảy ra. Tuy nhiên, khi cần phải sử dụng các họ IC khác nhau trong cùng một mạch điện, IC này nảy sinh vấn đề giao tiếp: “trương thích về dòng và áp giữa các họ”.

Kỹ thuật thực hiện việc giao tiếp giữa các họ IC số thông dụng chủ yếu là “thân thiện” về dòng và về áp, khi các IC khác nhau góp phần trong cùng một hệ thống mạch điện.

Mục tiêu:

- Trình bày được cấu trúc, các đặc tính cơ bản của IC số.
- Phân loại được các phương thức giao tiếp giữa các loại IC số.
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính

Nội dung chính :**1. Cấu trúc và thông số cơ bản TTL***Mục tiêu:*

- Trình bày được cấu trúc, các đặc tính cơ bản của IC số.

1.1. Cở sở của việc hình thành cổng logic họ TTL**1.1.1 Loại 74 tiêu chuẩn**

- Năm 1964, hãng Texas Instrument giới thiệu họ TTL chuẩn mang mã số 54XXX và 74XXX là một họ IC sử dụng phổ biến nhất.

- Dãy điện áp và nhiệt độ làm việc:

+ Loại 54XXX: điện áp nguồn: $4.5V \div 5.5V$; nhiệt độ làm việc $-55^{\circ}C \div 12.5^{\circ}C$.

+ Loại 74XXX: điện áp nguồn: $4.75V \div 5.25V$; nhiệt độ làm việc $0^{\circ}C \div 70^{\circ}C$.

- Các mức điện áp

Bảng 5.1: Mức điện áp họ 74S

	Min	Tiêu chuẩn	Max
VOL	-	0,1	0,4
VOH	2,4	3,4	-
VIL	-	-	0,8
VIH	2	-	-

1.1.2 Loại 74L (Low Power: Công suất thấp)

- Các mạch điện của loại IC công suất thấp được thiết kế giống như loại tiêu chuẩn, có công suất tiêu thụ giảm nhưng lại có thời gian trễ truyền dẫn tăng. Cổng

NAND thuộc họ này có công suất tiêu thụ trung bình khoảng 1mW, thời gian trễ truyền dẫn trung bình 33ns.

- Loại IC thích hợp cho những ứng dụng đòi hỏi công suất tiêu thụ thấp, hoạt động ở tần số thấp.

1.1.3. Loại 74H (High Speed: tốc độ cao)

74H là loại TTL tốc độ cao, mạch điện cơ bản của loại này giống như TTL chuẩn, nhưng có một số điểm khác là chuyển mạch nhanh hơn với thời gian trễ truyền dẫn trung bình khoảng 6ns, nhưng công suất tiêu thụ khoảng 23mW cho một cổng NAND trong họ này.

1.1.4. Loại 74S – Schottky TTL

- Tất cả các loại TTL 74, 74H, 74L đều hoạt động dùng chuyển mạch bão hoà, trong đó các tranzitor khi dẫn sẽ được dẫn trong bão hoà sâu. Hoạt động này sẽ gây ra thời gian tích trữ khi tranzitor từ trạng thái dẫn sang trạng thái khoá. Điều này làm giới hạn tốc độ chuyển mạch.

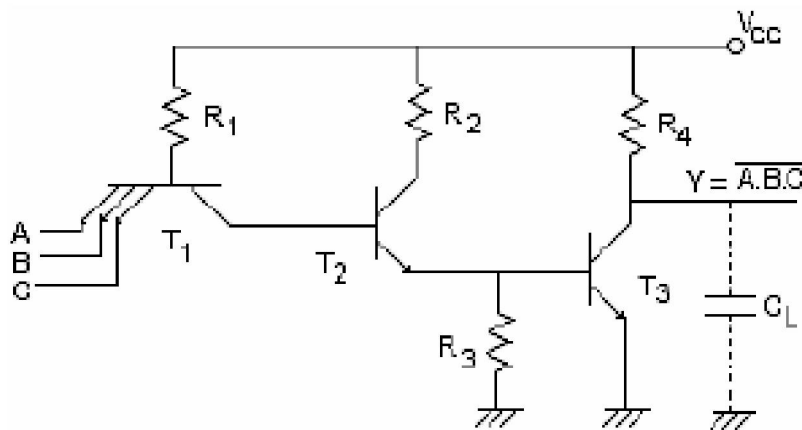
- Loại 74S làm giảm thời gian trễ tích trữ bằng cách không cho tranzitor đi sâu vào trạng thái bão hoà, điều này được thực hiện bằng cách sử dụng một diốt rào chắn Schottky SBD (Schottky Barrier Diode) nối giữa

1.1.5. Loại 74LS (Low Power Schottky)

Loại này có công suất thấp hơn, tốc độ chậm hơn 74S. Cổng NAND trong họ 74LS có thời gian chuyển mạch trung bình 9,5ns, công suất tiêu thụ trung bình 2mW. Nó giống như TTL chuẩn về tốc độ chuyển mạch nhưng công suất tiêu thụ thấp hơn.

1.2. Cấu trúc cơ bản của TTL

Lấy cổng NAND 3 ngõ vào làm thí dụ để thấy cấu tạo và vận hành của một cổng cơ bản



Hình 24-05-1: Sơ đồ cấu trúc cơ bản của TTL

Khi một trong các ngõ vào A, B, C xuống mức không T_1 dẫn đưa đến T_2 ngưng, T_3 ngưng, ngõ ra Y lên cao; khi cả 3 ngõ vào lên cao, T_1 ngưng, T_2 dẫn, T_3 dẫn, ngõ ra Y xuống thấp. Đó chính là kết quả của cổng NAND.

Tụ C_L trong mạch chính là tụ ký sinh tạo bởi sự kết hợp giữa ngõ ra của mạch (tầng thúc) với ngõ vào của tầng tải, khi mạch hoạt động tụ sẽ nạp điện qua R_4 (lúc T_3 ngưng) và phóng qua T_3 khi transistor này dẫn do đó thời trễ truyền của mạch quyết định bởi R_4 và C_L , khi R_4 nhỏ mạch hoạt động nhanh nhưng công suất tiêu thụ lúc đó lớn, muốn giảm công suất phải tăng R_4 nhưng như vậy thời trễ truyền sẽ lớn hơn (mạch giao hoán chậm hơn). Để giải quyết khuyết điểm này đồng thời thỏa mãn một số yêu cầu khác, người ta đã chế tạo các cổng logic với các kiểu ngõ ra khác nhau.

1.3 Nhận dạng, đặc điểm, các thông số cơ bản

Các IC số họ TTL được sản xuất lần đầu tiên vào năm 1964 bởi hãng Texas Instrument Corporation của Mỹ, lấy số hiệu là 74XXXX & 54XXXX. Sự khác biệt giữa 2 họ 74XXXX và 54XXXX chỉ ở hai điểm:

74: $V_{CC} = 5 \pm 0,5$ V và khoảng nhiệt độ hoạt động từ 0°C đến 70°C

54: $V_{CC} = 5 \pm 0,25$ V và khoảng nhiệt độ hoạt động từ -55°C đến 125°C

Các tính chất khác hoàn toàn giống nhau nếu chúng có cùng số.

Trước số 74 thường có thêm ký hiệu để chỉ hãng sản xuất. Thí dụ SN của hãng Texas, DM của National Semiconductor, S của Signetics

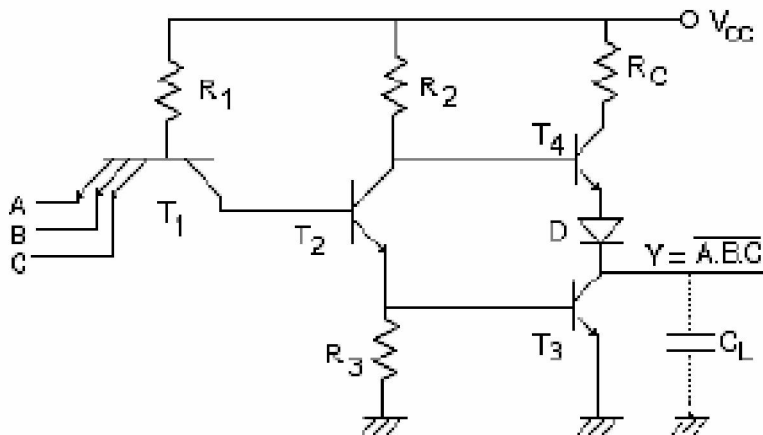
Ngoài ra trong quá trình phát triển, các thông số kỹ thuật (nhất là tích số công suất vận tốc) luôn được cải tiến và ta có các loại khác nhau: 74 chuẩn, 74L (Low power), 74H (High speed), 74S (Schottky), 74LS (Low power Schottky), 74AS (Advance Schottky), 74ALS (Advance Low power Schottky), 74F (Fast, Fair Child).

Bảng 5.2 cho thấy một số tính chất của các loại kể trên:

Thông số kỹ thuật	74	74L	74H	74S	74LS	74AS	74ALS	74F
Thời trễ truyền (ns)	9	33	6	3	9,5	1,7	4	3
Công suất tiêu tán (mW)	10	1	23	20	2	8	1,2	6
Tích số công suất vận tốc (pJ)	90	33	138	60	19	13,6	4,8	18
Tần số xung C_K max (MHz)	35	3	50	125	45	200	70	100
Fan Out (cùng loạt)	10	20	10	20	20	40	20	33
Điện thế								
$V_{OH}(\min)$	2,4	2,4	2,4	2,7	2,7	2,5	2,5	2,5
$V_{OL}(\max)$	0,4	0,4	0,4	0,5	0,5	0,5	0,4	0,5
$V_{IH}(\min)$	2,0	2,0	2,0	2,0	2,0	2,0	2,0	2,0
$V_{IL}(\max)$	0,8	0,7	0,8	0,8	0,8	0,8	0,8	0,8

- Loạt 74S: Các transistor trong mạch được mắc thêm một Diode Schottky giữa hai cực CB với mục đích giảm thời gian chuyển trạng thái của transistor do đó làm giảm thời trễ truyền.
- Loạt 74AS và 74ALS là cải tiến của 74S để làm giảm hơn nữa giá trị tích số Công suất - Vận tốc.
- Loạt 74F: Dùng kỹ thuật đặc biệt làm giảm điện dung ký sinh do đó cải thiện thời trễ truyền của cổng.

1.4. TTL Schottky



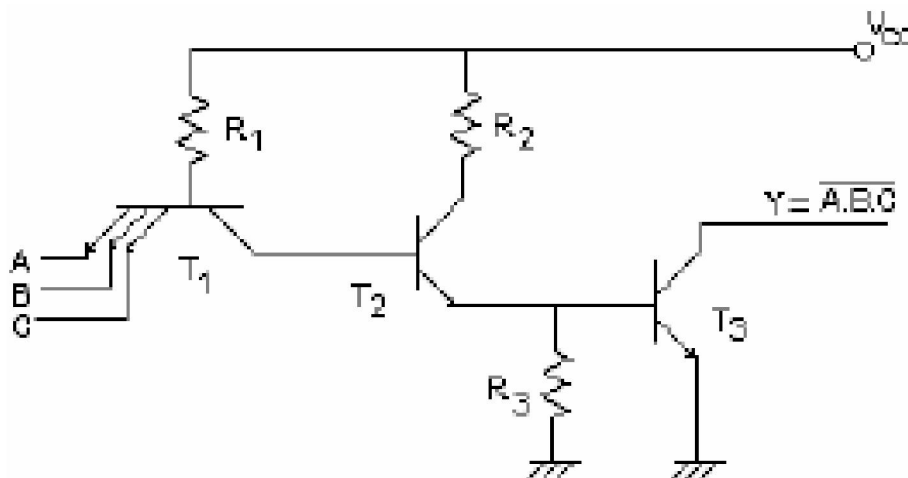
Hình 24-05-2: Sơ đồ cấu trúc cơ bản của TTL Schottky

R_4 trong mạch cơ bản được thay thế bởi cụm T_4 , R_C và Diode D, trong đó R_C có trị rất nhỏ, không đáng kể. T_2 bây giờ giữ vai trò mạch đảo pha: khi T_2 dẫn thì T_3 dẫn và T_4 ngưng, Y xuống thấp, khi T_2 ngưng thì T_3 ngưng và T_4 dẫn, ngã ra Y lên cao. Tụ C_L nạp điện qua T_4 khi T_4 dẫn và phóng qua T_3 (dẫn), thời hằng mạch rất nhỏ và kết quả là thời trễ truyền nhỏ. Ngoài ra do T_3 & T_4 luân phiên ngưng tương ứng với

2 trạng thái của ngõ ra nên công suất tiêu thụ giảm đáng kể. Diod D có tác dụng nâng điện thế cực B của T_4 lên để bảo đảm khi T_3 dẫn thì T_4 ngưng.

Mạch này có khuyết điểm là không thể nối chung nhiều ngõ ra của các cổng khác nhau vì có thể gây hư hỏng khi các trạng thái logic của các cổng này khác nhau.

1.5. TTL Ngõ ra cực thu để hở



Hình 24-05-3: Sơ đồ cấu trúc TTL Ngõ ra cực thu để hở

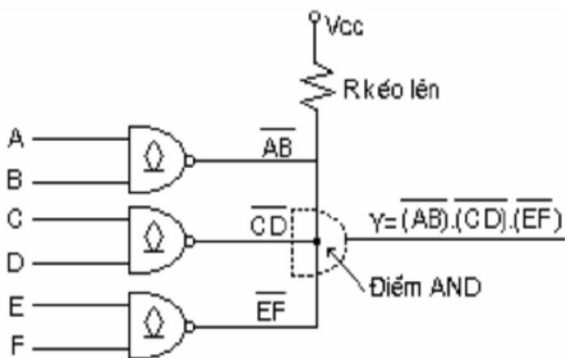
Ngõ ra cực thu để hở có một số lợi điểm sau:

- Cho phép kết nối các ngõ ra của nhiều cổng khác nhau, nhưng khi sử dụng phải mắc một điện trở từ ngõ ra lên nguồn Vcc, gọi là **điện trở kéo lên**, trị số của điện trở này có thể được chọn lớn hay nhỏ tùy theo yêu cầu có lợi về mặt công suất hay tốc độ làm việc.

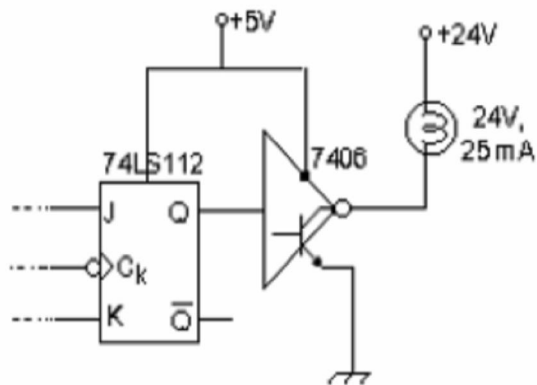
Điểm nối chung của các ngõ ra có tác dụng như một cổng AND nên ta gọi là điểm AND (Hình 24-05-4)

- Người ta cũng chế tạo các IC ngõ ra có cực thu để hở cho phép điện trở kéo lên mắc vào nguồn điện thế cao, dùng cho các tải đặc biệt hoặc dùng tạo sự giao tiếp giữa họ TTL với CMOS dùng nguồn cao.

Thí dụ IC 7406 là loại cổng đảo có ngõ ra cực thu để hở có thể mắc lên nguồn 24 V (Hình 24-05-5)

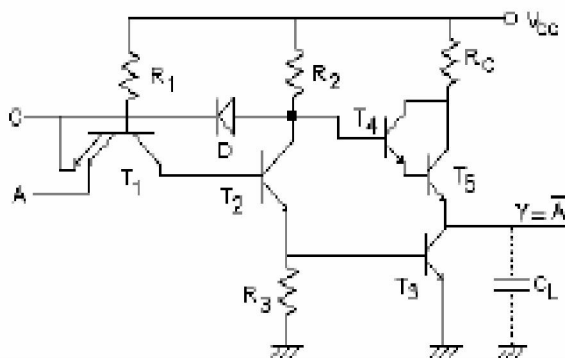


(Hình 24-05-4)

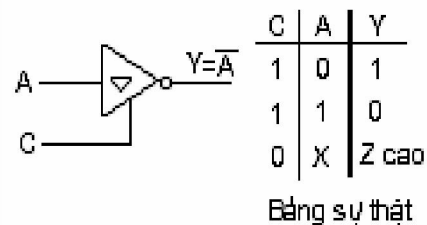


(Hình 24-05-5)

1.6 TTL có đầu ra ba trạng thái



(Hình 24-05-7)



(Hình 24-05-8)

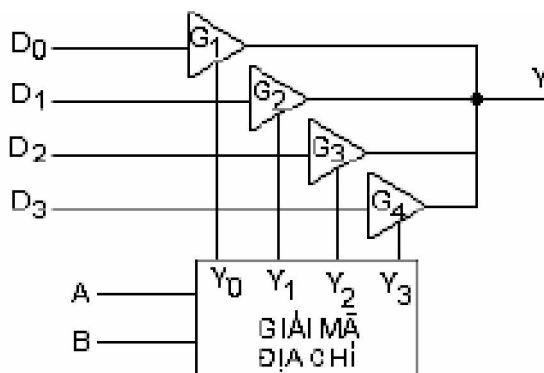
Mạch (Hình 24-05-7) là một cổng đảo có ngõ ra 3 trạng thái, trong đó T_4 & T_5 được mắc Darlington để cấp dòng ra lớn cho tải. Diod D nối vào ngõ vào C để điều khiển. Hoạt động của mạch giải thích như sau:

- Khi $C=1$, Diod D ngưng dẫn, mạch hoạt động như một cổng đảo
- Khi $C=0$, Diod D dẫn, cực thu T_2 bị ghim áp ở mức thấp nên T_3, T_4 & T_5 đều ngưng, ngõ ra mạch ở trạng thái tổng trở cao.

Ký hiệu của cổng đảo ngõ ra 3 trạng thái, có ngõ điều khiển C tác động mức cao và bảng sự thật cho ở (Hình 24-05-8)

Cũng có các cổng đảo và cổng đệm 3 trạng thái với ngõ điều khiển C tác động mức thấp mà SV có thể tự vẽ ký hiệu và bảng sự thật.

(Hình 24-05-9) là một ứng dụng của cổng đệm có ngõ ra 3 trạng thái: Mạch chọn dữ liệu



(Hình 24-05-9)

Vận chuyển: Ứng với một giá trị địa chỉ AB, một ngõ ra mạch giải mã địa chỉ được tác động (lên cao) cho phép một cổng mở và dữ liệu ở ngõ vào cổng đó được truyền ra ngõ ra. Thí dụ khi $AB = 00$, $Y_0 = 1$ ($Y_1 = Y_2 = Y_3 = 0$) G_1 mở, D_0 truyền qua G_1 đến ngõ ra, trong lúc G_2, G_3, G_4 đóng, có ngõ ra ở trạng thái Z cao, không ảnh hưởng đến hoạt động của mạch.

2. Cấu trúc và thông số cơ bản của CMOS

Mục tiêu:

- Trình bày được cấu trúc, các đặc tính cơ bản của họ CMOS

2.1. Đặc trưng của các vi mạch số họ CMOS

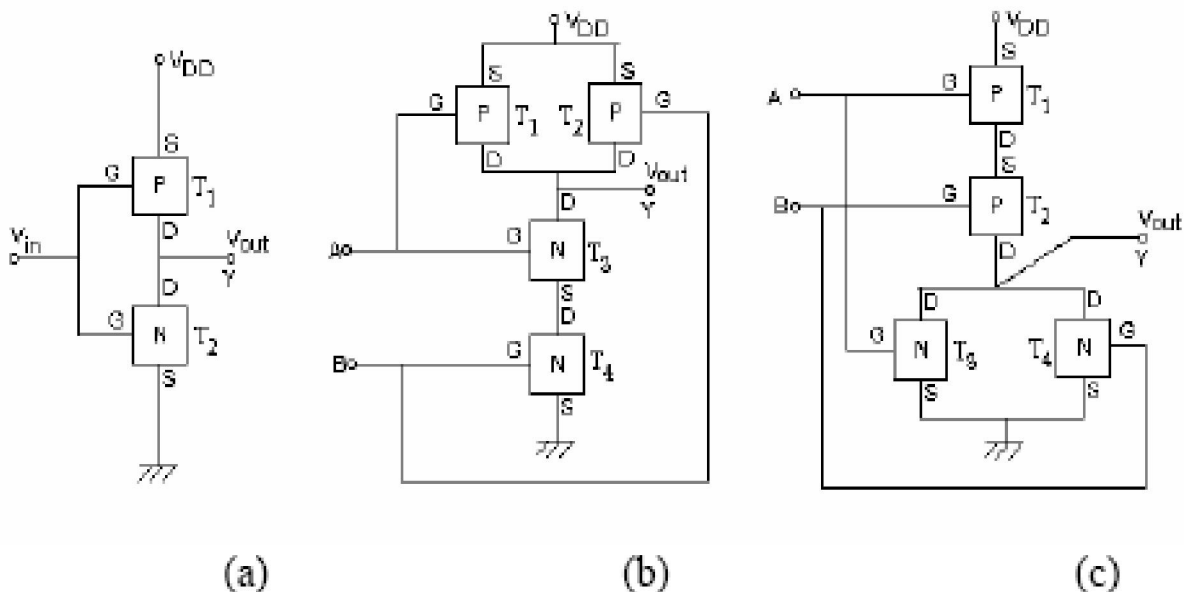
Gồm các IC số dùng công nghệ chế tạo của transistor MOSFET loại tăng, kênh N và kênh P. Với transistor kênh N ta có NMOS, transistor kênh P ta có PMOS và nếu dùng cả hai loại transistor kênh P & N ta có CMOS. Tính năng kỹ thuật của loại NMOS và PMOS có thể nói là giống nhau, trừ nguồn cấp điện có chiều ngược với nhau do đó ta chỉ xét loại NMOS và CMOS.

Các transistor MOS dùng trong IC số cũng chỉ hoạt động ở một trong 2 trạng thái: dẫn hoặc ngưng.

- Khi dẫn, tùy theo nồng độ pha của chất bán dẫn mà transistor có nội trở rất nhỏ (từ vài chục Ω đến hàng trăm $K\Omega$) tương đương với một khóa đóng.
- Khi ngưng, transistor có nội trở rất lớn (hàng $10^{10} \Omega$), tương đương với một khóa hở.

2.2. Cấu trúc CMOS của cổng logic cơ bản

Họ CMOS sử dụng hai loại transistor kênh N và P với mục đích cải thiện tích số công suất vận tốc, mặc dù khả năng tích hợp thấp hơn loại N và P. (Hình 24-05-10a), (Hình 24-05-10b) và (Hình 24-05-10c) là các cổng NOT, NAND và NOR họ CMOS



Hình 24-05-10

Bảng 5.3 cho thấy quan hệ điện thế của các ngõ vào , ra cổng NOT

V_{in}	T_1	T_2	V_{out}
V_{DD} (logic1)	$R_{OFF}=10^{10}\Omega$	$R_{ON} = 1K\Omega$	0V (logic 0)
0V (logic0)	$R_{ON} = 1K\Omega$	$R_{OFF}=10^{10}\Omega$	V_{DD} (logic 1)

2.3. Các thông số cơ bản của các vi mạch số họ CMOS

Một số tính chất chung của các cổng logic họ MOS (NMOS, PMOS và CMOS) có thể kể ra như sau:

- Nguồn cấp điện : V_{DD} từ 3V đến 15V
- Mức logic: $V_{OL}(\max) = 0V$ $V_{OH}(\min) = V_{DD}$
 $V_{IL}(\max) = 30\% V_{DD}$ $V_{IH}(\min) = 70\% V_{DD}$
- Lề nhiễu : $V_{NH} = 30\% V_{DD}$ $V_{NL} = 30\% V_{DD}$

Với nguồn 5V, lề nhiễu khoảng 1,5V, rất lớn so với họ TTL.

- Thời trễ truyền tương đối lớn, khoảng vài chục ns, do điện dung ký sinh ở ngõ vào và tổng trở ra của transistor khá lớn.
- Công suất tiêu tán tương đối nhỏ, hàng nW, do dòng qua transistor MOS rất nhỏ.
- Số Fan Out: 50 UL

Do tổng trở vào của transistor MOS rất lớn nên dòng tải cho các cổng họ MOS rất nhỏ, do đó số Fan Out của họ MOS rất lớn, tuy nhiên khi mắc nhiều tầng tải vào một tầng thúc thì điện dung ký sinh tăng lên (gồm nhiều tụ mắc song song) ảnh hưởng đến thời gian giao hoán của mạch nên khi dùng ở tần số cao người ta

giới hạn số Fan Out là 50, nghĩa là một cổng MOS có thể cấp dòng cho 50 cổng tải cùng loại.

- Như đã nói ở trên, CMOS có cải thiện thời trễ truyền so với loại NMOS và PMOS, tuy nhiên mật độ tích hợp của CMOS thì nhỏ hơn hai loại này. Dù sao so với họ TTL thì mật độ tích hợp của họ MOS nói chung lớn hơn rất nhiều, do đó họ MOS rất thích hợp để chế tạo dưới dạng LSI và VLSI.

3. Giao tiếp TTL và CMOS

Mục tiêu:

- Thực hiện việc kết nối đầu ra của một mạch hay hệ thống với đầu vào của mạch.

Giao tiếp là thực hiện việc kết nối ngõ ra của một mạch hay hệ thống với ngõ vào của mạch hay hệ thống khác. Do tính chất về điện khác nhau giữa hai họ TTL và CMOS nên việc giao tiếp giữa chúng trong nhiều trường hợp không thể nối trực tiếp được mà phải nhờ một mạch trung gian nối giữa tầng thúc và tầng tải sao cho điện thế tín hiệu ra ở tầng thúc phù hợp với tín hiệu vào của tầng tải và dòng điện tầng thúc phải đủ cấp cho tầng tải.

Thông số	CMOS ($V_{DD}=5V$)			TTL			
	4000B	74HC	74HCT	74	74LS	74AS	74ALS
$V_{IH}(\text{min})$	3,5V	3,5V	2,0V	2,0V	2,0V	2,0V	2,0V
$V_{IL}(\text{max})$	1,5V	1,0V	0,8V	0,8V	0,8V	0,8V	0,8V
$V_{OH}(\text{min})$	4,95V	4,9V	4,9V	2,4V	2,7V	2,7V	2,7V
$V_{OL}(\text{max})$	0,05V	0,1V	0,1V	0,4V	0,5V	0,5V	0,4V
$I_{IH}(\text{max})$	1 μ A	1 μ A	1 μ A	40 μ A	20 μ A	200 μ A	20 μ A
$I_{IL}(\text{max})$	1 μ A	1 μ A	1 μ A	1,6 mA	0,4 mA	2 mA	100 μ A
$I_{OH}(\text{max})$	0,4 mA	4 mA	4 mA	0,4 mA	0,4 mA	2 mA	0,4 mA
$I_{OL}(\text{max})$	0,4 mA	4 mA	4 mA	16 mA	8 mA	20 mA	8 mA

(Bảng 5.4)

Có thể nói điều kiện để thúc trực tiếp

- Khi dòng điện ra của tầng thúc lớn hơn hoặc bằng dòng điện vào của tầng tải ở cả hai trạng thái thấp và cao.

- Khi hiệu thế ngõ ra của tầng thúc ở hai trạng thái thấp và cao phù hợp với điện thế vào của tầng tải.

Như vậy, trước khi xét các trường hợp cụ thể ta xem qua bảng kê các thông số của hai họ IC

3.1. TTL kích thích CMOS

- **TTL thúc CMOS dùng điện thế thấp ($V_{DD} = 5V$):**

Từ bảng 5.4 dòng điện vào của CMOS có trị rất nhỏ so với dòng ra của các loại TTL, vậy về dòng điện không có vấn đề

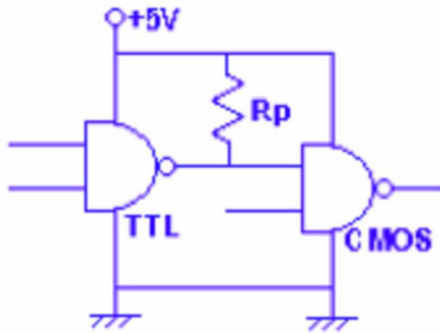
Tuy nhiên khi so sánh hiệu thế ra của TTL với hiệu thế vào của CMOS ta thấy $V_{OH}(\max)$ của tất cả các loại TTL đều khá thấp so với $V_{IH}(\min)$ của TTL, như vậy phải có biện pháp nâng hiệu thế ra của TTL lên. Điều này thực hiện được bằng một điện trở kéo lên mắc ở ngõ ra của IC TTL (Hình 24-05-11)

- TTL thức 74 HCT:

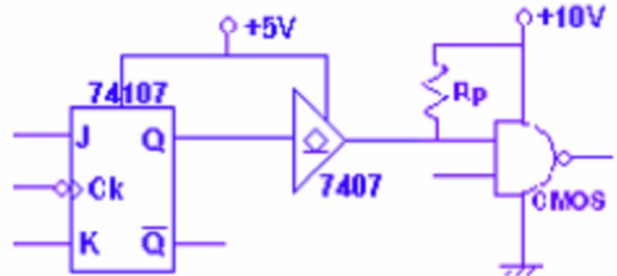
Như đã nói trước đây, riêng loại 74HCT là loại CMOS được thiết kế tương thích với TTL nên có thể thực hiện kết nối mà không cần điện trở kéo lên.

- TTL thức CMOS dùng nguồn cao ($V_{DD} = +10V$)

Ngay cả khi dùng điện trở kéo lên, điện thế ngõ ra mức cao của TTL vẫn không đủ cấp cho ngõ vào CMOS, người ta phải dùng một cổng đệm có ngõ ra để hở có thể dùng nguồn cao (Thí dụ IC 7407) để thực hiện sự giao tiếp (H 3.34)



(Hình 24-05-11)



(Hình 24-05-12)

3.2. CMOS kích thích TTL

- CMOS thức TTL ở trạng thái cao:

Bảng 5.4 cho thấy điện thế ra và dòng điện ra mức cao của CMOS đủ để cấp cho TTL. Vậy không có vấn đề ở trạng thái cao

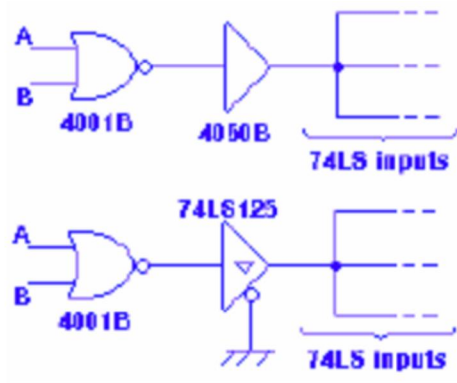
- CMOS thức TTL ở trạng thái thấp:

Dòng điện vào ở trạng thái thấp của TTL thay đổi trong khoảng từ $100 \mu A$ đến 2 mA . Hai loại 74HC và 74HCT có thể nhận dòng 4 mA . Vậy hai loại này có thể giao tiếp với một IC TTL mà không có vấn đề. Tuy nhiên, với loại 4000B, I_{OL} rất nhỏ không đủ để giao tiếp với ngay cả một IC TTL, người ta phải dùng một cổng đệm để nâng dòng tải của loại 4000B trước khi thức vào IC 74LS (Hình 24-05-13)

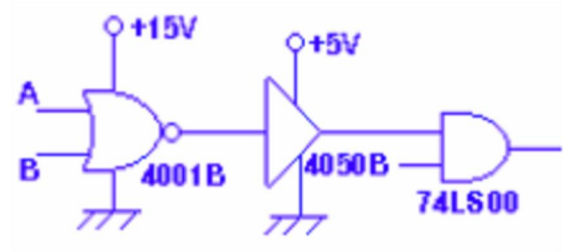
- CMOS dùng nguồn cao thức TTL:

Có một số IC loại 74LS được chế tạo đặc biệt có thể nhận điện thế ngõ vào cao khoảng $15V$ có thể được thức trực tiếp bởi CMOS dùng nguồn cao, tuy nhiên đa số IC TTL không có tính chất này, vậy để có thể giao tiếp với CMOS dùng

nguồn cao, người ta phải dùng cổng đệm để hạ điện thế ra xuống cho phù hợp với IC TTL (Hình 24-05-14)



(Hình 24-05-13)



(Hình 24-05-14)

- 5.1. Trình bày cấu trúc và các thông số cơ bản của TTL?
- 5.2. Trình bày cấu trúc và các thông số cơ bản của CMOS?

BÀI 6 : BỘ NHỚ

Mã bài: MĐ24-06

Giới thiệu:

Bộ nhớ là một thiết bị có khả năng lưu trữ thông tin (nhị phân). Muốn sử dụng bộ nhớ, trước tiên ta phải ghi dữ liệu và các thông tin cần thiết vào nó, sau đó lúc cần thiết phải gọi (lấy) được dữ liệu hoặc thông tin đã ghi trước đó ra sử dụng. Thủ tục ghi vào và đọc ra phải được kiểm soát chặt chẽ, tránh nhầm lẫn nhờ định vị chính xác từng vị trí nhớ và nội dung của nó theo một mã địa chỉ duy nhất để tìm kiếm để người sử dụng biết rằng: vị trí nhớ xác định đó còn đang trống(chưa được sử dụng tới) trong thủ tục ghi vào và biết rằng dữ liệu thông tin cần tìm đang nằm ở đâu? vị trí nào? Khi làm thủ tục lấy ra(đọc)

Mục tiêu:

- Trình bày được cấu trúc, hoạt động, phân loại và phạm vi ứng dụng các bộ nhớ.
- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính xác

Nội dung chính:

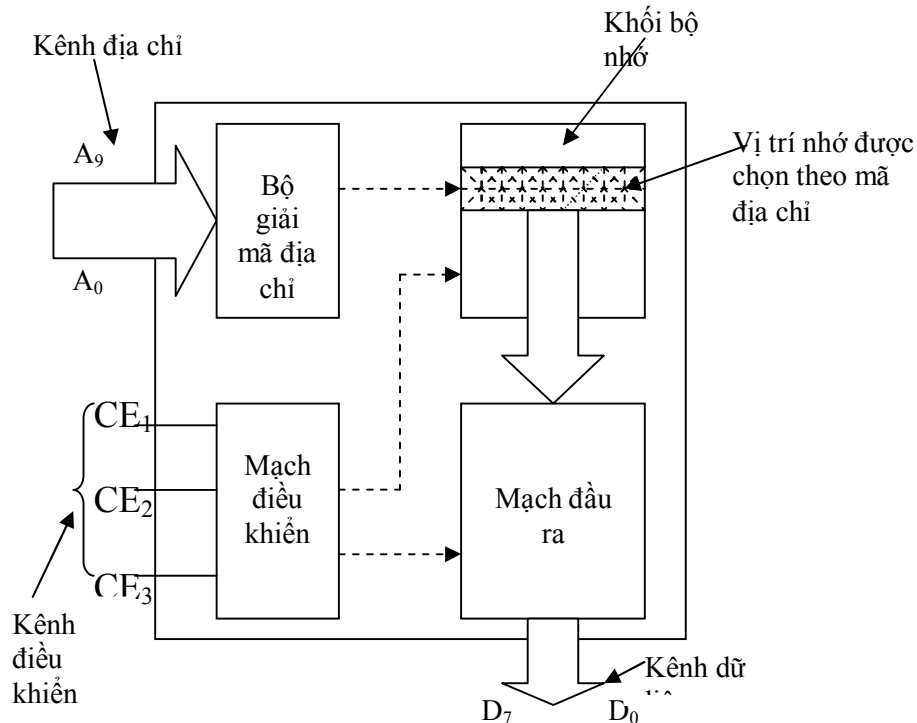
1. ROM

Mục tiêu :

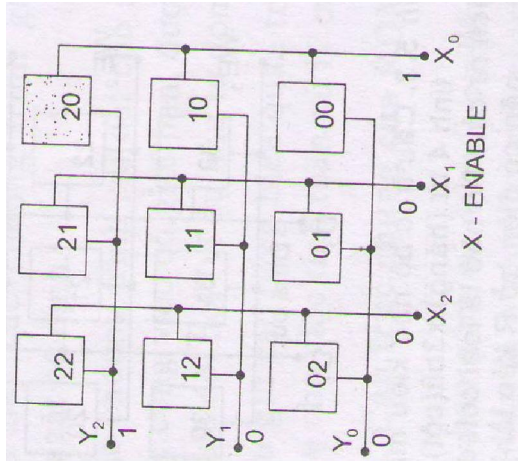
- Trình bày được cấu trúc, hoạt động của ROM

1.1. Cấu trúc ROM

Cấu trúc chung của ROM.



Hình 24-06-1: Cấu trúc bốn khối cơ bản bên trong của 1 bộ nhớ chỉ đọc ROM
 1.2 . Cấu trúc ma trận nhớ

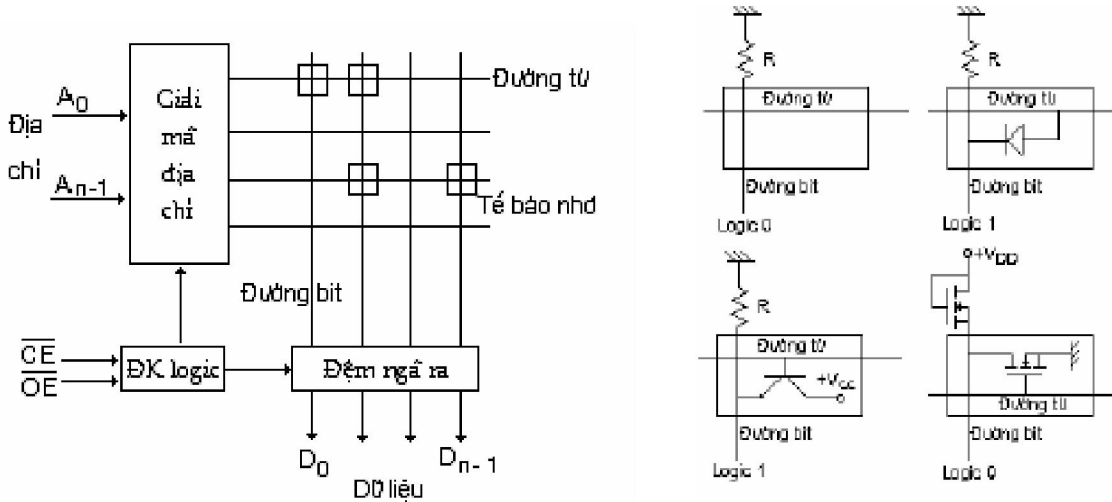


Hình 24-06-2: Cấu trúc bộ nhớ kiểu ma trận hướng bit

1.3. Cấu trúc tế bào ROM

Đây là loại ROM được chế tạo để thực hiện một công việc cụ thể như các bảng tính, bảng lượng giác, bảng logarit . . . ngay sau khi xuất xưởng. Nói cách khác, các tế bào nhớ trong ma trận nhớ đã được tạo ra theo một chương trình đã xác định trước bằng phương pháp mặt nạ: đưa vào các linh kiện điện tử nối từ đường từ qua đường bit để tạo ra một giá trị bit và để trống cho giá trị bit ngược lại.

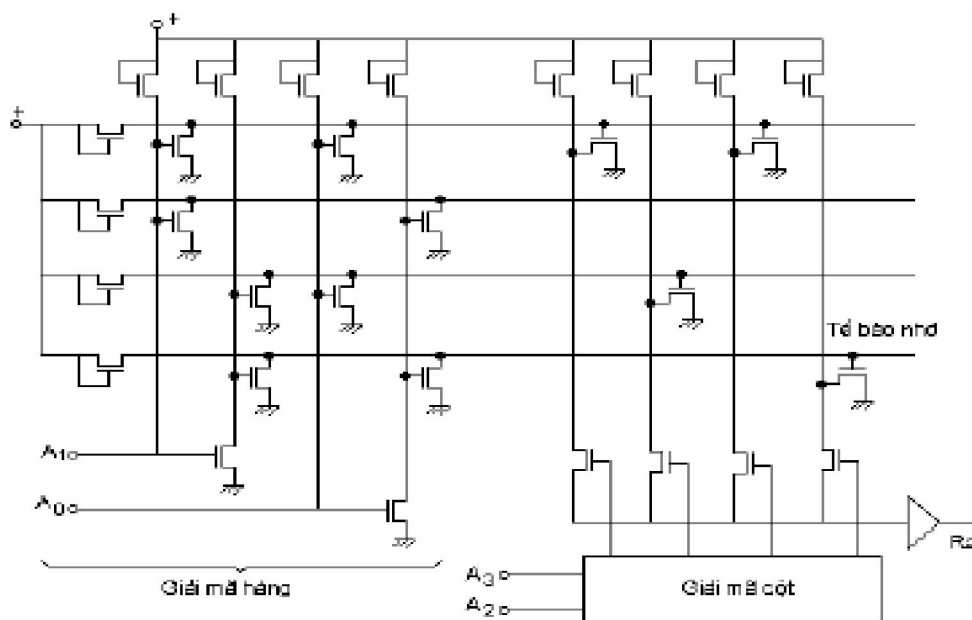
- (Hình 24-06-3) là mô hình của một MROM trong đó các ô vuông là nơi chứa (hay không) một linh kiện (diod, transistor BJT hay MOSFET) để tạo bit. Mỗi ngã ra của mạch giải mã địa chỉ gọi là đường từ và đường nối tế bào nhớ ra ngoài gọi là đường bit. Khi đường từ lên mức cao thì tế bào nhớ hoặc từ nhớ được chọn.



(Hình 24-06-3)

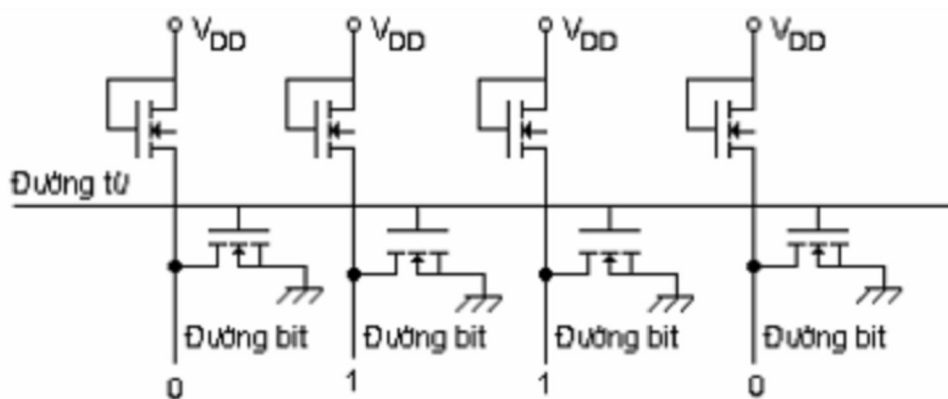
Nếu tế bào nhớ là Diode hoặc BJT thì sự hiện diện của linh kiện tương ứng với bit 1 (lúc này đường từ lên cao, Transistor hoặc diode dẫn, dòng điện qua điện trở tạo điện thế cao ở hai đầu điện trở) còn vị trí nhớ trống tương ứng với bit 0.

Đối với loại linh kiện MOSFET thì ngược lại, nghĩa là sự hiện diện của linh kiện tương ứng với bit 0 còn vị trí nhớ trống tương ứng với bit 1 (muốn có kết quả như loại BJT thì thêm ở ngã ra các cổng đảo). (Hình 24-06-4) là một thí dụ bộ nhớ MROM có dung lượng 16x1 với các mạch giải mã hàng và cột (các mạch giải mã 2 đường sang 4 đường của hàng và cột đều dùng Transistor MOS và có cùng cấu trúc).



(Hình 24-06-4)

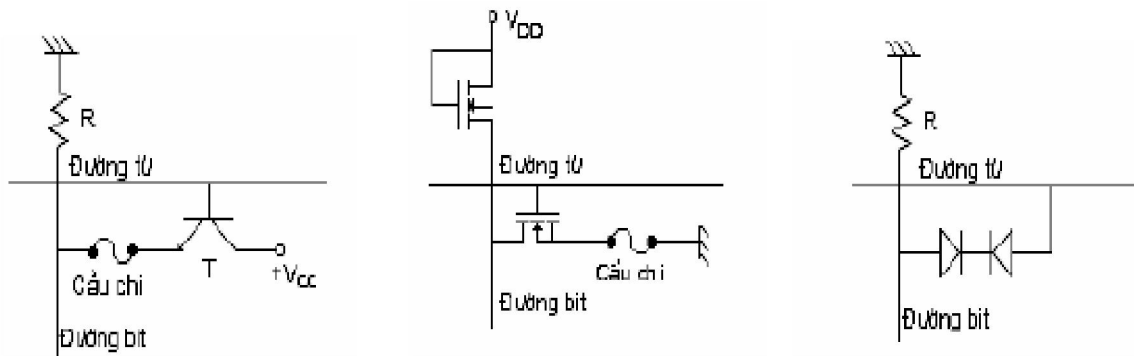
Trong thực tế, để đơn giản cho việc thực hiện, ở mỗi vị trí nhớ người ta đều cho vào một transistor MOS. Nhưng ở những vị trí ứng với bit 1 các transistor MOS được chế tạo với lớp SiO_2 dày hơn làm tăng điện thế ngưỡng của nó lên, kết quả là transistor MOS này luôn luôn không dẫn điện (Hình 24-06-5), Các transistor khác dẫn điện bình thường.



(Hình 24-06-5)

1.4. Cấu trúc tế bào PROM

Có cấu tạo giống MROM nhưng ở mỗi vị trí nhớ đều có linh kiện nối với cầu chì. Như vậy khi xuất xưởng các ROM này đều chứa cùng một loại bit (gọi là ROM trắng), lúc sử dụng người lập trình thay đổi các bit mong muốn bằng cách phá vỡ cầu chì ở các vị trí tương ứng với bit đó. Một khi cầu chì đã bị phá vỡ thì không thể nối lại được do đó loại ROM này cho phép lập trình một lần duy nhất để sử dụng, nếu bị lỗi không thể sửa chữa được (Hình 24-06-6)

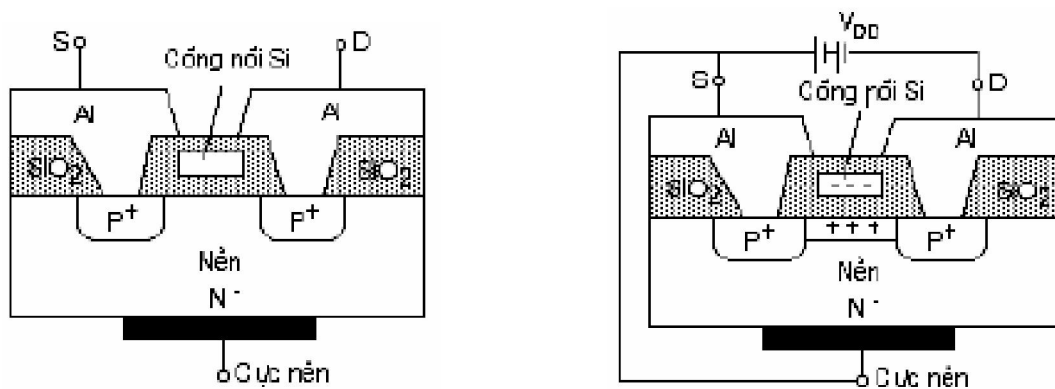


(Hình 24-06-6)

Người ta có thể dùng 2 diod mắc ngược chiều nhau, mạch không dẫn điện, để tạo bit 0, khi lập trình thì một diod bị phá hỏng tạo mạch nối tắt, diod còn lại dẫn điện cho bit 1

1.5. EPROM

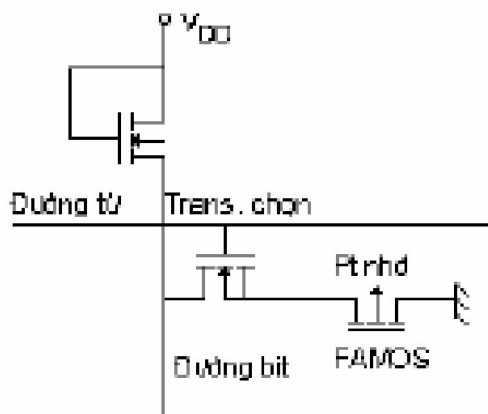
Đây là loại ROM rất tiện cho người sử dụng vì có thể dùng được nhiều lần bằng cách xóa và nạp lại. Cấu tạo của tế bào nhớ của U.V. EPROM dựa vào một transistor MOS có cấu tạo đặc biệt gọi là FAMOS (Floating Gate Avalanche Injection MOS)



(Hình 24-06-7)

Trên nền chất bán dẫn N pha loãng, tạo 2 vùng P pha đậm (P^+) nối ra ngoài cho 2 cực S (Source) và D (Drain). Trong lớp cách điện SiO_2 giữa 2 cực người ta cho vào một thỏi Silicon không nối với bên ngoài và được gọi là **cổng nổi**. Khi nguồn V_{DD} , phân cực ngược giữa cực nền và Drain còn nhỏ, transistor không dẫn, nhưng nếu tăng V_{DD} đủ lớn, hiện tượng thác đổ (avalanche) xảy ra, electron đủ năng lượng chui qua lớp cách điện tới bám vào cổng nổi. Do hiện tượng cảm ứng, một điện lộ P hình thành nổi hai vùng bán dẫn P^+ , transistor trở nên dẫn điện. Khi cắt nguồn, transistor tiếp tục dẫn điện vì electron không thể trở về để tái hợp với lỗ trống.

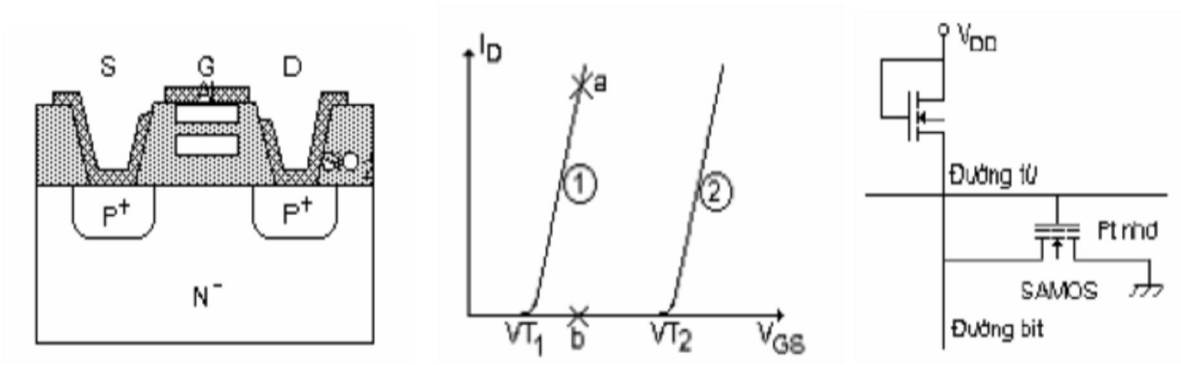
Để xóa EPROM, người ta chiếu tia U.V. vào các tế bào trong một khoảng thời gian xác định để electron trên cổng nổi nhận đủ năng lượng vượt qua lớp cách điện trở về vùng nền tái hợp với lỗ trống xóa điện lộ P và transistor trở về trạng thái không dẫn ban đầu.



(Hình 24-06-8)

Mỗi tế bào nhớ EPROM gồm một transistor FAMOS nối tiếp với một transistor MOS khác mà ta gọi là transistor chọn, như vậy vai trò của FAMOS giống như là một cầu chì nhưng có thể phục hồi được.

Để loại bỏ transistor chọn người ta dùng transistor SAMOS (Stacked Gate Avalanche Injection MOS) có cấu tạo tương tự transistor MOS nhưng có đến 2 cổng nằm chồng lên nhau, một được nối ra cực Gate và một để nổi. Khi cổng nổi tích điện sẽ làm gia tăng điện thế thêm khiến transistor trở nên khó dẫn điện hơn. Như vậy nếu ta chọn điện thế V_c ở khoảng giữa VT_1 và VT_2 là 2 giá trị điện thế thêm tương ứng với 2 trạng thái của transistor ($VT_1 < V_c < VT_2$) thì các transistor không được lập trình (không có lớp electron ở cổng nổi) sẽ dẫn còn các transistor được lập trình sẽ không dẫn.



(Hình 24-06-9)

Điểm bất tiện của U.V EPROM là cần thiết bị xóa đặc biệt phát tia U.V. và mỗi lần xóa tất cả tế bào nhớ trong một IC nhớ đều bị xóa. Như vậy người sử dụng phải nạp lại toàn bộ chương trình

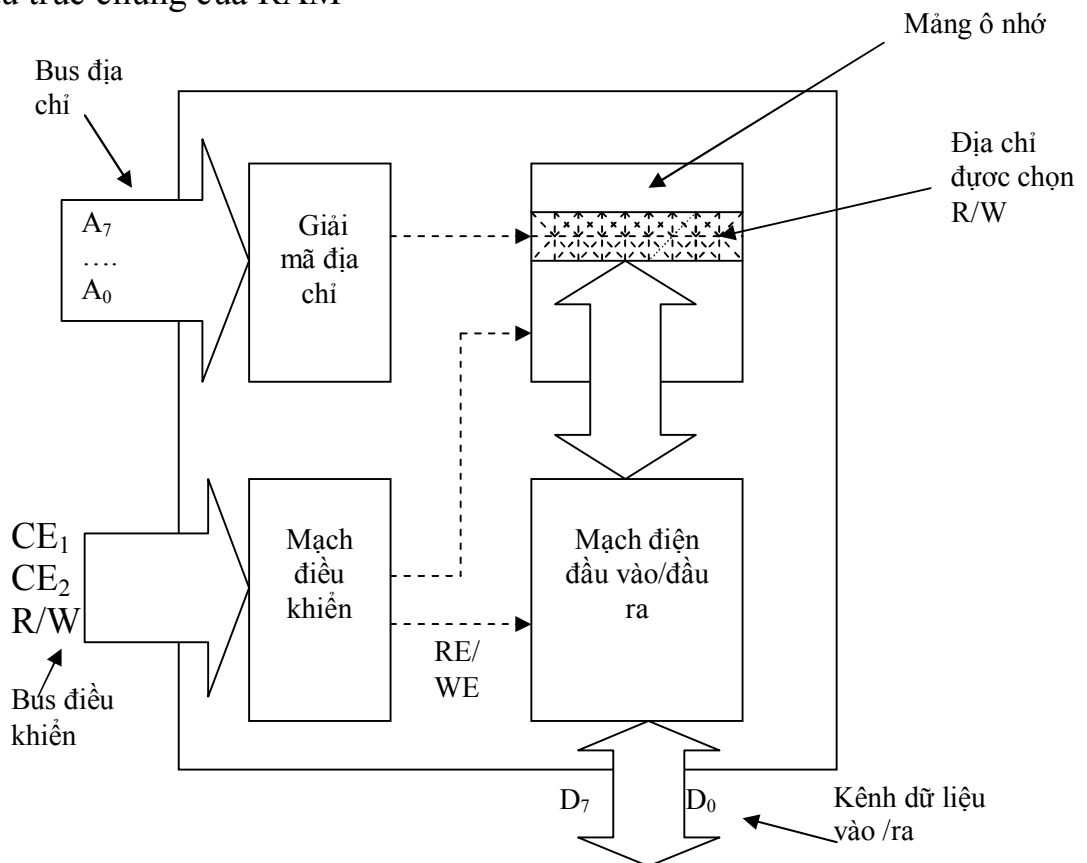
2. RAM

Mục tiêu:

- Trình bày được cấu trúc, hoạt động của ROM

2.1. Cấu trúc RAM

Cấu trúc chung của RAM



Hình 24-06-10: Cấu trúc 4 khối của 1 chip RAM có 8 bit dữ liệu và 8 bit địa chỉ

Trong đó:

CE: tín hiệu cho phép chọn (choose Enable)

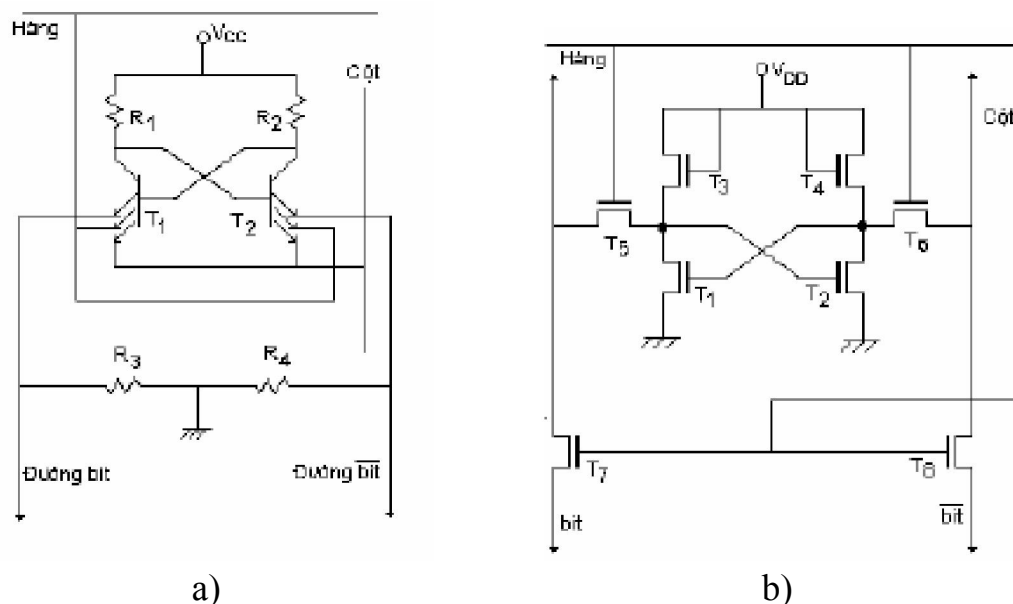
R/W: Read- Write

RE: Read Enable: cho phép đọc

WE: Write Enable: cho phép ghi.

2.2. Cấu trúc tế bào RAM

Mỗi tế bào RAM tĩnh là một mạch FlipFlop dùng Transistor BJT hay MOS



(Hình 24-06-10)

(Hình 24-06-10a) là một tế bào nhớ RAM tĩnh dùng transistor BJT với 2 đường địa chỉ hàng và cột.

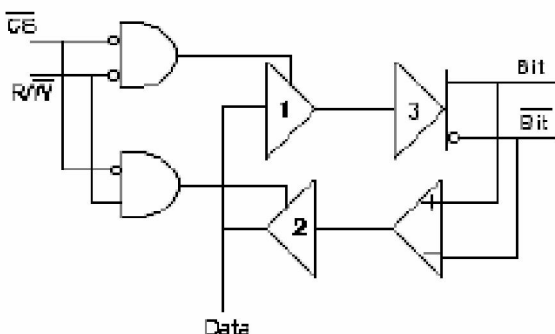
Khi một trong hai đường địa chỉ hàng hoặc cột ở mức thấp các tế bào không được chọn vì cực E có điện thế thấp hai Transistor đều dẫn, mạch không hoạt động như một FF. Khi cả hai địa chỉ hàng và cột lên cao, mạch hoạt động như FF, hai trạng thái 1 và 0 của tế bào nhớ được đặc trưng bởi hai trạng thái khác nhau của 2 đường bit và bit.

Giả sử khi T_1 dẫn thì T_2 ngưng, đường bit có dòng điện chạy qua, tạo điện thế cao ở R_3 trong khi đó đường bit không có dòng chạy qua nên ở R_4 có điện thế thấp. Nếu ta quy ước trạng thái này tương ứng với bit 1 thì trạng thái ngược lại, là trạng thái T_1 ngưng và T_2 dẫn, hiệu thế ở điện trở R_3 thấp và ở R_4 cao, sẽ là bit 0. R_3 và R_4 có tác dụng biến đổi dòng điện ra điện thế.

Đối với tế bào nhớ dùng MOS, hai đường từ nối với T_5 , T_6 và T_7 , T_8 nên khi một trong hai đường từ ở mức thấp T_1 và T_2 bị cô lập khỏi mạch, tế bào nhớ không

được chọn. Khi cả hai lên cao mạch hoạt động tương tự như trên. Trong mạch này R_1 và R_2 thay bởi T_3 và T_4 và không cần R_3 và R_4 như mạch dùng BJT.

(Hình 24-06-10) là mạch điều khiển chọn chip và thực hiện tác vụ đọc/viết vào tế bào nhớ.



(Hình 24-06-10)

OPAMP giữ vai trò mạch so sánh điện thế hai đường bit và \overline{bit} cho ở ngã ra mức cao hoặc thấp tùy kết quả so sánh này (tương ứng với 2 trạng thái của tế bào nhớ) và dữ liệu được đọc ra khi cổng đệm thứ 2 mở (R/\overline{W} lên cao).

Khi cổng đệm thứ nhất mở (R/\overline{W} xuống thấp) dữ liệu được ghi vào tế bào nhớ qua cổng đệm 1. Cổng 3 tạo ra hai tín hiệu ngược pha từ dữ liệu vào. Nếu hai tín hiệu này cùng trạng thái với hai đường bit và \overline{bit} của mạch trước đó, mạch sẽ không đổi trạng thái nghĩa là nếu tế bào nhớ đang lưu bit giống như bit muốn ghi vào thì mạch không thay đổi. Bây giờ, nếu dữ liệu cần ghi khác với dữ liệu đang lưu trữ thì mạch FF sẽ thay đổi trạng thái cho phù hợp với 2 tín hiệu ngược pha được tạo ra từ dữ liệu. Bit mới đã được ghi vào.

- Chu kỳ đọc của SRAM

Giản đồ thời gian một chu kỳ đọc của SRAM tương tự như giản đồ thời gian một chu kỳ đọc của ROM thêm điều kiện tín hiệu R/\overline{W} lên mức cao.

- Chu kỳ viết của SRAM

(Hình 24-06-11) là giản đồ thời gian một chu kỳ viết của SRAM

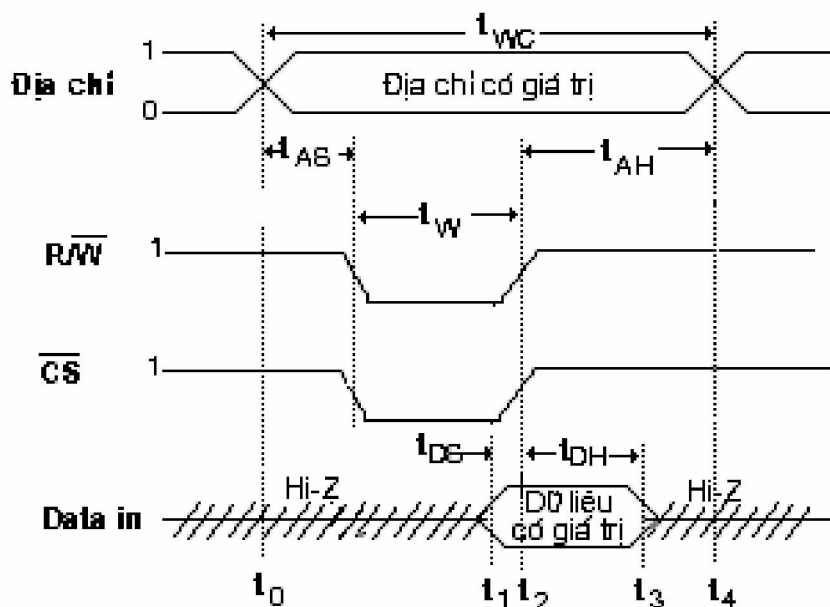
Một chu kỳ viết t_{WC} bao gồm:

- t_{AS} (Address Setup time): Thời gian thiết lập địa chỉ : Thời gian để giá trị địa chỉ ổn định trên bus địa chỉ cho tới lúc tín hiệu \overline{CS} tác động.

- t_W (Write time): Thời gian từ lúc tín hiệu \overline{CS} tác động đến lúc dữ liệu có giá trị trên bus dữ liệu.

- t_{DS} và t_{DH} : Khoảng thời gian dữ liệu tồn tại trên bus dữ liệu bao gồm thời gian trước (t_{DS}) và sau (t_{DH}) khi tín hiệu \overline{CS} không còn tác động

- t_{AH} (Address Hold time): Thời gian giữ địa chỉ: từ lúc tín hiệu \overline{CS} không còn tác động đến lúc xuất hiện địa chỉ mới.



(Hình 24-06-11)

3. Mở rộng dung lượng bộ nhớ

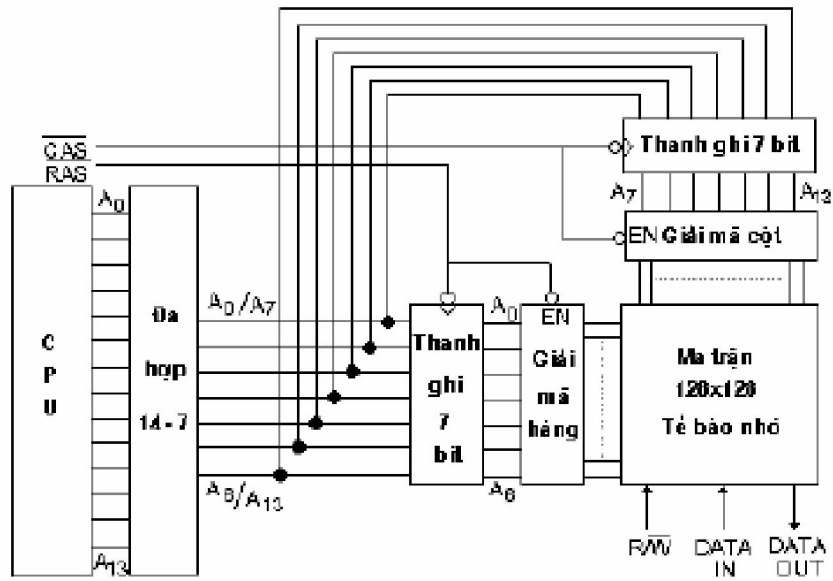
Mục tiêu:

- Biết được phạm vi ứng dụng bộ nhớ

3.1. Phương pháp mở rộng địa chỉ

Như đã nói trên, do dung lượng của DRAM rất lớn nên phải dùng phương pháp đa hợp để chọn một vị trí nhớ trong DRAM. Mỗi vị trí nhớ sẽ được chọn bởi 2 địa chỉ hàng và cột lần lượt xuất hiện ở ngõ vào địa chỉ.

Thí dụ với DRAM có dung lượng 16Kx1, thay vì phải dùng 14 đường địa chỉ ta chỉ cần dùng 7 đường và mạch đa hợp $14 \rightarrow 7$ (7 đa hợp $2 \rightarrow 1$) để chọn 7 trong 14 đường địa chỉ ra từ CPU (Hình 24-06-12). Bộ nhớ có cấu trúc là một ma trận 128x128 tế bào nhớ, sắp xếp thành 128 hàng và 128 cột, có một ngõ vào và một ngõ ra dữ liệu, một ngõ vào $\overline{R/W}$. Hai mạch chốt địa chỉ (hàng và cột) là các thanh ghi 7 bit có ngõ vào nối với ngõ ra mạch đa hợp và ngõ ra nối với các mạch giải mã hàng và cột. Các tín hiệu \overline{RAS} và \overline{CAS} dùng làm xung đồng hồ cho mạch chốt và tín hiệu Enable cho mạch giải mã. Như vậy 14 bit địa chỉ từ CPU sẽ lần lượt được chốt vào các thanh ghi hàng và cột bởi các tín hiệu \overline{RAS} và \overline{CAS} rồi được giải mã để chọn tế bào nhớ. Vận hành của hệ thống sẽ được thấy rõ hơn khi xét các giản đồ thời gian của DRAM.



(Hình 24-06-12)

3.2. Phương pháp mở rộng đường dữ liệu

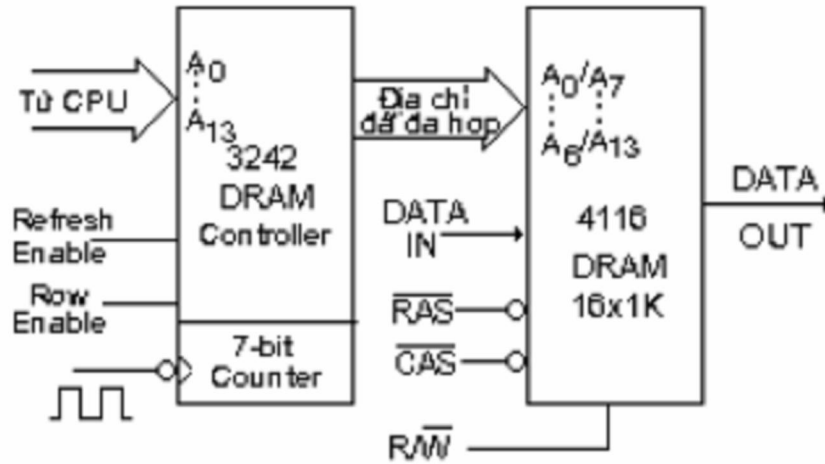
DRAM phải được làm tươi với chu kỳ khoảng 2ms để duy trì dữ liệu.

Trong phần trước ta đã thấy tế bào nhớ DRAM được làm tươi ngay khi tác vụ đọc được thực hiện. Lấy thí dụ với DRAM có dung lượng 16Kx1 (16.384 tế bào) nói trên, chu kỳ làm tươi là 2 ms cho 16.384 tế bào nhớ nên thời gian đọc mỗi tế bào nhớ phải là $2 \text{ ms}/16.384 = 122 \text{ ns}$. Đây là thời gian rất nhỏ không đủ để đọc một tế bào nhớ trong điều kiện vận hành bình thường. Vì lý do này các hãng chế tạo đã thiết kế các chip DRAM sao cho mỗi khi tác vụ đọc được thực hiện đối với một tế bào nhớ, tất cả các tế bào nhớ trên cùng một hàng sẽ được làm tươi. Điều này làm giảm một lượng rất lớn tác vụ đọc phải thực hiện để làm tươi tế bào nhớ. Trở lại thí dụ trên, tác vụ đọc để làm tươi phải thực hiện cho 128 hàng trong 2 ms. Tuy nhiên để vừa vận hành trong điều kiện bình thường vừa phải thực hiện chức năng làm tươi người ta phải dùng thêm mạch phụ trợ, gọi là điều khiển DRAM (DRAM controller)

IC 3242 của hãng Intel thiết kế để sử dụng cho DRAM 16K (Hình 24-06-13)

Ngõ ra 3242 là địa chỉ 7 bit đã được đa hợp và nối vào ngõ vào địa chỉ của DRAM. Một mạch đếm 7 bit kích bởi xung đồng hồ riêng để cấp địa chỉ hàng cho DRAM trong suốt thời gian làm tươi. 3242 cũng lấy địa chỉ 14 bit từ CPU đa hợp nó với địa chỉ hàng và cột đã được dùng khi CPU thực hiện tác vụ đọc hay viết. Mức logic áp dụng cho các ngõ REFRESH ENABLE và ROW ENABLE xác định 7 bit nào của địa chỉ xuất hiện ở ngõ ra mạch controller cho bởi bảng

REFRESH ENABLE	ROW ENABLE	Controller output
HIGH	X	Refresh address (từ mạch đếm)
LOW	HIGH	Địa chỉ hàng ($A_0 \dots A_6$ từ CPU)
LOW	LOW	Địa chỉ cột ($A_7 \dots A_{13}$ từ CPU)



(Hình 24-06-13)

CÂU HỎI ÔN TẬP

- 6.1. Trình bày ngắn gọn cấu trúc ROM?
- 6.2. Trình bày ngắn gọn cấu trúc RAM?

BÀI 7: KỸ THUẬT ADC – DAC

Mã bài: MĐ14-06

Giới thiệu:

Có thể nói sự biến đổi qua lại giữa các tín hiệu từ dạng tương tự sang dạng số là cần thiết vì:

- Hệ thống số xử lý tín hiệu số mà tín hiệu trong tự nhiên là tín hiệu tương tự: cần thiết có mạch đổi tương tự sang số.

- Kết quả từ các hệ thống số là các đại lượng số: cần thiết phải đổi thành tín hiệu tương tự để có thể tác động vào các hệ thống vật lý và thể hiện ra bên ngoài (thí dụ tái tạo âm thanh hay hình ảnh) hay dùng vào việc điều khiển sau đó (thí dụ dùng điện thế tương tự để điều khiển vận tốc động cơ)

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động, phạm vi ứng dụng các bộ chuyển đổi A/D và D/A.

- Giới thiệu được một số IC chuyển đổi thông dụng

- Rèn luyện tác phong làm việc nghiêm túc tỉ mỉ, cẩn thận, chính xác

Nội dung chính:

1. Mạch chuyển đổi số - tương tự (DAC)

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động, phạm vi ứng dụng các bộ chuyển đổi A/D

1.1 Tổng quát về chuyển đổi DAC

1.1.1. Sơ đồ khối :



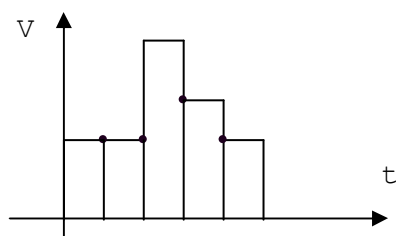
Hình 24-07-1: Sơ đồ khối bộ chuyển đổi DAC

Bảng 7.1: Mối quan hệ giữa đầu ra và đầu vào

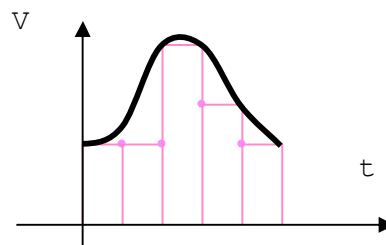
Tổ hợp mã nhị phân ngõ vào	Điện áp ở ngõ ra
000	0V
001	1V

010	2V
011	3V
100	4V
101	5V
110	6V
111	7V

1.1.2. Dạng tín hiệu ra



a) Dạng điện áp thu được sau bộ



b) Dạng điện áp thu được sau bộ

Hình 24-07-2: a) Dạng điện áp thu được sau bộ b) Dạng điện áp thu được sau bộ

1.2. Thông số kỹ thuật của bộ chuyển đổi DAC

1. Bit có ý nghĩa thấp nhất (LSB) và bit có ý nghĩa cao nhất (MSB)

Qua các mạch biến đổi DAC kể trên ta thấy vị trí khác nhau của các bit trong số nhị phân cho giá trị biến đổi khác nhau, nói cách khác trị biến đổi của một bit tùy thuộc vào trọng lượng của bit đó.

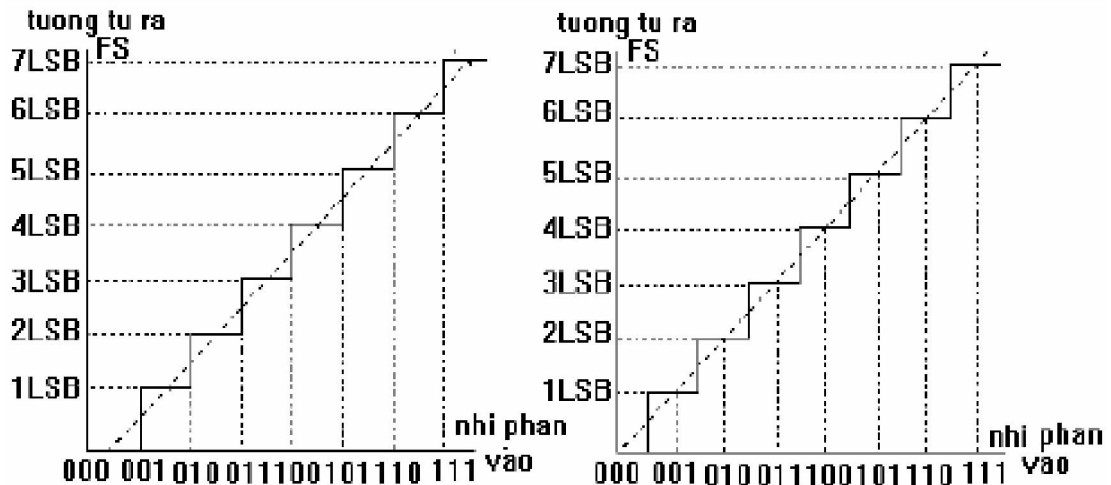
Nếu ta gọi trị toàn giai là V_{FS} thì bit LSB có giá trị là:

$$LSB = V_{FS} / (2^n - 1)$$

$$\text{và bit MSB} = V_{FS} \cdot 2^{n-1} / (2^n - 1)$$

Điều này được thể hiện trong kết quả của thí dụ 2 ở trên.

(Hình 24-07-3:) là đặc tuyến chuyển đổi của một số nhị phân 3 bit



(Hình 24-07-3a) là đặc tuyến lý tưởng, tuy nhiên, trong thực tế để đường trung bình của đặc tính chuyển đổi đi qua điểm 0 điện thế tương tự ra được làm lệch $(1/2)\text{LSB}$ (Hình 24-07-3b). Như vậy điện thế tương tự ra được xem như thay đổi ở ngay giữa hai mã số nhị phân vào kế nhau. Thí dụ khi mã số nhị phân vào là 000 thì điện thế tương tự ra là 0 và điện thế tương tự ra sẽ lên nấc kế 000+ $(1/2)\text{LSB}$ rồi nấc kế tiếp ở 001+ $(1/2)\text{LSB}$.v.v....Trị tương tự ra ứng với 001 gọi tắt là 1LSB và trị toàn giai $V_{\text{FS}} = 7\text{LSB}$ tương ứng với số 111

2. Sai số nguyên lượng hóa (quantization error)

Trong sự biến đổi, ta thấy ứng với một giá trị nhị phân vào, ta có một khoảng điện thế tương tự ra. Như vậy có một sai số trong biến đổi gọi là sai số nguyên lượng hóa và $= (1/2)\text{LSB}$

3. Độ phân giải (resolution)

Độ phân giải được hiểu là giá trị thay đổi nhỏ nhất của tín hiệu tương tự ra có thể có khi số nhị phân vào thay đổi. Độ phân giải còn được gọi là trị bước (step size) và bằng trọng lượng bit LSB.

Số nhị phân n bit có 2^n giá trị và $2^n - 1$ bước

Hiệu thế tương tự ra xác định bởi $v_0 = k.(B)_2$

Trong đó k chính là độ phân giải và $(B)_2$ là số nhị phân

Người ta thường tính phần trăm phân giải:

$$\%res = (k / V_{\text{FS}})100 \%$$

Với số nhị phân n bit

$$\%res = [1 / (2^n - 1)]100 \%$$

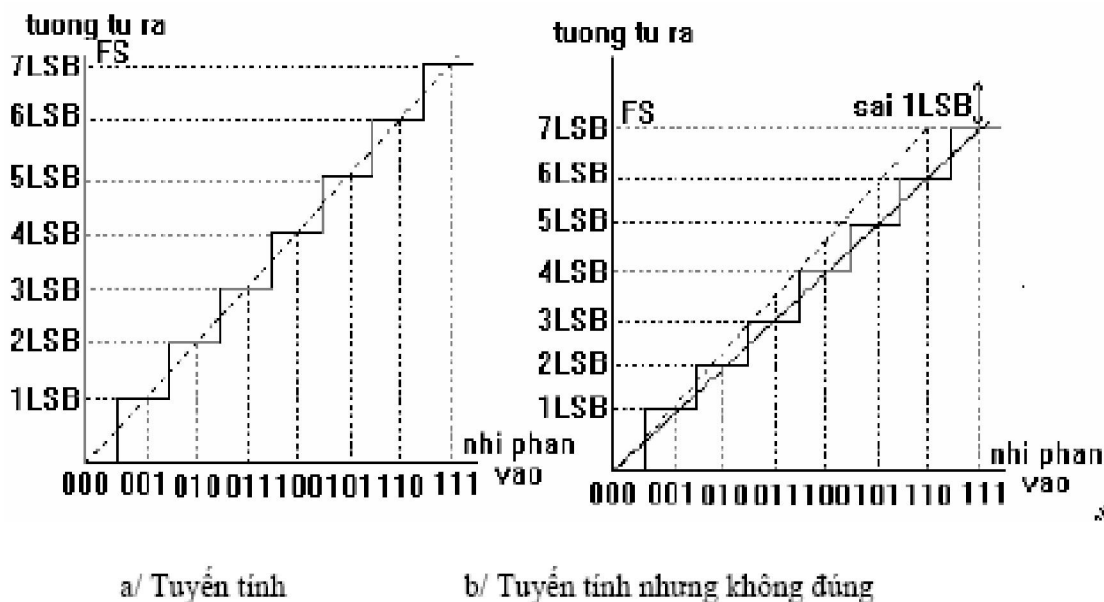
Các nhà sản xuất thường dùng số bit của số nhị phân có thể được biến đổi để chỉ độ phân giải. Số bit càng lớn thì độ phân giải càng cao (finer resolution)

4. Độ tuyến tính (linearity)

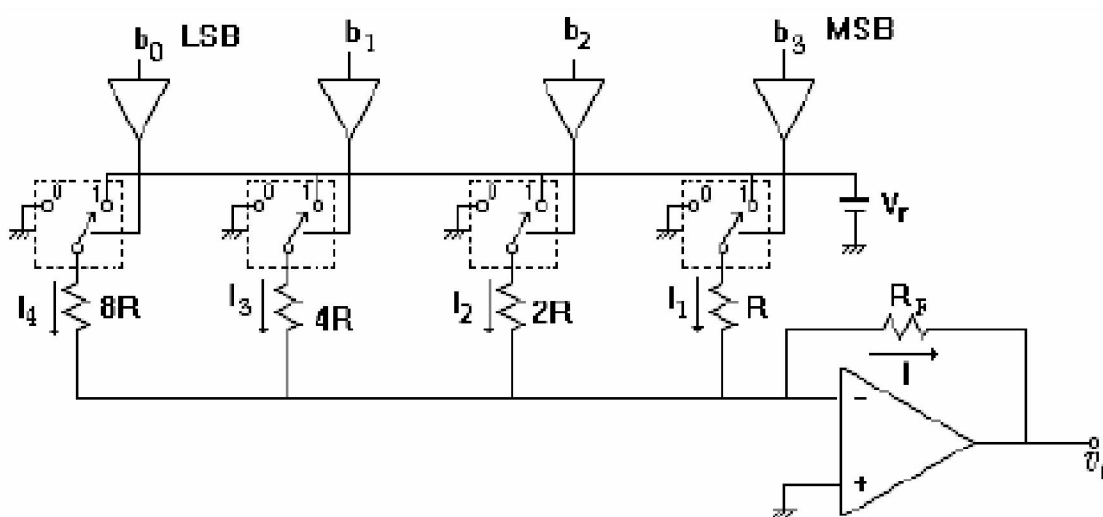
Khi điện thế tương tự ra thay đổi đều với số nhị phân vào ta nói mạch biến đổi có tính tuyến tính

5. Độ đúng (accuracy)

Độ đúng (còn gọi là độ chính xác) tuyệt đối của một DAC là hiệu số giữa điện thế tương tự ra và điện thế ra lý thuyết tương ứng với mã số nhị phân vào. Hai số nhị phân kế nhau phải cho ra hai điện thế tương tự khác nhau đúng 1LSB, nếu không mạch có thể tuyến tính nhưng không đúng (Hình 24-07-4)



Hình 24-07-4: a) Dạng tuyến tính b) Tuyến tính nhưng không đúng
 1.3. Mạch DAC dùng mạng điện trở có trị số khác



Hình 24-07-4: Sơ đồ mạch DAC dùng mạng điện trở

Trong mạch trên, nếu thay OP-AMP bởi một điện trở tải, ta có tín hiệu ra là dòng điện.

Như vậy OP-AMP giữ vai trò biến dòng điện ra thành điện thế ra, đồng thời nó là một mạch cộng

$$\begin{aligned} \text{Ta có } v_0 &= -R_F \cdot I = -(2^3 b_3 + 2^2 b_2 + 2b_1 + b_0) V_r \cdot R_F / 2^3 R \\ &= -(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + \dots + 2b_1 + b_0) V_r \cdot R_F / 2^{n-1} \cdot R \end{aligned}$$

Nếu $R_F = R$ thì:

$$v_0 = -(2^{n-1} b_{n-1} + 2^{n-2} b_{n-2} + \dots + 2b_1 + b_0) V_r / 2^{n-1}$$

Thí dụ:

1/ Khi số nhị phân là 0000 thì $v_0 = 0$

1111 thì $v_0 = -15V_r / 8$

2/ Với $V_r = 5V$; $R = R_F = 1k\Omega$

Ta có kết quả chuyển đổi như sau:

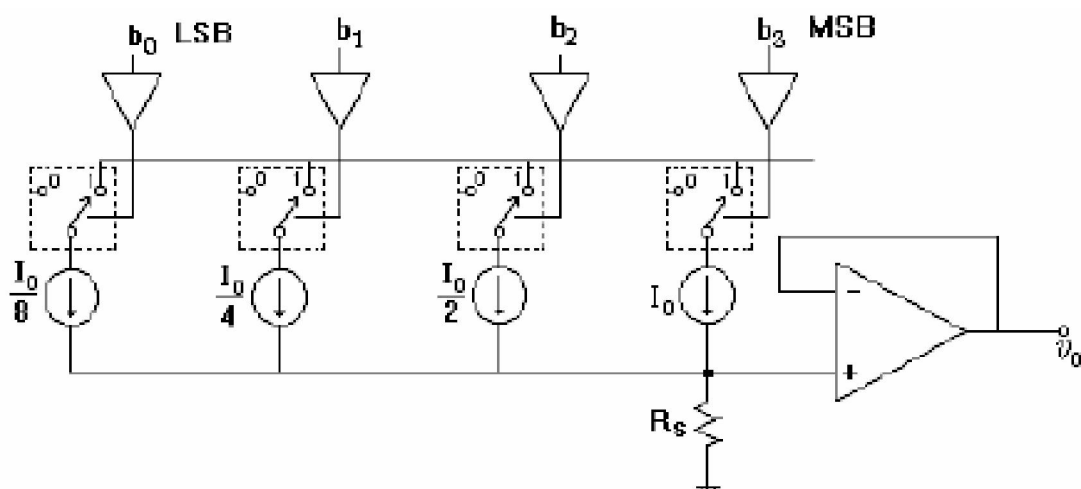
Bảng 7.2: Kết quả chuyển đổi

b_3	b_2	b_1	b_0	v_0 (V)
0	0	0	0	0
0	0	0	1	-0,625 ← LSB
0	0	1	0	-1,250
0	0	1	1	-1,875
0	1	0	0	-2,500
0	1	0	1	-3,125
0	1	1	0	-3,750
0	1	1	1	-4,375
1	0	0	0	-5,000
1	0	0	1	-5,625
1	0	1	0	-6,250
1	0	1	1	-6,875
1	1	0	0	-7,500
1	1	0	1	-8,125
1	1	1	0	-8,750
1	1	1	1	-9,375 ← Full Scale (V_{FS})

Mạch có một số hạn chế:

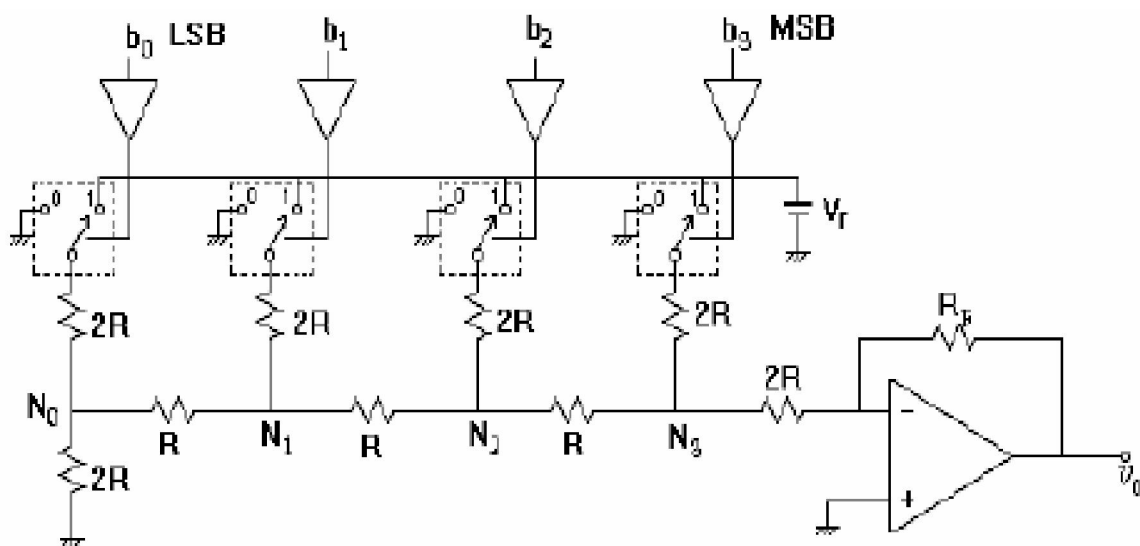
- Sự chính xác tùy thuộc vào điện trở và mức độ ổn định của nguồn tham chiếu V_r
- Với số nhị phân nhiều bit thì cần các điện trở có giá trị rất lớn, khó thực hiện.

1.4. Mạch DAC sử dụng nguồn dòng



Hình 24-07-5: Sơ đồ mạch DAC sử dụng nguồn dòng

1.5. Mạch DAC dùng điện trở R và 2R



Hình 24-07-5: Sơ đồ mạch DAC dùng điện trở R và 2R

Cho $R_F = 2R$ và lần lượt

Cho $b_3 = 1$ các bit khác = 0, ta được: $v_0 = -8(V_r / 24)$

Cho $b_2 = 1$ các bit khác = 0, ta được: $v_0 = -4(V_r / 24)$

Cho $b_1 = 1$ các bit khác = 0, ta được: $v_0 = -2(V_r / 24)$

Cho $b_0 = 1$ các bit khác = 0, ta được: $v_0 = -(V_r / 24)$

Ta thấy v_0 tỉ lệ với giá trị B của tổ hợp bit

$B = (b_3 b_2 b_1 b_0)_2 \Rightarrow v_0 = -B(V_r / 24)$

2. Mạch chuyển đổi tương tự - số (ADC)

Mục tiêu:

- Trình bày được cấu tạo, nguyên lý hoạt động, phạm vi ứng dụng các bộ chuyển đổi D/A.

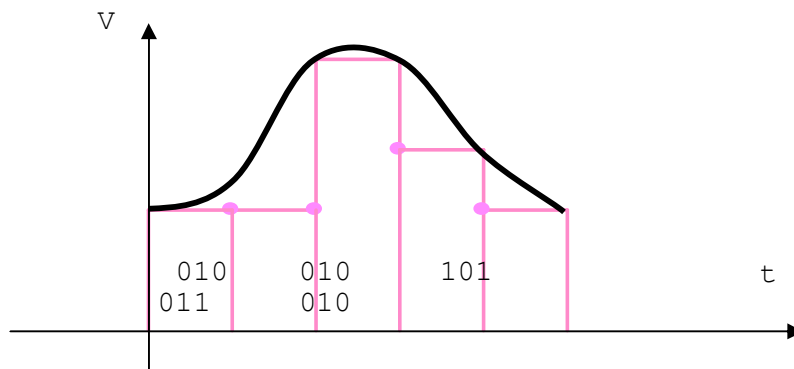
2.1. Tổng quát về chuyển đổi ADC

2.1.1. Sơ đồ khối :



Hình 24-07-6: Sơ đồ khối bộ chuyển đổi ADC

2.1.2. Dạng tín hiệu ra :

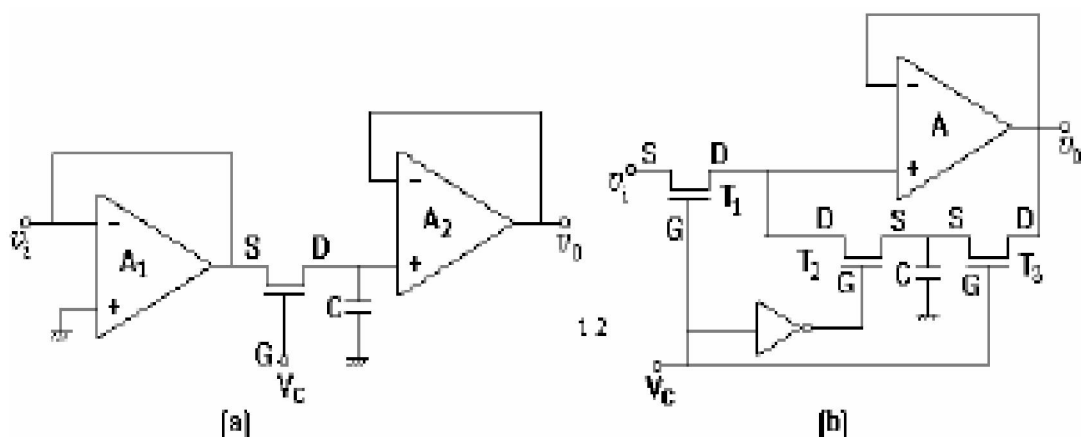


Hình 24-07-7: Dạng số thu được

2.2. Vấn đề lấy mẫu và giữ (sample and hold)

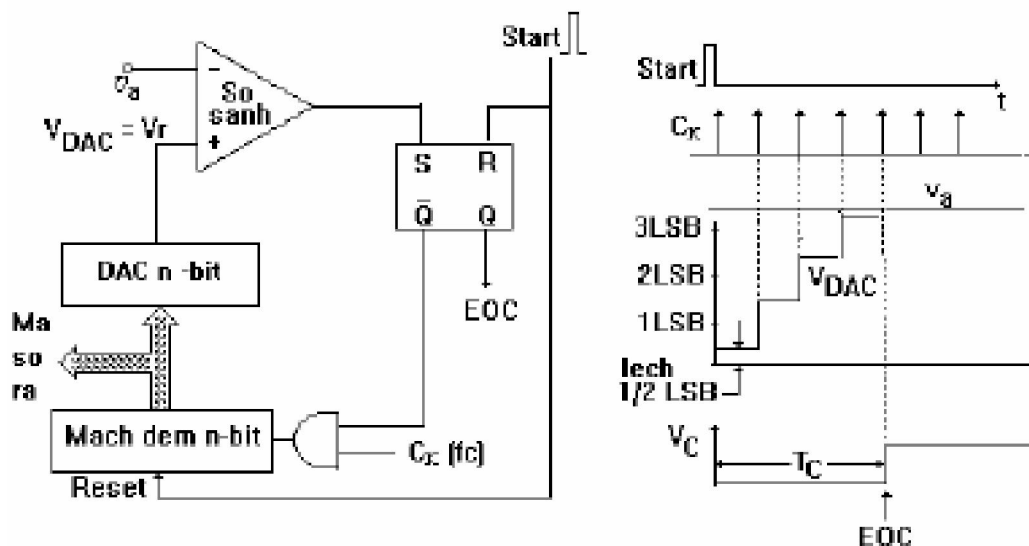
Để biến đổi một tín hiệu tương tự sang tín hiệu số, người ta không thể biến đổi mọi giá trị của tín hiệu tương tự mà chỉ có thể biến đổi một số giá trị cụ thể bằng cách **lấy mẫu** tín hiệu đó theo một chu kỳ xác định nhờ một tín hiệu có dạng xung. Ngoài ra, mạch biến đổi cần một khoảng thời gian cụ thể (khoảng $1\mu\text{s} - 1\text{ms}$) do đó **cần giữ mức tín hiệu** biến đổi trong khoảng thời gian này để mạch có thể thực hiện việc biến đổi chính xác. Đó là nhiệm vụ của mạch lấy mẫu và giữ.

Hình 24-07-8 là dạng mạch lấy mẫu và giữ cơ bản: Điện thế tương tự cần biến đổi được lấy mẫu trong thời gian rất ngắn do tụ nạp điện nhanh qua tổng trở ra thấp của OP-AMP khi các transistor dẫn và giữ giá trị này trong khoảng thời gian transistor ngưng (tụ phóng rất chậm qua tổng trở vào rất lớn của OP-AMP)



(Hình 24-07-8)

2.3. Mạch ADC dùng điện áp tham chiếu nấc thang



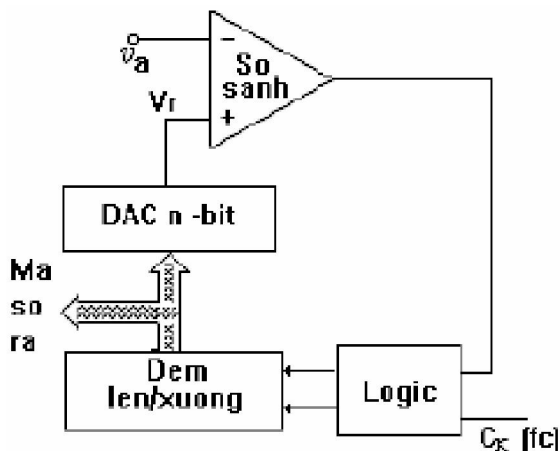
Hình 24-07-9: Sơ đồ mạch ADC dùng điện áp tham chiếu nấc thang

Một cách đơn giản để tạo điện thế tham chiếu có dạng nấc thang là dùng một mạch DAC mà số nhị phân vào được lấy từ mạch đếm lên (H 8.8). Khi có xung bắt đầu FlipFlop và mạch đếm được đặt về 0 nên ngõ ra Q của FF lên 1, mở cổng AND cho xung C_K vào mạch đếm. Ngõ ra mạch đếm tăng dần theo dạng nấc thang (V_{DAC}), đây chính là điện thế tham chiếu, khi V_r còn nhỏ hơn v_a , ngõ ra mạch so sánh còn ở mức thấp và Q vẫn tiếp tục ở mức cao, nhưng khi V_r vừa vượt v_a ngõ ra mạch so sánh lên cao khiến Q xuống thấp, đóng cổng AND không cho xung C_K qua và mạch đếm ngưng. Đồng thời ngõ ra Q lên cao báo kết thúc sự chuyển đổi. Số đếm ở mạch đếm chính là số nhị phân tương ứng với điện thế vào.

Gọi thời gian chuyển đổi là t_c . Thời gian chuyển đổi tùy thuộc điện thế cần chuyển đổi. Thời gian lâu nhất ứng với điện thế vào bằng trị toàn giai:

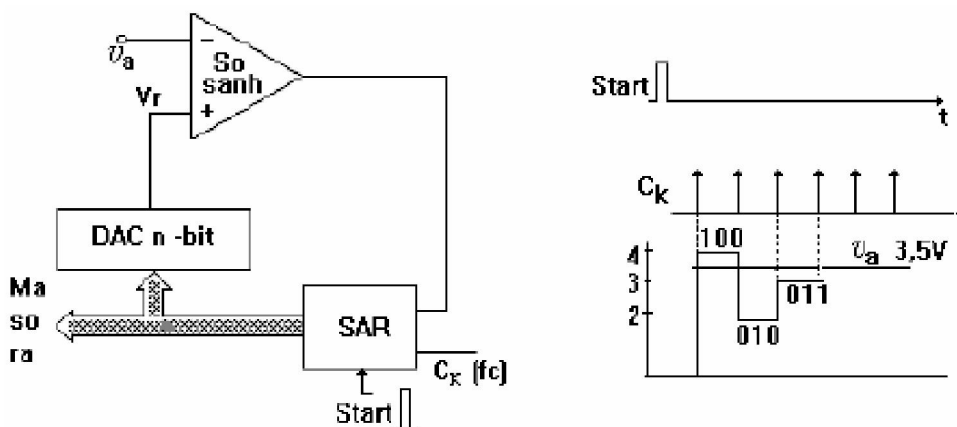
$$t_c(\max) = 2^n / f_{CK} = 2^n \cdot T_{CK}$$

Mạch đổi này có tốc độ chậm. Một cách cải tiến là thay mạch đếm lên bởi một mạch đếm lên/xuống (Hình 24-07-10). Nếu ngõ ra mạch so sánh cho thấy V_r nhỏ hơn v_a , mạch Logic sẽ điều khiển đếm lên và ngược lại thì mạch sẽ đếm xuống. Nếu v_a không đổi V_r sẽ dao động quanh trị v_a với hai trị số khác nhau 1 LSB



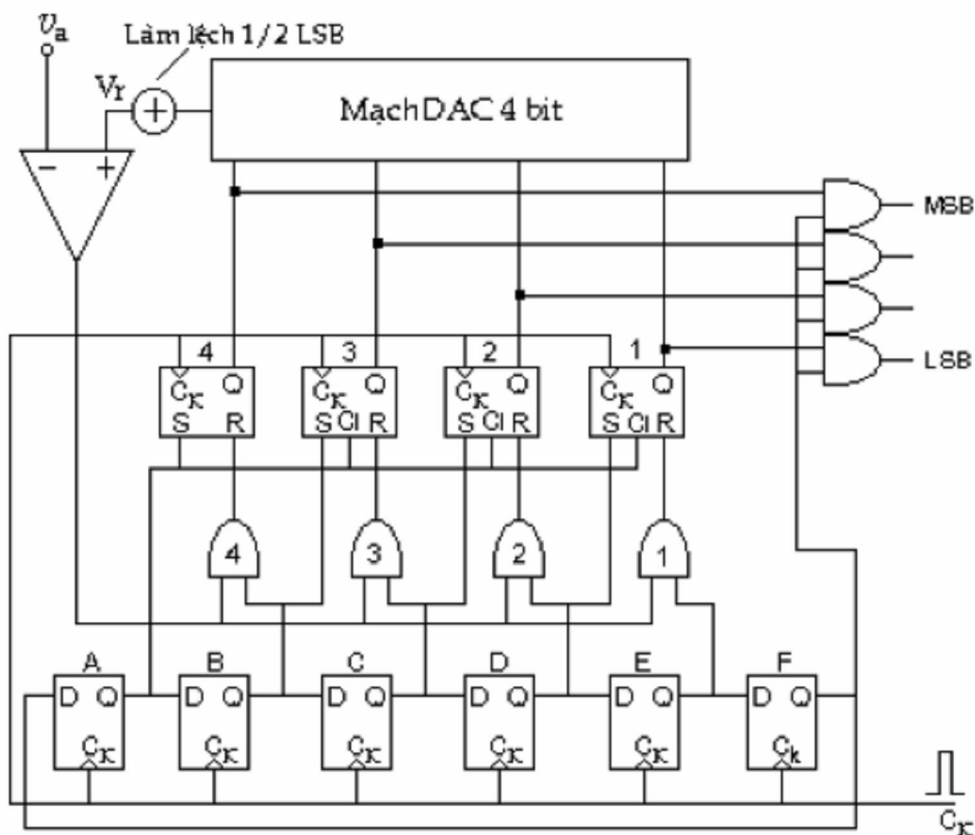
(Hình 24-07-10)

2.4. Mạch ADC gần đúng lấy liên tiếp



Hình 24-07-11: Sơ đồ mạch ADC gần đúng lấy liên tiếp

Mạch đổi lấy gần đúng kế tiếp dùng cách tạo điện thế tham chiếu một cách có hiệu quả hơn khiến việc chuyển đổi ra mã số n bit chỉ tốn n chu kỳ xung C_K . Mạch này bao gồm: một mạch so sánh, một mạch ghi dịch đặc biệt (SAR) và một mạch DAC (Hình 24-07-12).



Hình 24-07-12: Sơ đồ mạch SAR

Mạch SAR (Hình 24-07-12) là mạch ghi dịch có kết hợp điều khiển Logic. Mạch gồm 6 FF D mắc thành chuỗi, ngõ ra FF cuối (F) hồi tiếp về FF đầu (A), khối điều khiển gồm 4 cổng AND và 4 FF RS có ngõ vào tác động mức cao, các ngõ ra Q của các FF RS được đưa vào mạch DAC để tạo điện thế tương tự V_r (dùng so sánh với điện thế ra từ mạch lấy mẫu và giữ v_a), đồng thời đây cũng là mã số ra khi sự biến đổi đã kết thúc.

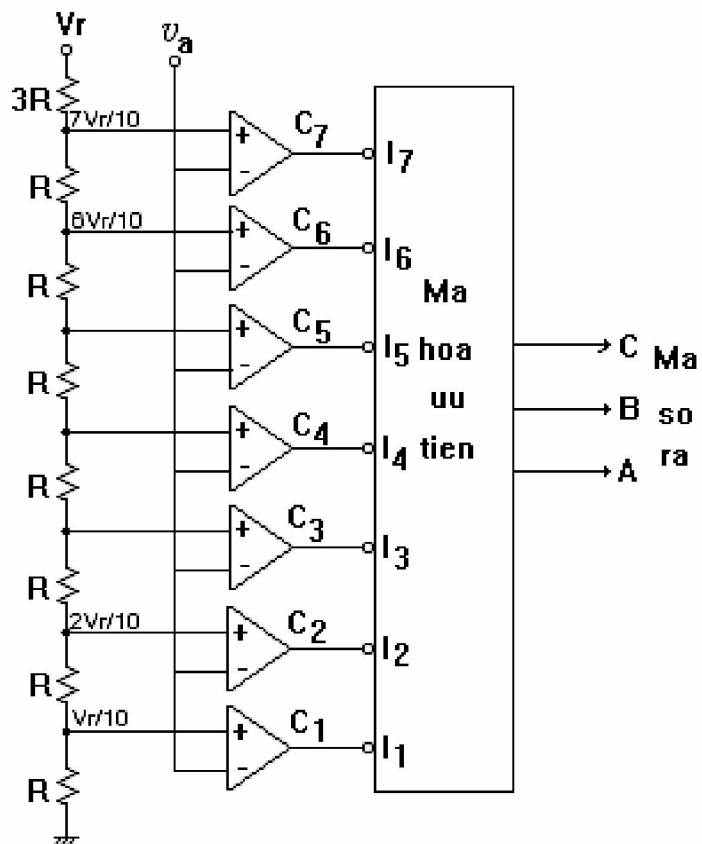
Hoạt động: Lúc có xung bắt đầu, mạch SAR được đặt về 0. Ngõ ra DAC được làm lệch 1/2 LSB để tạo đặc tính chuyển đổi như đã nói trong phần trước, kể đó SAR đưa bit MSB lên cao (bằng cách preset FF A), các bit khác bằng 0, số này được đưa vào mạch DAC để tạo điện thế tham chiếu V_r để so sánh với v_a . Tùy theo kết quả so sánh, nếu $V_r > v_a$ thì ngõ ra mạch so sánh ở mức cao khiến SAR bỏ đi bit MSB khi có xung C_k kế tiếp xuất hiện, còn nếu $V_r < v_a$ thì ngõ ra mạch so sánh ở mức thấp, khiến SAR giữ bit MSB lại (FF RS 4 giữ nguyên trạng thái) đồng thời đưa bit có nghĩa kế tiếp lên cao (do FF 3 được set từ giá trị 1 ở ngõ ra FF B, trị 1 này được chuyển từ FF A sang). Mạch so sánh tiếp tục làm việc và kết quả sẽ được quyết định theo cùng cách thức như đối với bit MSB.... Tiếp tục như vậy cho đến bit cuối cùng của SAR, lúc đó v_a gần V_r nhất và ta được kết quả chuyển đổi trong thời gian tối đa là n chu kỳ xung đồng hồ. Mạch chuyển đổi chấm dứt khi ngõ ra FF F lên mức cao cho phép mở các đệm để cho mã số ra.

2.5. Mạch ADC gần đúng lấy liên tiếp chuyển đổi song song

Đây là mạch đổi có tốc độ chuyển đổi rất nhanh, có thể đạt vài triệu lần trong một giây, áp dụng vào việc chuyển đổi tín hiệu hình trong kỹ thuật video. Thí dụ để có mạch đổi 3 bit, người ta dùng 7 mạch so sánh ở ngõ vào và một mạch mã hóa ưu tiên để tạo mã số nhị phân ở ngõ ra (Hình 24-07-13).

- Khi $v_a < V_r/10$, các ngõ ra mạch so sánh đều lên cao khiến mã số ra là 000
- Khi $V_r/10 < v_a < 2V_r/10$, ngõ ra mạch so sánh 1 xuống thấp khiến mã số ra là 001
- Khi $2V_r/10 < v_a < 3V_r/10$, ngõ ra mạch so sánh 2 xuống thấp khiến mã số ra là 010

Cứ như thế, ta thấy mã số ra tỷ lệ với điện thế tương tự vào



Hình 24-07-13: Sơ đồ mạch ADC gần đúng lấy liên tiếp chuyển đổi song song
CÂU HỎI ÔN TẬP

- 7.1. Trình bày tổng quát và thông số kỹ thuật của mạch DAC?
- 7.2. Trình bày tổng quát và thông số kỹ thuật của mạch ADC?

TRẢ LỜI CÂU HỎI VÀ BÀI TẬP

Các phần câu hỏi hệ thống bài có trong sách giáo khoa

1.3. $F(x_3, x_2, x_1, x_0) = \sum(0, 1, 3, 7, 8, 10, 12, 15)$

x_1x_0 x_3x_2	00	01	11	10
00	⁰ 1	¹ 1	³ 1	²
01	⁴	⁵	⁷ 1	⁶
11	¹² 1	¹³	¹⁵ 1	¹⁴
10	⁸ 1	⁹	¹¹	¹⁰ 1

$F(x_3, x_2, x_1, x_0) = \prod(1, 3, 5, 8, 9, 10, 13, 14)$

x_1x_0 x_3x_2	00	01	11	10
00	⁰	¹ 0	³ 0	²
01	⁴	⁵ 0	⁷	⁶
11	¹²	¹³ 0	¹⁵	¹⁴ 0
10	⁸ 0	⁹ 0	¹¹	¹⁰ 0

1.4.

a) $A=A$

b) $AB=AB$

c) $AB=AB$

1.5

a) $Y = \overline{A} + \overline{BC}$

b) $Y = \overline{A} + \overline{B} + CD$

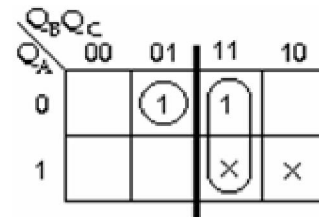
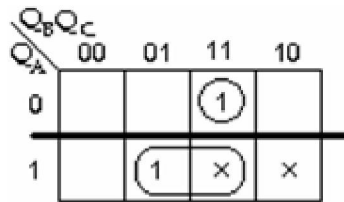
4.3. Bảng trạng thái và hàm chuyển mạch đếm 6:

N	Q _A	Q _B	Q _C	Q _{A+}	Q _{B+}	Q _{C+}	H _A	H _B	H _C
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	1
2	0	1	0	0	1	1	0	0	1
3	0	1	1	1	0	0	1	1	1
4	1	0	0	1	0	1	0	0	1
5	1	0	1	0	0	0	1	0	1

$H_C = 1 \Rightarrow J_C = K_C = 1$

Xác định J_A, K_A, J_B, K_B

Bảng Karnaugh cho hai hàm chuyển H_A & H_B



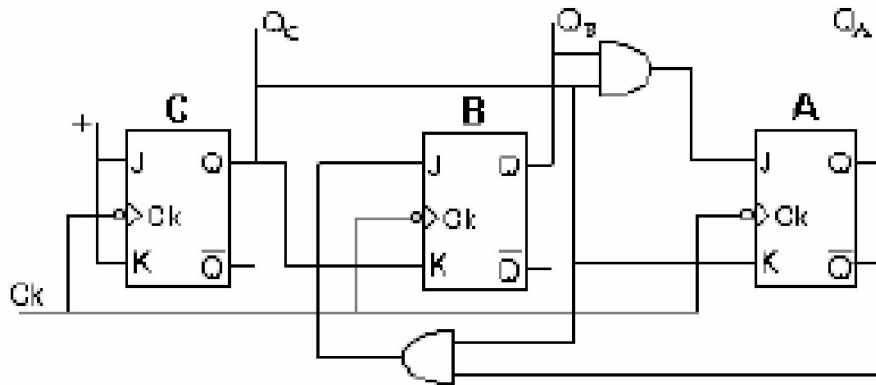
$H_A = Q_B Q_C \bar{Q}_A + Q_C Q_A$

$\Rightarrow J_A = Q_B Q_C; K_A = Q_C$

$H_B = \bar{Q}_A Q_C \bar{Q}_B + Q_C Q_B$

$\Rightarrow J_B = \bar{Q}_A Q_C; K_B = Q_C$

Mạch:



4.4. Thiết kế mạch đếm 7 không đồng bộ, dùng FF JK có ngõ vào xung đồng hồ tác động bởi cạnh lên của C_K.

Bảng trạng thái

N	Q _A	Q _B	Q _C	J _B	K _B	J _C	K _C
0↑	0	0	0	0	x	1	x
1↑	0	0	1	1	x	x	1
2↑	0	1	0	x	0	1	x
3↑	0	1	1	x	1	x	1
4↑	1	0	0	0	x	1	x
5↑	1	0	1	1	x	x	1
6↑	1	1	0	x	1	0	x
	0	0	0				

Nhận xét bảng trạng thái ta thấy mỗi lần Q_B thay đổi từ 1 xuống 0 thì Q_A đổi trạng thái, mà FF có xung đồng hồ tác động bởi cạnh lên nên ta có thể lấy BQ làm xung đồng hồ cho FFA và J_A=K_A=1.

FF B và FFC sẽ dùng xung đồng hồ hệ thống, dùng phương pháp MARCUS để xác định J & K của các FF này.

Ta thấy ngay K_C=1

Q _A \ Q _B Q _C	00	01	11	10
0		1	x	x
1		1	x	x

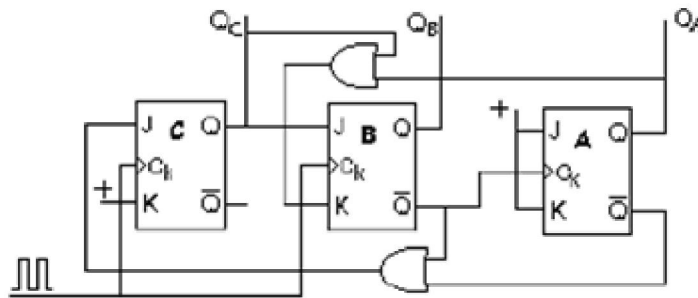
Q _A \ Q _B Q _C	00	01	11	10
0	x	x	1	
1	x	x	x	1

Q _A \ Q _B Q _C	00	01	11	10
0	1	x	x	1
1	1	x	x	

J_B=Q_C

K_B=Q_A+Q_C

J_C=Q̄_A+Q̄_B



TÀI LIỆU THAM KHẢO**Tiếng việt**

1. Bùi Minh Tiêu, Kỹ thuật số tập I, II, Nhà xuất bản Đại học
2. TS. Nguyễn Việt Nguyên, Kỹ thuật số, Nhà xuất bản giáo dục
3. TS. Lương Ngọc Hải, Kỹ thuật xung - số, Nhà xuất bản giáo dục
4. Nguyễn Thúy Vân (1997), Nhà xuất bản khoa học và kỹ thuật
5. Đỗ Kim Bằng (2004), Kỹ thuật số- Lý thuyết và ứng dụng, NXB lao động-Xã hội
6. Trần Văn Trọng (1999), Giáo trình kỹ thuật số, Đại học sư phạm kỹ thuật TP. Hồ Chí Minh
7. Nguyễn Tấn Phước (1998), Giáo trình linh kiện điện tử, Nhà xuất bản giáo dục
8. Nguyễn Hữu Phương (1995), Giáo trình mạch số, Nhà xuất bản giáo dục

Tiếng Anh

1. GAL Data Book (1992). Lattice
2. David Green (1936). Modern logic design-University of Manchester
3. Comer, D.J. Digital logic and state Machine Design-Holt. Rinecharn & Winston. Eastbourne.